

一种用于降低电容失配误差的电容选择配对技术

李福乐, 段静波, 王志华
(清华大学微电子学研究所, 北京 100084)

摘要: 对于开关电容模数转换器来说, 电容失配是一种主要的非线性误差源. 为了减少电容失配误差, 本文提出了一种差分电容选择配对技术. 该技术基于差分级电路的增益误差正比于差分采样电容和与差分反馈电容和之间的相对误差的原理, 通过电容比较和电容交换等电路技术, 对电路中的工作电容进行选择配对来减小增益误差. 概率分析和 Monte Carlo 仿真表明, 该技术可将模数转换器的线性指标提高 0.6 bit 以上. 与其他电容失配校准技术相比, 该技术具有校准电路简单、不影响模数转换速度、对工作环境变化不敏感等特点.

关键词: 电容失配校准; 流水线模数转换; 电路技术

中图分类号: TN453 **文献标识码:** A **文章编号:** 0372-2112 (2008) 02-0338-04

A Capacitor Paring Technique for Capacitor Mismatch Reduction

LI Fu le, DUAN Jing bo, WANG Zhi hua
(Inst. of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: Capacitor mismatching is a main source of error for switched capacitor analog to digital converter. A differential capacitor pairing technique is presented to reduce capacitor mismatch error. By comparing the capacitance of capacitors and then accordingly exchanging the position of capacitors, the gain error of the stage, which is proportional to the relative error between the sum of differential sampling capacitors and the sum of differential feedback capacitors, is obviously reduced. Probability analysis and Monte Carlo simulation indicate that the linearity of the analog to digital converter can be improved by 0.6 bit. Compared with other capacitor mismatch calibration techniques, the proposed technique has characteristics such as simple calibration circuits, unweakened conversion speed, and insensitive to the operation environment.

Key words: capacitor mismatch calibration; pipelined A/D conversion; circuit techniques

1 引言

在基于开关电容技术的流水线和循环式模数转换器(以下简称 ADC)中, 开关电容级电路是一个基本的构成单元, 其对信号处理的精度, 决定了整个 ADC 的精度. 级电路的精度由比较器失调、运放有限增益误差、电容失配误差和其他非理想因素带来的误差构成. 为实现高精度设计, 须采取一定的措施来减小这些误差. 对于比较器失调, 可以通过冗余位设计和相应的数字校正来解决; 对于运放有限增益误差, 可以通过提高运放增益的方法来解决, 如采用共源共栅技术、增益自举技术、多级结构等; 对于其他非理想因素带来的误差, 它主要与开关的电荷注入和时钟馈通效应有关, 可通过底板采样技术和全差分结构来减小, 在超过 12 位的 ADC 设计中, 还可引入时钟电压自举技术来线性化输入开关的导通电阻来进一步减小电荷注入误差; 对于电容失配误差, 现有的校准方法主要是采用误差自校准技术, 或者

采用基于电容交换的电容误差平均技术和电荷反转移技术.

相对于其他的误差项, 电容失配误差的处理较为困难. 现有的校准方法也存在各自的缺点. 例如, 对于误差自校准技术, 其缺点是通常需要增加复杂的电容误差测量和校准电路^[1,2], 并且, 为了抵御工作环境变化的影响, 需要进行周期性的重复测量与校准, 这会严重影响电路正常工作的连续性^[1], 或进一步增加自校准电路的复杂度^[2]; 又如, 最近几年提出了一些基于最小均方误差 (LMS) 逼近的自适应数字校准方法, 通过增加数字处理电路来实现对工作环境变化的跟踪以换取模拟电路的简化, 但其缺点是需要一定的自适应学习时间才能达到预定的校准效果^[3,4], 这对于实际的应用是很不利的; 再如, 对于基于电容交换的电容误差平均技术^[5]和电荷反转移技术^[6], 其缺点是对于每一次转换需要 4 相或 3 相操作, 因此在转换速度上要慢于 2 相工作的典型级电路. 本文提出了一种用于降低电容失配误差的电容选

择配对方法, 与现有之电容误差校准方法相比, 其特点是校准电路简单、不影响模数转换速度、对工作环境变化不敏感。

2 电容选择配对技术

在基于开关电容技术的流水线和循环式 ADC 中, 开关电容级电路是一个基本的组成单元, 其对信号处理的性能, 决定了整个 ADC 的性能。因此对于高精度 ADC 的设计来说, 相应地需要设计高精度的级电路。一个典型的 1.5 位级电路的工作原理如图 1 所示。

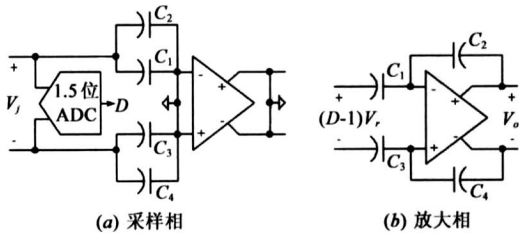


图 1 典型流水线级电路工作原理

典型的级电路一般为两相工作, 即采样相和放大相。图 1(a)和图 1(b)分别给出了全差分设计的级电路在采样相和放大相中的电路连接情况。在图 1 中, $C_1 \sim C_4$ 是 4 个具有相同设计值的工作电容, 其中, C_2 和 C_4 组成一对差分反馈电容; D 为 1.5 位 ADC 对输入信号 V_i 的转换结果, V_r 为参考电压, 当 V_i 分别处于 $[-V_r, -0.25V_r]$, $[-0.25V_r, 0.25V_r]$ 和 $[0.25V_r, V_r]$ 的范围内, 对应的 D 值为 0, 1, 和 2。若只考虑电容失配, 级电路输出为:

$$V_o \approx (2 + \varepsilon_1) V_i - (1 + \varepsilon_1)(D - 1)V_r \quad (1)$$

其中,

$$\varepsilon_1 = \frac{(C_1 + C_3) - (C_2 + C_4)}{C_1 + C_3} \quad (2)$$

称其为由电容失配所带来的级电路增益误差。

若令各个电容可自由交换位置, 那么, C_2 还可与 C_3 和 C_1 分别组成差分反馈电容, 对应于这两种情况的级电路增益误差分别为:

$$\varepsilon_2 = \frac{(C_1 + C_4) - (C_2 + C_3)}{C_1 + C_4} \quad (3)$$

$$\varepsilon_3 = \frac{(C_3 + C_4) - (C_2 + C_1)}{C_3 + C_4} \quad (4)$$

引入电容配对技术, 即令 C_2 可在 C_4 、 C_3 和 C_1 三者中择一与之配对组成差分反馈电容, 配对的目的是减小级电路的增益误差。定义电容配对后的级电路误差为 ε 则有:

$$\varepsilon = \begin{cases} \varepsilon_1 & \text{if } |\varepsilon_1| \leq |\varepsilon_2| \ \& \ |\varepsilon_1| \leq |\varepsilon_3| \\ \varepsilon_2 & \text{if } |\varepsilon_2| \leq |\varepsilon_1| \ \& \ |\varepsilon_2| \leq |\varepsilon_3| \\ \varepsilon_3 & \text{if } |\varepsilon_3| \leq |\varepsilon_1| \ \& \ |\varepsilon_3| \leq |\varepsilon_2| \end{cases} \quad (5)$$

在具体的电路设计中, C_3 和 C_4 的位置交换较容易实现, 而 C_1 和 C_4 的位置交换较难实现, 这是因为 C_1 和 C_4 处在差分信号通道的两边, 需要接入较多的开关才能实现位置交换, 从而增加了电路布线的复杂度, 并带来额外的开关寄生电容和电阻。因此, 可令 C_2 只与 C_3 和 C_4 配对, 而放弃 C_2 与 C_1 配对的可能, 这里称之为电容半配对技术, 而称前述的 C_2 可与所有其他电容进行配对的技术为电容全配对技术。相比于电容全配对技术, 电容半配对技术可有效地减小电路中的开关数目, 图 2(a)和图 2(b)分别给出了电容全配对和半配对技术下的电容连接关系, 对比两者可知, 电容全配对技术中与一个电容相连的开关数目是 9 个, 而采用半配对技术可将之减小至 5 个。

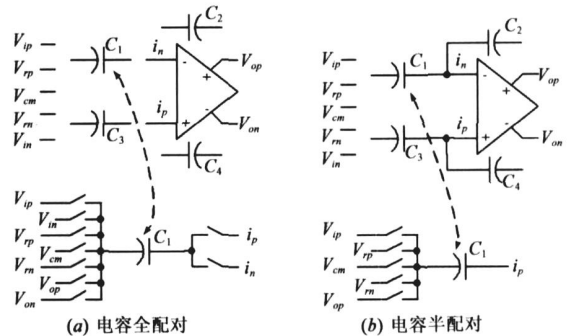


图 2 电容配对技术下的电容与开关

本文采用电容半配对技术, 其代价是 ε 的离散度会有所增加, 此时, ε 为:

$$\varepsilon = \begin{cases} \varepsilon_1 & \text{if } |\varepsilon_1| \leq |\varepsilon_2| \\ \varepsilon_2 & \text{if } |\varepsilon_2| \leq |\varepsilon_1| \end{cases} \quad (6)$$

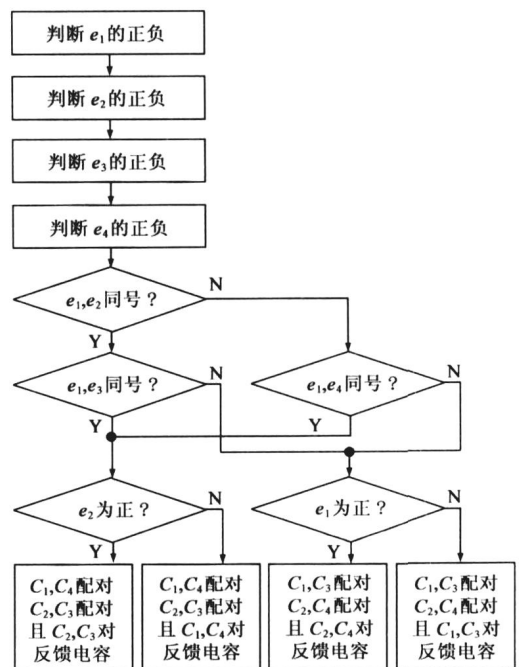


图 3 电容选择配对算法流程

实际上,在电容半配对的基础上,还可以对反馈电容进行选择,即对于已配对好的两对差分工作电容,选择其中容值之和较小的一对电容作为级电路的差分反馈电容.选择反馈电容的目的是使电容失配所带来的级增益误差 ε 总为正值,从而与运放有限增益所带来的级电路负增益误差相互削弱,可进一步提高级电路的精度.反馈电容选择的效果可由第4部分中的 Monte Carlo 仿真例子来说明.

实现电容选择配对技术的算法流程如图3所示.其中:

$$e_1 = (C_1 + C_3) - (C_2 + C_4), e_2 = (C_1 + C_4) - (C_2 + C_3),$$

$$e_3 = C_3 - C_4, e_4 = C_1 - C_2 \quad (7)$$

由图3可见,该算法的特点是在模拟域只需对电容值的大小进行简单的比较判断,在数字域也只需简单的逻辑判断,这对于电路实现是很有利的.在这里,对电容值进行比较的电路实现方法可参考文献[7]中的内容,本文不再赘述

3 电容半配对效果

定义归一化电容失配变量:

$$\delta_{ij} = (C_i - C_j) / C_i, \quad 1 \leq i, j \leq 4 \quad (8)$$

各 δ_{ij} 相互独立,且均为均值为0,方差为 σ^2 的高斯随机变量,在合理的版图设计的前提下, σ 的大小主要取决于工艺和电容的大小.

对于电容配对之前的级电路增益误差 ε_1 , 有:

$$E(\varepsilon_1) = 0, \text{Var}(\varepsilon_1) = E((\delta_{12} - \delta_{34})^2) = 2\sigma^2 \quad (9)$$

且其仍为高斯分布随机变量.

对于电容配对之后的级电路增益误差 ε , 其均值 $E(\varepsilon) = 0$, 且概率密度函数是对称的,即对于任意 $x > 0$, 有 $f(x) = f(-x)$, 下面只求 $x > 0$ 时的 $f(x)$, 而 $x < 0$ 时的 $f(x)$ 可由对称性得到.

$$f(x) = P\{\varepsilon = x\}$$

$$= P\{\varepsilon_1 = x, |\varepsilon_2| \geq x\} + P\{\varepsilon_2 = x, |\varepsilon_1| \geq x\}$$

$$= 2P\{\varepsilon_1 = x, |\varepsilon_2| \geq x\}$$

$$= 2P\{\varepsilon_1 = x\} \cdot P\{|\varepsilon_2| \geq x\}$$

$$= 4f_1(x) \int_x^{+\infty} f_1(y) dy \quad (10)$$

其中, f_1 为 ε_1 的概率密度函数:

$$f_1(x) = \frac{1}{2\sqrt{\pi}\sigma} e^{-x^2/(4\sigma^2)} \quad (11)$$

由公式(10)可知, ε 不是高斯分布的随机变量,因此,不能直接通过比较 ε 和 ε_1 的方差来确定电容选择配对方法的效果,一个合理的比较方法是,找到与 ε 具有相同良率的高斯分布随机变量 ε_N , 通过比较 ε_N 与 ε_1 的方差来分析电容配对方法的效果,该方法的数学描述如下:

设正变量 T, ε 在区间 $[-T, T]$ 内的概率为:

$$P(T) = \int_{-T}^T f(x) dx \quad (12)$$

令:

$$P(T) = Y \quad (13)$$

则由公式(10)~(13)可求出 T_ε 满足 $P(T_\varepsilon) = Y$, 称 T_ε 为 ε 在良率 Y 下的良率边界.

设 ε_N 为均值为0, 方差为 $2\sigma_N^2$ 的高斯分布随机变量,那么, ε_N 可视为当归一化电容失配变量的方差为 σ_N^2 时,采用电容配对方法之前的级电路增益误差变量. ε_N 在区间 $[-T, T]$ 内的概率为:

$$P_N(T) = \int_{-T}^T \frac{1}{\sqrt{2\pi}\sigma_N} e^{-x^2/(2\sigma_N^2)} dx \quad (14)$$

令:

$$P_N(T_\varepsilon) = Y \quad (15)$$

则由公式(14)和(15)可求得与 ε 具有相同良率边界的 ε_N 的方差 $2\sigma_N^2$.

显然, ε_N 与 ε_1 相比方差缩小了 $(\sigma/\sigma_N)^2$ 倍,这意味着,对于相同的良率要求 Y , 电容配对的作用等效于将电容的匹配精度提高到 σ/σ_N 倍.

根据上述分析过程,可得到不同良率要求下的电容配对方法的效果,如图4所示.其中,横轴为良率要求 Y , 纵轴为电容配对方法对电容匹配精度的等效提高倍数 σ/σ_N . 由此可见,在不同的良率要求下,电容匹配精度的等效提高倍数 σ/σ_N 均在1.52以上,即0.6-bit 以上.

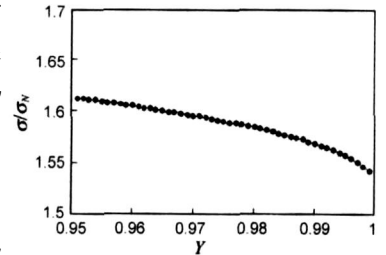


图4 电容配对效果

4 ADC 模型仿真

为验证本文所提出的方法对提高ADC精度的效果,以一个1.5bit/stage的10bit ADC为例,分别基于经典结构、电容配对、电容配对且选择反馈电容这三种级电路进行建模,并进行 Monte Carlo 仿真.仿真时考虑以下电路非理想因素:电容失配、运放有限增益、运放失调、比较器失调.其中,电容失配、运放失调和比较器失调均为独立的零均值高斯随机变量,以均方根 σ 的值来表示其分布的离散度,运放的直流增益取为90dB和65dB,分别代表以考察电容失配误差为主和同时考察运放有限增益误差这两种分析目的.

表1给出了不同级电路模型和不同电路参数进行组合而得到的四种仿真情况,对这四种情况分别进行 Monte Carlo 仿真,并通过码密度 (code density) 统计来计

算一定良率下的 ADC 积分非线性误差 (*INL*) 和差分非线性误差 (*DNL*) 特性. 与表 1 对应的仿真结果如表 2 所示, 其中的 V_{fs} 代表满量程电压.

对比表 2 中情况 1 和情况 2 的仿真结果, 可知电容配对方法将电容失配所导致的 *INL* 和 *DNL* 约降低 1.54 倍, 而由情况 2 和情况 3 的仿真结果, 可见当运放的增益下降时, 有限增益误差凸显, *INL* 和 *DNL* 再次恶化, 最后对比情况 3 和情况 4 的仿真结果, 又可推知在电容配对的基础上引入反馈电容选择, 使得配对后的电容误差在一定程度上削弱了有限增益误差, *INL* 和 *DNL* 特性又得到了提高.

表 1 MONTE CARLO 仿真参数

仿真情况	电路模型	电容匹配 (σ)	比较器失调 (σ)	运放失调 (σ)	运放 DC 增益
情况 1	经典结构	1/1500	$0.02V_{fs}$	$0.002V_{fs}$	90dB
情况 2	电容配对	1/1500	$0.02V_{fs}$	$0.002V_{fs}$	90dB
情况 3	电容配对	1/1500	$0.02V_{fs}$	$0.002V_{fs}$	65dB
情况 4	电容配对加反馈电容选择	1/1500	$0.02V_{fs}$	$0.002V_{fs}$	65dB

表 2 12-BIT ADC 的静态特性统计

结果	<i>INL</i> (LSB)	<i>DNL</i> (LSB)	Yield	<i>INL</i> (LSB)	<i>DNL</i> (LSB)	Yield
情况 1	≤ 0.688	≤ 0.813	98%	≤ 0.594	≤ 0.656	95%
情况 2	≤ 0.4375	≤ 0.5313	98%	≤ 0.375	≤ 0.4375	95%
情况 3	≤ 0.6875	≤ 0.6875	98%	≤ 0.6563	≤ 0.625	95%
情况 4	≤ 0.438	≤ 0.438	98%	≤ 0.406	≤ 0.406	95%

5 结论

提出了一种利用电容选择配对来减少电容失配误差的方法. 理论分析和模型仿真表明, 在相同的良率指标下, 电容配对的效果等效于将电容匹配约提高 0.6 bit, 而且, 通过选择反馈电容, 还可进一步减小增益误差, 这表明, 该方法对 ADC 线性性能的提高可达 0.6 bit 以上. 与其他电容误差校准方法相比, 该方法具有校准电路简单、不影响电路工作速度、不增加电路功耗、以及对工作环境变化不敏感等优点.

参考文献:

- [1] Mayes M K, et al. A 200mW, 1M sample/s, 16 b pipelined A/D converter with on chip 32-b microcontroller[J]. IEEE J Solid State Circuits, 1996, 31(12): 1862-1872.
- [2] Moon U K, et al. Background digital calibration techniques for pipelined ADCs[J]. IEEE Trans Circuits Syst II, 1997, 44(2): 102-109.
- [3] Wang X, et al. A 12 bit 20-MS/s pipelined ADC with nested digital background calibration[A]. IEEE Custom Integrated Circuits Conference[C]. California, 2003. 409-412.
- [4] Taherzadeh Sani M, et al. Digital background calibration of capacitor mismatch errors in pipelined ADCs[J]. IEEE Trans Circuits Syst II, 2006, 53(9): 966-970.
- [5] Chiu Y. Inherently linear capacitor error averaging techniques for pipelined A/D conversion[J]. IEEE Trans Circuits Syst II, 2000, 47(3): 229-232.
- [6] 李福乐, 等. 一种用于流水线模数转换器的电容失配校准方法[J]. 电子学报, 2002, 30(11): 1704-1706.
Li Fule, et al. A capacitor mismatch calibration technique for pipelined A/D conversion[J]. Acta Electronica Sinica, 2002, 30(11): 1704-1706. (in Chinese)
- [7] Lin Y M, et al. A 13 b 2.5MHz self calibrated pipelined A/D converter in 3-um CMOS[J]. IEEE J Solid State Circuits, 1991, 26(4): 628-637.
- [8] Yu P, et al. A 2.5V, 12-b, 5-Msample/s, pipelined CMOS ADC[J]. IEEE J. Solid State Circuits, 1996, 31(12): 1854-1861.

作者简介:



李福乐 男, 1974 年 11 月出生于浙江 1996 年和 1999 年获得西安电子科技大学电子工程学士学位和硕士学位, 2003 年获清华大学电子工程系电路与系统专业博士学位, 现为清华大学微电子学研究所助理研究员. 主要从事模拟及数模混合集成电路的科研和教学工作.
E-mail: lifule@mail. tsinghua. edu. cn

段静波 男, 1982 年 7 月生于江西鄱阳, 2007 年 1 月获清华大学硕士学位, 现为科胜讯北京研发中心模拟电路设计工程师. 主要从事音频模拟电路的设计工作. E-mail: djb04@mails. tsinghua. edu. cn