

片上二级 cache 漏流功耗控制策略研究

周宏伟, 欧国东, 齐树波, 张民选

(国防科技大学计算机学院, 湖南长沙 410073)

摘要: 随着工艺尺寸缩小和处理器频率的提高, 大容量的片上 L2 cache 成为处理器漏流功耗的主要来源. 提出的保守多状态(G SP&SD)和推断多状态(S SP&SD)两种 L2 cache 漏流功耗控制策略能够将状态保留(State Preserving)与状态破坏(State Destroying)两种低功耗模式相结合. 如果一个数据在多级 cache 存储层次中存在多个副本, 那么只保留一个副本处于活跃状态, 其他副本均被转换到低功耗模式, 并且在显著影响处理器性能的前提下尽可能转换到更低功耗的状态破坏模式. 与传统的 L2 cache 漏流控制策略相比, G SP&SD 策略以较小的处理器性能损失换取较大的 L2 cache 漏流功耗节省, 而 S SP&SD 策略则实现了最优的 L2 cache 漏流功耗节省和处理器能量效率.

关键词: 二级; cache; 漏流; 功耗

中图分类号: TP302.1 **文献标识码:** A **文章编号:** 0372-2112(2008)08-1532-06

The Research on Leakage Power Controlling Policies for On-Chip L2 Cache

ZHOU Hongwei, OU Guodong, QI Shubo, ZHANG Minxuan

(School of Computer Science, National University of Defense Technology, Changsha, Hunan 410073, China)

Abstract: As feature size shrinks and the frequency increases, on-chip L2 cache with large capability is the main source of leakage power in microprocessors. Supporting not only the State Preserving but also the State Destroying low leakage power mode, two leakage power controlling policies for L2 cache are proposed. One is the Conserved State Preserving and State Destroying (G SP&SD) policy; the other is the Speculative State Preserving and State Destroying (S SP&SD) policy. Only one copy of a data block in cache hierarchies is in the active mode, the others are turned into the low power mode. The State Destroying mode with least leakage power should be turned into at most as possible if no obvious performance cost occurs. Compared with the traditional leakage power controlling policies for L2 cache, G SP&SD policy can save the leakage power of L2 cache more efficiently without obvious performance cost; S SP&SD policy can save the most leakage power of L2 cache and reach the best energy efficiency of whole processor.

Key words: level 2; cache; leakage; power

1 引言

随着工艺尺寸缩小与工作频率提高, 现代微处理器的集成度越来越高, 处理速度越来越快. 对于高性能片上存储系统, 功耗问题逐渐成为制约其设计的主要因素之一. 根据微处理器报告, 当前主流的微处理器功耗达到 140 瓦^[1]. 当生产工艺达到 70nm 级别, 处理器的漏流功耗将与动态功耗相当^[2]. 对于现代高性能微处理器, 片上 L2 cache 占据了大量芯片面积, 成为微处理器功耗特别是漏流功耗的主要来源.

降低 cache 存储系统的漏流功耗, 可以从工艺、电路设计、体系结构等多个级别考虑. 在工艺级, 可以通过改进生产工艺, 引入新工艺、新材料的方法, 如高介电常

数栅介质^[3]、SOI^[4]、对各存储层次的存储单元使用不同的栅氧厚度与阈值电压^[5]等. 电路级优化方法在 cache 的 SRAM 存储单元中使用低功耗电路, 如可变电压电路^[6]、门控电压(Gated-Vdd)电路^[8]等. 在体系结构级, 基于可变电压电路, 昏睡 cache(Drowsy cache)技术^[6,7]将那些从最近一次访问起到经过一定的时间(称作“衰退时间”)还未被再次访问的 cache 存储单元转换到状态保留(State Preserving, SP)低功耗模式, SP 模式下存储单元内的数据仍可以保持. 睡眠 cache(Sleep cache)技术^[8,9]基于门控电压电路, 低功耗模式下存储单元的内容丢失, 称为状态破坏(State Destroying, SD)低功耗模式. 访问 SD 模式的 cache 块会导致失效, 需要从下一级存储层次中重载数据. 在昏睡 cache 和睡眠 cache 中, 最基本

从 L2 cache 读入 L1 cache, 将 L1 cache 中的副本置为活跃态, L2 cache 中对应的副本转换到 SP 态; (4) 当某数据在 L1 cache 的副本被修改, 成为 cache 存储层次中最新副本时, 将它在 L2 cache 中的旧副本转换到 SD 态; (5) 当脏块从 L1 cache 中被替换并写回到 L2 cache 时, 首先要唤醒 L2 cache 中的对应副本从 SD 态转换到活跃态, 然后写入新数据; (6) 如果从 L1 cache 中替换出的数据块不为脏则直接丢弃, 因为 L2 cache 中保存着其有效副本。

3.2 S-SP&SD 策略

在 G-SP&SD 策略中, 只有保存旧数据的 L2 cache 子块才能被转换到 SD 态, 可以被转换到 SD 态的 L2 cache 子块的数目有限。为了提高 SD 态的 L2 cache 子块所占的比率, 仍然需要采用推断机制进行状态转换。在任何时刻, 只允许有一个活跃的副本存在于 L1 cache 或 L2 cache 中, 而另一个副本被置为 SD 态以最大程度地降低功耗。根据分析, 直接将 Decay-SP 策略与 S-SD 策略简单组合不可行, 其中 S-SD 策略会产生显著的额外 L2 cache 失效, 所引起的性能损失无法接受。S-SP&SD 策略不是 Decay-SP 策略与 S-SD 策略的简单组合, 而是采用两个重要机制保证在进一步降低 L2 cache 漏流功耗的同时有效控制对性能的影响。

3.2.1 双衰退机制

一个活跃态的 L2 cache 子块最终被转换到 SD 态最多需要经过两个衰退间隔时间: 第一个是从活跃态转换到 SP 态: 当数据从主存取入 L2 cache 时, 被写入的 L2 cache 块中非请求数据所在的子块被置为活跃态, 一个活跃态的 L2 cache 子块经过一定的衰退时间(昏睡衰退间隔)还未被再次访问将转入 SP 态; 第二个是从预 SD (Pre-SD) 态转换到 SD 态: 被访问 L2 cache 块中只有请求数据所在的子块才有“资格”转到 SD 态, 但是并不像 S-SD 策略那样被立即转入 SD 态, 而是经过一定的衰退时间(睡眠衰退间隔)后还未被访问才转入 SD 态, 我们称这些等待转入 SD 态的 L2 cache 子块处于预 SD 态。预 SD 态可能从活跃态(读活跃态 L2 cache 子块命中)或 SP 态(读 SP 态 L2 Cache 子块命中)转换而来, 该态下子块的供电电压与 SP 态下相同。昏睡衰退间隔和睡眠衰退间隔可以根据对功耗与性能的权衡做出不同的设置。

3.2.2 L1 cache 替换时写回机制

为了减少额外的存储层次失效, 我们改进了 L1 cache 的写回机制。当 L1 cache 中数据块被替换出来时, 如果该数据块为脏, 需要写回到 L2 cache。如果不为脏, 则通过专用的状态查询通路检查该数据块在 L2 cache 中副本的状态: 如果是预 SD 态, 则需将它重置为 SP 态, 不发生实际的写回操作; 如果为 SD 态, 则需要写回; 其他情况下直接丢弃。L1 cache 替换时写回机制可以避

免 cache 存储层次中有效副本的丢失, 减少不必要的访存开销, 但是将增加 L1 cache 替换时查询 L2 cache 块状态的次数以及 L1 cache 到 L2 cache 的额外写回数, 影响处理器性能并降低功耗优化效果。通过延长预 SD 态到 SD 态的睡眠衰退间隔, 可以延缓 L2 cache 子块转换到 SD 态的时机, 降低转换到 SD 态的 L2 cache 块的比率, 减少 L1 cache 到 L2 cache 的额外写回次数, 虽然减弱了 S-SP&SD 策略对 L2 cache 漏流功耗的优化效果, 但是却可以降低性能损失和额外的写回功耗。因此睡眠衰退间隔的选择是一个 L2 cache 漏流功耗节省和处理器性能损失之间权衡的问题。

4 cache 存储层次体系结构

为了支持 G-SP&SD 和 S-SP&SD 策略, 需要改进 cache 存储层次体系结构。改进的 L2 cache 体系结构如图 2 所示。L2 cache 数据块尺寸为 L1 cache 数据块的 2 倍, 每个 L2 cache 数据块分为两个尺寸相同的子块: 低位数据子块与高位数据子块, 两个子块共享一个标识块, 有效位和脏位。L2 cache 每一路中的所有的低位数据子块构成低位数据子阵列, 所有的高位数据子块构成高位数据子阵列。对于一个 L2 cache 块, 它的标识块不受漏流控制逻辑控制, 一直保持活跃态, 它的每个数据子块则可以根据需要被转换到不同的低漏流功耗状态。每个 L2 cache 数据子块都具有一套单独的功耗状态位, 通过两位的编码分别表示活跃态、SP 态、预 SD 态、SD 态。L2 cache 只有一个全局计数器, 每个 L2 数据子块都有一个本地计数器, 与全局计数器一起, 可以对每个子块的衰退时间进行计数。为了实现 S-SP&SD 策略所需的“双衰退”机制, 设置了两个衰退间隔配置寄存器, 一个用于设置从活跃态到 SP 态的昏睡衰退间隔, 另一个用于设置从预 SD 态到 SD 态的睡眠衰退间隔。双衰退机制共享全局计数器, 全局计数器位宽为实现各衰退间隔时所需的最大位宽, 本地计数器为 2 位饱和计数器。

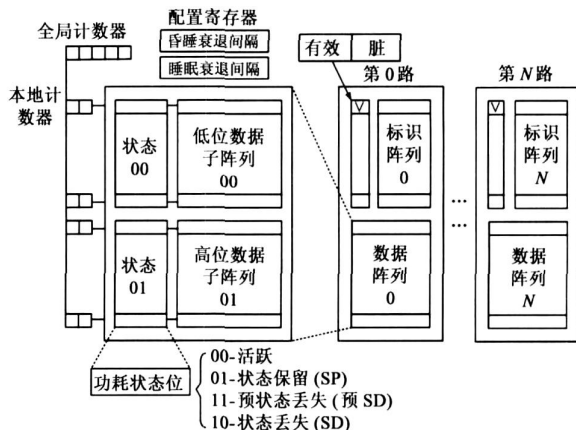


图 2 L2 cache 体系结构

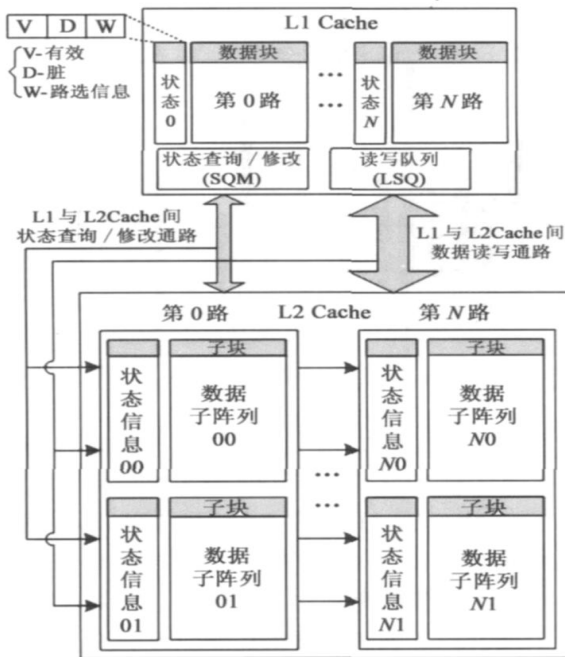


图 3 cache 存储层次数据通路

图 3 表示 L1 cache 与 L2 cache 之间的数据通路。在 G-SP&SD 策略中, 当 L1 cache 中某个数据块被修改, 通过状态修改逻辑将该数据块在 L2 cache 中副本的功耗状态转换到 SD 态; 在 S-SP&SD 策略中, 当 L1 cache 中某个数据块被替换, 则通过状态查询逻辑查询该数据块在 L2 cache 中副本的功耗状态, 尽早决定将它直接丢弃还是必须写回, 尽量避免不必要的写回操作。与传统的存储层次设计不同, L1 cache 中除需设计传统的读/写队列 (Load/Store Queue, LSQ) 用于对 L2 cache 子块的数据读写进行控制外, 还额外增加了状态查询/修改 (State Query/Modify, SQM) 逻辑。L1 cache 与 L2 cache 之间除原有的 LSQ 与 L2 cache 之间的数据读写通路外, 还额外增加了专门用于 SQM 对 L2 cache 子块进行状态查询或修改的通路。为了确定 L1 cache 中被替换数据块在 L2 cache 中副本的所在路, 为每个 L1 cache 块额外增加一个路选信息位, 用于指示该 cache 块在 L2 cache 中副本的所在路, 避免 SQM 逻辑对 L2 cache 子块状态查询或修改时访问 L2 cache 标识块, 而且不需要为 L2 cache 的标识阵列增加额外的端口用于状态查询时的标识比较。当 L1 cache 中的数据块写回 L2 cache 时, 同样不需进行标识比较, 只需将该块写回其在 L2 cache 中副本原来所在的位置。路选信息位在新数据块从 L2 cache 填入 L1 cache 时根据其其在 L2 cache 中副本的所在路填写。虽然 SQM 逻辑对 L2 cache 子块的状态查询或修改操作可以被 L1 cache 对 L2 cache 的读写操作隐藏, 但是由于额外写回会占用 LSQ 与 L2 cache 之间的读写带宽, 因此在一定程度上会增加访问 L2 cache 的平均延时, 降低处理器

的性能。

5 模拟与结果分析

我们使用 HotLeakage 模拟器^[12]对本文提出的策略与先前的策略进行模拟比较。HotLeakage 模拟器基于 SimScalar3.0 功耗模拟器, 可用于对超深亚微米级的 cache 进行漏流功耗估算。体系结构参数参考 Alpha21264 处理器的体系结构进行设置, L1 指令和数据 cache 容量均为 64KB, 4 路组相联结构, 块大小 32 字节, 使用“L1 cache 替换时写回”策略, 1 拍访问延时。L2 cache 容量为 1MB, 2 路组相联结构, 块大小 64 字节, 子块大小 32 字节, 使用写回策略, 11 拍访问延时。主存访问延时为 100 拍, 功耗模式相互转换延时为 2 拍。工艺参数选择 70nm, 功耗参数按照 70nm 工艺下的典型值进行设置, 工作温度为 85 摄氏度。测试程序选择 SPEC CPU2000 中的部分整数和浮点测试程序共 9 组。模拟过程跳过前 10 亿条指令, 执行 300 兆条指令。我们对本文提出的 G-SP&SD 和 S-SP&SD 策略与传统的 Decay-SP 策略、S-SP 策略和 Decay-SP 策略简单组合的策略 (Simple-Hybrid 1)、S-SD 策略和 Decay-SP 策略简单组合的策略 (Simple-Hybrid 2)、Y Meng 等提出的理想组合策略 (OPT-Hybrid) 策略^[11]进行比较。昏睡衰退间隔设为 32K 时钟周期, 睡眠衰退间隔的选取参考 S Kaxiras^[9]和 Y Meng^[11]等在模拟中采用的值, 为 1M 时钟周期。

图 4 为采用不同策略后标准化单位周期执行指令数 (Normalized Instructions Per Cycle, NIPC), 即使用漏流功耗控制策略后的 IPC 与不采用任何策略时 IPC 的比值, 用于评价各策略对处理器性能的影响。Decay-SP 策略对 IPC 影响最小, IPC 仅降低 0.8%, 主要由于增加了状态转换延时。Simple-Hybrid 1 策略除采用衰退机制外, 当数据块从 L2 cache 载入 L1 cache 时, 还推断地将 L2 cache 中的副本转换到 SP 态, 因此更多的 L2 cache 子块被转换到 SP 态, 增加的状态转换影响了性能, IPC 的降低为 1.2%。Simple-Hybrid 2 策略对处理器性能影响最大, IPC 平均降低 31%, 主要原因是当数据块从 L2 cache 载入 L1 cache 时, 该策略推断地将 L2 cache 中的副本转换到 SD 态, 当该数据块从 L1 cache 中替换出去后再次被访问时会产生额外的 L2 cache 失效, 而主存访问延时远大于 L2 cache 访问延时, 因此 Simple-Hybrid 2 策略显著影响处理器性能。我们提出的 G-SP&SD 策略对 IPC 的影响为 0.9%, 低于 Simple-Hybrid 1 策略, 因为仅将那些 L1 cache 的脏块在 L2 cache 中的副本转换到 SD 态, 写回脏块时所需的状态转换延时可以部分被 L1 cache 写回延时隐藏。S-SP&SD 策略对性能的影响高于 G-SP&SD 策略, 达到 1.4%, 主要原因是 L2 cache 中 SD 态子块所占的比例更高, 另外增加了 L1 cache 到 L2 cache 的额外写

回操作. OPT-Hybrid 策略只针对 L2 cache 漏流功耗进行优化而不考虑性能损失,它根据访问踪迹而非推断机制转换子块到 SD 态,性能损失仅小于使用 Simple-Hybrid-2 策略时的结果.

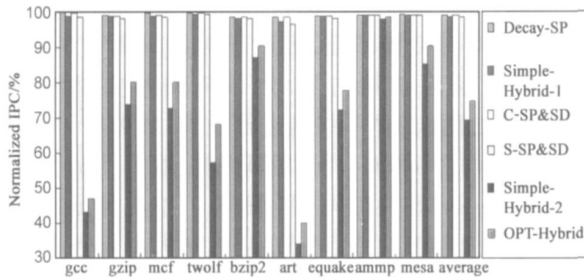


图4 标准化 IPC

图5为采用不同策略后标准化 L2 cache 漏流功耗节省率,即节省的功耗与不采用任何策略时 L2 cache 漏流功耗的比值.使用 Decay-SP 策略时 L2 cache 漏流功耗平均节省 74.2%,使用 Simple-Hybrid 1 策略时平均节省 80.3%.使用我们提出的 C-SP&SD 和 S-SP&SD 策略分别平均节省 83.6% 与 86.3% 的 L2 cache 漏流功耗,优于 Decay-SP、Simple-Hybrid 1 策略. Simple-Hybrid 2 策略可以节省 91.8% 的 L2 cache 漏流功耗,主要得益于推断机制将更多的 L2 cache 子块转换到 SD 态,最接近理想的 OPT-Hybrid 策略所能达到的平均 97.1% 的 L2 cache 漏流功耗节省率.

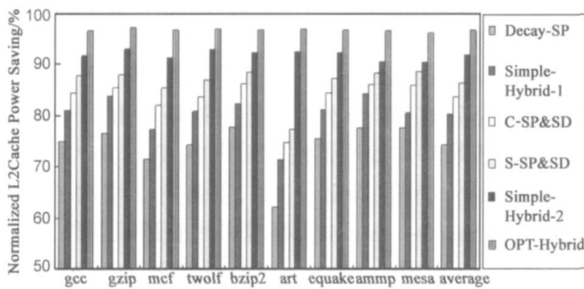


图5 标准化 L2 cache 漏流功耗节省率

为了评价各策略对处理器功耗和性能的综合影响,我们使用能量延迟积(EDP)作为评价因子比较各策略.图6为使用各策略后的标准化处理器 EDP,即使用各策略后与不使用任何策略时处理器 EDP 的比值.如图所示,Simple-Hybrid-2 策略显著增加了处理器 EDP,标准化处理器 EDP 平均为 114%,不仅未被改善反而恶化,其中执行 art 程序时的标准化处理器 EDP 达到 306.8%. Simple-Hybrid 2 策略虽然降低了 L2 cache 漏流功耗,但是却显著增加了程序执行时间,因此不适合高性能低功耗处理器. OPT-Hybrid 策略虽然能够实现最优的功耗优化,但从性能与功耗平衡的角度并不是最优策略,得到的标准化 EDP 仅低于使用 Simple-Hybrid-2 策略时的结果.我们提出的 C-SP&SD 与 S-SP&SD 策略显著改善了处理器 EDP,改善幅度分别为 47.3% 与 48.2%,优于其它

策略.

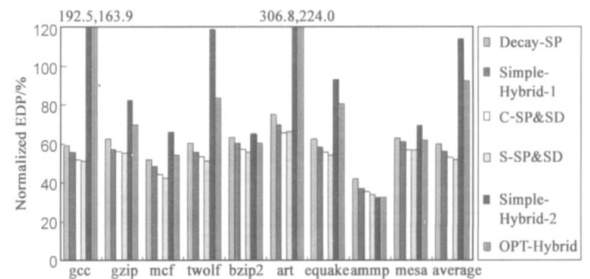


图6 标准化处理器 EDP

6 小结

随着工艺尺寸缩小与处理器频率提高,降低片上 L2 cache 漏流功耗成为设计新型微处理器的重要问题.本文提出了将状态保留和状态破坏两种低功耗模式相结合的两种 L2 cache 漏流功耗控制策略: C-SP&SD 和 S-SP&SD 策略.这两种策略都可以在不显著影响处理器性能的前提下降低 L2 cache 漏流功耗,实现较优的处理器能量效率.实验表明,它们分别可以降低 83.6% 和 86.3% 的 L2 cache 漏流功耗,在损失 0.9% 和 1.4% 处理器性能的情况下,改善 47.3% 和 48.2% 的处理器 EDP.与传统的漏流功耗控制策略相比, C-SP&SD 策略以较小的处理器性能损失换取了较大的 L2 cache 漏流功耗节省,而 S-SP&SD 策略则实现了最优的 L2 cache 漏流功耗节省和处理器能量效率.在将来的工作中我们将进一步研究“双衰退机制”中衰退间隔的变化对 S-SP&SD 策略性能和功耗优化效果的影响,同时研究如何降低 S-SP&SD 策略中状态转换的次数和替换时写回的次数以减少额外的功耗损失.

参考文献:

- [1] M K Gowan, L L Biro, et al. Power considerations in the design of the alpha 21264 Microprocessor [A]. SIGDA Proceedings of the 35th annual conference on Design automation [C]. New York: ACM, 1998. 726- 731.
- [2] ITRS organization, International Technology Roadmap for Semiconductors 2002 Update [DB/OL]. <http://public.itrs.net/>, 2002-03-18.
- [3] Intel corporation, Intel's Breakthrough in High K Gate Dielectric Drives Moore's Law Well into the Future [DB/OL]. <http://www.physorg.com/news80.html>, 2004-05-12.
- [4] S Narendra, J Tschanz, et al. Comparative performance, leakage power and switching power of circuits in 150nm PD-SOI and bulk technologies including impact of SOI history effect [A]. SIGDA. Proceeding of VLSI Circuits [C]. Washington: IEEE Computer Society, 2001. 217- 218.
- [5] R Bai, N S Kim, et al. Trade-offs in nanometer scale multilevel

- caches considering total leakage[A]. SIGDA Proceedings of the conference on Design, Automation and Test in Europe Volume 1[C]. Washington: IEEE Computer Society, 2005. 650– 651.
- [6] K Flautner, N S Kim, et al. Drowsy caches: simple techniques for reducing leakage power[A]. SIGARCH. Proceedings of the 29th annual international symposium on Computer architecture [C]. Washington: IEEE Computer Society, 2002. 148– 157.
- [7] 张承义, 张民选, 等. LRU-Assist: 一种高效的 Cache 漏流功耗控制算法[J]. 电子学报, 2006, 34(9): 1626– 1630.
Zhang Chenyi, Zhang Minxuan, et al. LRU-Assist: An Efficient Algorithm for Cache Leakage Power Controlling[J]. Acta Electronica Sinica, 2006, 34(9): 1626– 1630. (in Chinese)
- [8] M Powell, S H Yang, et al. Gate Vdd: a circuit technique to reduce leakage in deep submicron cache memories[A]. David B Proceedings of the 2000 International Symposium on Low Power Electronics and Design[C]. New York: ACM, 2000. 90– 95.
- [9] S Kaxiras, Z Hu, et al. Cache decay: exploiting generational behavior to reduce cache leakage power[A]. SIGDA Proceedings of the 28th Annual International Symposium on Computer Architecture[C]. New York: ACM, 2001. 240– 251.
- [10] L Li et al. Managing Leakage energy in cache hierarchies[J]. Journal of Instruction Level Parallelism, 2003, 5(2): 1– 24.
- [11] Y Meng, T Sherwood, et al. Exploring the limits of leakage power reduction in caches[J]. ACM Transactions on Architecture and Code Optimization, 2005, 2(3): 221– 246.
- [12] Y Zhang, D Parikh, et al. Hotleakage: An Architectural, Temperature aware Model of Subthreshold and Gate Leakage[R]. Virginia: Department of Computer Sciences, University of Virginia, 2003.

作者简介:



周宏伟 男, 1980 年生于陕西宝鸡, 国防科技大学计算机学院博士. 主要研究方向为超深亚微米微处理器体系结构功耗优化技术.
E-mail: hongw.zhou@gmail.com

- 欧国东 男, 1977 年生于湖南武冈, 国防科技大学计算机学院博士生. 主要研究方向为计算机系统结构、微处理器设计等.
- 齐树波 男, 1982 年生于河南济源. 国防科技大学计算机学院博士生. 主要研究方向为高性能微处理器体系结构.
- 张民选 男, 1954 年生于湖南邵东. 国防科技大学计算机学院教授、博士生导师. 主要研究方向为计算机体系结构与实现技术、大规模集成电路设计等.