

# 动态电路的混合时序分析方法

李振涛, 陈书明, 陈吉华, 李 勇

(国防科技大学计算机学院, 湖南长沙 410073)

**摘 要:** 本文基于四事件周期波形模型, 提出了一般动态门、LO-CMOS、NTP 动态门和  $N^2C^2$ MOS 锁存器正确工作的时序约束. 将混合时序分析方法应用于动态电路的延时计算, 提出了动态门延时测试波形的生成算法, 能有效处理多个输入同时翻转对延时的影响. 本文的研究成果已在 SpiceTime 中实现, 并且应用于一个 32 位动态加法器的设计, 取得了良好效果, 如果不考虑伪路径的影响, 求值延时和预充延时的最大误差分别为 3.62% 和 8.26%.

**关键词:** 动态电路; 时序验证; 混合时序分析方法; 测试波形生成

**中图分类号:** TP302 **文献标识码:** A **文章编号:** 0372-2112 (2008) 08-1574-06

## Hybrid Timing Analysis of Dynamic Circuits

LI Zhen tao, CHEN Shu ming, CHEN Ji-hua, LI Yong

(School of Computer Science, National University of Defense Technology, Changsha, Hunan 410073, China)

**Abstract:** Based on the four event periodic waveform models, we proposed the timing constraints for dynamic gate, LO-CMOS, NTP dynamic gates and  $N^2C^2$ MOS. Hybrid timing analysis method was employed to calculate the delay of dynamic circuits. We proposed the delay test waveform generation algorithms for dynamic gates, which taked into account multiple inputs switching. The algorithms have been implemented in SpiceTime and applied to the design of a dynamic 32-bit adder. Without false paths, the error of evaluation delay and precharge delay are within 3.62% and 8.26% respectively.

**Key words:** dynamic circuits; timing verification; hybrid timing analysis; test waveform generation

### 1 引言

动态电路是提高 VLSI 设计性能的有效方法, 影响性能的关键电路, 往往采用动态电路设计. 目前动态电路的时序验证主要依靠 SPICE, SPICE 的运行速度较慢, 而且需要由设计者提供模拟所需的测试向量和分析模拟结果, 因此分析效率较低, 并且电路模拟难以保证对各种时序关系进行了充分验证. 因此一种有效的动态电路时序分析方法, 对于提高动态电路的设计效率和保证正确性是非常关键的.

静态时序分析广泛应用于静态电路的验证, 许多研究者对动态电路的静态时序验证方法进行了研究. Virud Narayanan 等研究者<sup>[1]</sup> 在一个静态时序分析系统中, 实现了 SRCMOS 电路的时序验证, 他们将 SRCMOS 的时序验证归结为下述的约束检查: 脉冲重合约束、脉冲宽度约束和冲突避免约束. 在 Narayanan 等人的研究中, 时序验证是在模块级展开的, 每个模块的接口规范仍然需要由设计者通过大量的模拟来确定. Wendy Bellumini 等研究者<sup>[2]</sup> 将一个异步电路的时序验证工具 ATACS, 应

用于 Delayed-Reset 电路模块内部的时序验证. D. V. Camperhout 等<sup>[3,4]</sup> 对多米诺电路的静态时序验证进行了系统地研究, 他们采用了五事件周期波形模型, 将多米诺电路的时序约束归结为 6 个不等式, 并且提出了两种静态时序验证的方法.

现有研究的一个普遍问题是需要预先为动态门或者宏模块建立延时模型, 为了建立延时模型, 设计者需要手工进行大量的模拟, 因此该方法的自动化程度不够高. 延时模型的另一个缺点是忽略了多个输入同时翻转对延时的影响. 相比于静态电路, 动态电路的延时更容易受多个输入同时翻转的影响. 文献[1]中提到在建立宏模块的延时模型时, 在一定程度上考虑多个输入同时翻转, 但是文中并没有说明所采用的方法及效果.

近些年来, 陆续提出了一些新的动态电路结构, 主要包括: 抗噪声预充 (Noise Tolerant Precharge: NTP) 电路<sup>[5,6]</sup>, 偏斜 CMOS (Skewed CMOS) 电路<sup>[7,8]</sup>, 有限翻转动态逻辑 (Limited Switch Dynamic Logic: LSDL)<sup>[9,10]</sup>. NTP 电路在普通动态门的基础上增加了一个弱的互补上拉网络; 偏斜 CMOS 电路通过交替使用动态门、LO-CMOS

(Low-skewed CMOS) 和 HF-CMOS (High-skewed CMOS) 来降低时钟功耗; LSDL 逻辑在动态门的后面增加了一个 N-C<sup>2</sup>MOS 锁存器以降低开关翻转率. 这些动态电路结构已经在设计中得到应用<sup>[10, 11]</sup>, 未来可能有更广泛的应用, 但是由于提出的时间较晚, 迄今还未发现上述电路时序验证的研究.

## 2 信号模型

动态电路中有三种不同类型的信号, 分别是时钟、动态信号和静态信号. 动态信号在一个时钟周期内分为预充和求值两个阶段. 如果动态信号的预充值为高, 则称其为预充为高类型的动态信号; 否则, 称其为预充为低类型的动态信号. 时钟是一种特殊的动态信号, 既可以视为预充为高类型的, 也可以视为预充为低类型的.

本文使用了四事件周期波形模型, 每一个信号的波形均用  $a^R$ 、 $A^R$ 、 $a^F$  和  $A^F$  四个事件来表示, 其中  $a^R$  和  $A^R$  分别为当前时钟周期最早和最晚的上升波形的到达时间,  $a^F$  和  $A^F$  分别为当前时钟周期最早和最晚的下降波形的到达时间. 所有信号都具有共同的周期  $T_c$ . 动态信号的一个波形周期以预充开始, 至下一次预充结束. 预充为高类型的动态信号各个事件的顺序满足约束:

$$a^R \leq A^R < a^F \leq A^F < a^R + T_c$$

其中  $a^R + T_c$  为下一个时钟周期最早的上升时间. 预充为高类型的动态信号, 在区间  $[A^R, a^F]$  维持稳定的预充值 1; 如果它在当前时钟周期的值为 0, 在区间  $[A^F, a^R + T_c]$  保持稳定高电平. 预充为低类型的动态信号各个事件的顺序为:

$$a^F \leq A^F < a^R \leq A^R < a^F + T_c$$

其中  $a^F + T_c$  为下一个时钟周期最早的下降时间. 预充为低类型的动态信号, 在区间  $[A^F, a^R]$  维持稳定的预充值 0; 如果它在当前时钟周期的值为 1, 在区间  $[A^R, a^F + T_c]$  保持稳定的高电平. 静态信号满足约束:

$$a^R \leq A^R \text{ 且 } a^F \leq A^F$$

如果静态信号在当前时钟周期的值为 1, 稳定高电平的区间为  $[A^R, a^F + T_c]$ ; 如果静态信号在当前时钟周期的值为 0, 稳定低电平的区间为  $[A^F, a^R + T_c]$ .

## 3 动态电路时序验证

在动态电路中, 每个以动态信号为输入的门都可以视为一个时序器件, 需要对所有以动态信号为输入的门进行时序检查. 动态电路的时序验证, 可以归结为对各个动态门正确工作所需要满足的约束进行些检查. 不同结构的动态门, 其约束也不同. 本节首先对 D. V. Camperhout 等人<sup>[3, 4]</sup>的研究进行了改进, 使之适合于一般的动态电路; 然后分别推导出 LO-CMOS 门、NTP 动态门和 N-

C2MOS 锁存器的时序约束, HF-CMOS 门的时序约束可以用与 LO-CMOS 门类似的方法得到, LSDL 逻辑的时序验证可以分解为对动态门和 N-C<sup>2</sup>MOS 锁存器时序约束的检查. 本文以前缀 dynl 表示预充为低类型的动态信号, 前缀 dynh 表示预充为高类型的动态信号;  $p$  表示一条路径上所有输入信号的集合.

### 3.1 普通动态门的时序约束

本节对 D. V. Camperhout 等人的约束公式作了改进, 使之能够适应于一般的动态门. 我们将动态门的时序约束归结为预充约束、求值约束和预充值保持约束. 预充约束与文献<sup>[3, 4]</sup>的 IPCH1 和 IPCH2 对应, 求值约束与文献<sup>[3, 4]</sup>的 IHV 对应, 预充值保持约束与文献<sup>[3, 4]</sup>的 ILVP 和 ILVN1 对应.

(1) 预充约束: 为了使得输出结点能够被完全预充, 预充脉冲的宽度应不小于  $T^{PWL}$ :

$$A_{clk}^F \leq a_{clk}^R - T^{PWL} \quad (1)$$

对于无脚踏管的 (unfooted) 动态门, 为了防止预充时电源和地之间出现导通路径, 预充管导通时所有下拉路径均须关闭, 因此无脚踏管的动态门还需要满足下面两个约束. 第一个约束规定在预充管导通之前, 不存在一条导通的下拉路径:

$$\max_p \{ \min \{ +\infty, \min_{i \in C_p} \{ A_i^F \} \} \} \leq a_{clk}^F \quad (2)$$

如果一条下拉路径有预充为低类型的动态信号, 当预充为低类型的动态信号预充时该路径关闭; 否则, 路径是否关闭是不确定的, 用  $+\infty$  表示其关闭时间. 第二条约束规定在预充结束之前, 不存在一条导通的下拉路径:

$$\min_p \{ \max_{i \in C_p} \{ a_i^R \} \} \leq A_{clk}^R \quad (3)$$

约束(3)是在约束(2)满足之后检查的, 因此动态门的每一条下拉路径都有预充为低类型的动态输入, 这些路径应在时钟为高后才导通.

(2) 求值约束: 如果一条下拉路径上所有输入在当前时钟周期的值为 1, 动态门求值. 为了保证求值能够完成, 下拉路径的导通必须维持一段时间, 这就要求路径上所有输入高脉冲的最小重合宽度不小于  $T^{PWH}$ :

$$a_i^F + T_c \geq \max_{j \in C_p} \{ A_j^R \} + T^{PWH} \quad (4)$$

(3) 预充值保持约束: 在预充阶段, 动态门的输出被预充为 1. 如果每一条下拉路径在当前周期都是关闭的, 输出上的预充值保持. 但是在两种情况下预充值会被破坏. 首先, 如果输入在上一时钟周期的高电平一直持续到当前的求值周期, 会导致动态门的输出变为低, 而且不可恢复. 因此上一周期的高电平要么在时钟最早的上升沿之前就已变为低, 要么在其出现的每条路径上, 至少有一个预充为低类型的动态输入正处于预充状态, 使得该路径关闭.

$$A_i^F < \max\{a_{clk}^R, \max_{dyn\ j \in p} \{a_j^R | A_j^F < A_i^F\}\} \quad (5)$$

其次, 输出上的预充值还可以被较早到达的下一个时钟周期的高电平所破坏. 在这种情况下, 输入  $i$  在当前周期的值为 0, 但是其下一个最早的上升波形, 在当前求值周期还没有结束时就已经到达. 为了避免输出发生翻转, 当事件  $a_i^R + T_c$  发生时, 要么当前的求值周期已经结束, 要么每一条以  $i$  为输入的路径, 至少有一个预充为低类型的动态输入已经开始预充, 保证该路径不会导通:

$$a_i^R + T_c > \min\{a_{clk}^F + T_c, \min_{dyn\ j \in p} \{A_j^F + T_c | a_i^R < a_j^R\}\} \quad (6)$$

### 3.2 LO CMOS 门的时序约束

LO-CMOS 虽然在结构上属于静态电路, 但是当其有预充为低类型的动态输入时, 而且当预充为低类型的动态输入预充时, 总是存在一条或数条导通的上拉预充路径  $P^L$ , 那么 LO-CMOS 实际上是以动态电路的方式工作. 预充路径  $P^L$  的所有输入均为预充为低类型的动态信号, 当动态输入预充时该路径导通, 对 LO-CMOS 门进行预充. 因为 LO-CMOS 不受时钟直接控制, 所以区分其预充和求值不像普通动态门那么直接. 我们将 LO-CMOS 的预充区间定义为  $[A^P, a^E]$ , 其中  $A^P$  为最晚预充时间,  $a^E$  为最早求值时间. 当有一条  $P^L$  路径导通时, LO-CMOS 开始预充. 但是对于一条  $P^L$  路径, 只有当其所有输入均为低后, 该路径才导通. 因此,  $A^P$  可以定义为:

$$A^P = \min_p \{ \max_{dyn\ i \in p} \{A_i^F\} \} \quad (7)$$

当所有预充路径均关闭时, LO-CMOS 开始求值. 每一条预充路径, 只要有一个输入变为高, 该路径关闭. 最早求值时间  $a^E$  可以按照下面的公式计算:

$$a^E = \max_p \{ \min_{dyn\ i \in p} \{a_i^R\} \} \quad (8)$$

LO-CMOS 的求值约束与普通动态门的求值约束相同, 这里只对其预充约束和预充值保持约束进行说明.

(1) 预充约束: 首先, 对于每一条预充路径  $P^L$ , 其所有输入低脉冲的最小重合宽度应不小于  $T^{PWL}$ , 任一输入  $i$  都需满足下面的约束:

$$a_i^R - \max_{dyn\ j \in p} \{a_j^F\} \geq T^{PWL} \quad (9)$$

其次, 当 LO-CMOS 有多条  $P^L$  路径时, 还需要保证预充值的连续性. 图 1 给出了一个预充值连续性违反的例子.  $A$  和  $B$  均为预充为低类型的动态信号, 当  $A$  为低后将输出预充为高, 一段时间后  $A$  开始求值, 此时  $B$  还没有开始预充, 输出又变为低, 直到  $B$  预充后输出才再一次被预充为高. 输出上的预充值出现了抖动, 破坏了预充值的连续性. 为了保证预充值的连续性, 如果一条预充路径  $p_k^L$  截止时, 要么其余的预充路径均已关闭, 即

$$\min_{dyn\ i \in p_k} \{a_i^R\} \geq \max_{p_k, l \neq k} \{ \min_{dyn\ j \in p_l} \{a_j^R\} \} \quad (10)$$

要么存在另一条导通的预充路径:

$$\exists p_l^L \max_{dyn\ j \in p_l} \{A_j^F\} < \min_{dyn\ i \in p_k} \{a_i^R\} < \text{dyn}\ \min_{j \in p_l^L} \{a_j^R\} \quad (11)$$

约束(10)和约束(11)只要有一个满足, 就可以保证预充值的连续性.

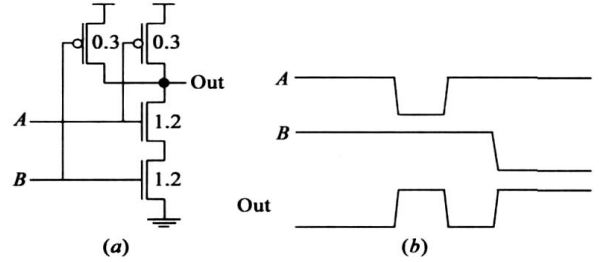


图 1 LO-CMOS 预充值连续性违反

(2) 预充值保持约束: 如果某个输入上一拍的高电平一直持续到当前的求值周期, LO-CMOS 的预充值也可能被破坏掉. 虽然当高电平为低后, 输出还可以恢复到原先的预充值, 但是输出信号翻转的单调性被破坏了, 而且由于 LO-CMOS 的 PUN 驱动能力比较弱, 电平恢复的时间比较长, 可能导致时序违反. 因此, 为了避免上一拍的高电平破坏预充值, 要么上一拍的高电平在 LO-CMOS 开始求值之前就已经变为低, 要么对于每一条下拉路径  $p$ , 该路径已被一个正处于预充阶段的预充为低类型的动态输入关闭:

$$A_i^F < \max\{a^E, \max_{dyn\ j \in p} \{a_j^R | A_j^F < A_i^F\}\} \quad (12)$$

如果下一拍的高电平在 LO-CMOS 开始预充之前到达, 也可能破坏预充值. 因此, 下一拍的高电平要么在 LO-CMOS 开始预充之后到达, 要么是在所有以该信号为输入的下拉路径  $p$  中, 均有一个预充为低类型的动态输入已经预充为低, 下拉路径  $p$  不会导通:

$$a_i^R + T_c > \min\{A^P + T_c, \min_{dyn\ j \in p} \{A_j^F + T_c | a_i^R < a_j^R\}\} \quad (13)$$

### 3.3 NTP 动态门的时序约束

NTP 动态门同时拥有普通动态门和 LO-CMOS 门的特征, 其约束也是两者的综合. 如果将时钟看作一个预充为低类型的动态信号, LO-CMOS 预充区间的定义和事件  $A^P, a^E$  的计算方法也适用于 NTP 动态门. NTP 动态门的求值约束与普通动态门的求值约束(4)相同; 其预充值保持约束与 LO-CMOS 门的预充值保持约束(12)和(13)相同; 有脚踏管的 NTP 动态门的预充约束与 LO-CMOS 门的预充约束相同, 无脚踏管 NTP 动态门还需要满足普通动态门的预充约束(2)和(3).

### 3.4 N<sup>2</sup>C<sup>2</sup>MOS 锁存器的时序约束

N<sup>2</sup>C<sup>2</sup>MOS 锁存器的约束包括: 求值约束、0 保持约束和 1 保持约束.

(1) 求值约束: 求值约束包括求 0 约束和求 1 约束. 求 0 约束保证 N<sup>2</sup>C<sup>2</sup>MOS 的输出可以被拉为低, 该约束与普通动态门的求值约束(4)相同. 求 1 约束保证 N<sup>2</sup>C<sup>2</sup>MOS 的输出可以被拉为高, 该约束可以表示为: 对于

每一条上拉路径  $p$ , 各个输入的低脉冲最小重合宽度应不小于  $T^{\text{PWL}}$ :

$$a_i^R - \max_{j \in p} \{A_j^F\} \geq T^{\text{PWL}} \quad (14)$$

(2) 0 保持约束: N-C<sup>2</sup>MOS 锁存器的 PUN 不受时钟控制, 即使在时钟为低后, 输入上的低脉冲仍然可能导致一条上拉路径导通. 因此, 如果 N-C<sup>2</sup>MOS 锁存器当前周期的输出是 0, 那么每个输入  $i$ , 要么其下一个下降波形最早的到达时间  $a_i^F$ , 晚于时钟下一个上升波形最晚的到达时间  $A_{\text{dk}}^R$ ; 或者每一条以  $i$  为输入的上拉路径  $p$ , 均存在一个预充为高类型的动态输入  $j$ , 在  $i$  上升之前  $j$  已经开始预充, 将路径  $p$  关闭:

$$a_i^F + T_c > \min\{A_{\text{ck}}^R + T_c, \min_{j \in p} \{A_j^R + T_c \mid a_i^F < a_j^F\}\} \quad (15)$$

该约束要求输出上的 0 一直要保持到时钟的下一个上升沿. 如果 N-C<sup>2</sup>MOS 使用了延迟时钟, 该约束将过于严格. 约束 (16) 对约束 (15) 进行了松弛, 其中  $T_{\text{HOLD}}$  可以为负值:

$$a_i^F + T_c > \min\{A_{\text{ck}}^R + T_c + T_{\text{HOLD}}, \min_{j \in p} \{A_j^R + T_c \mid a_i^F < a_j^F\}\} \quad (16)$$

(3) 1 保持约束: N-C<sup>2</sup>MOS 锁存器的 PDN 在时钟为低后是关闭的. 因此, 如果每个输入在时钟为低之后才向上翻转, N-C<sup>2</sup>MOS 当前周期的 1 将一直保持到时钟的下一个上升沿:

$$a_i^R > A_{\text{ck}}^F \quad (17)$$

如果 N-C<sup>2</sup>MOS 锁存器有预充为低类型的动态输入, 该约束可以松弛为:

$$a_i^R + T_c > \min_{j \in p} \{A_j^F + T_c \mid a_i^R < a_j^R\} \quad (18)$$

即当一个输入下一个上升沿到来之前, 所有该包含该输入的下拉路径均已关闭, 此处把时钟当作一个预充为低类型的动态信号.

#### 4 延时计算

为了克服现有动态电路时序分析的研究中延时计算方法的缺点, 本文将混合时序分析方法应用于动态电路的延时计算. 混合时序分析方法的基本思想是通过电路模拟计算门延时, 用静态时序分析的方法计算路径延时<sup>[12, 13]</sup>, 具有精度高和速度快的优点. 延时测试波形生成是混合时序分析的核心技术, 文献[12, 13]对测试波形生成的一般方法进行了介绍, 并给出了静态电路的延时测试波形生成算法. 在测试波形生成算法中, 被赋值为 0 或者 1 的输入, 其高电平或者低电平必须能够维持多拍, 静态信号是满足这一点的. 在动态电路中, 预充为低类型的动态输入每拍都要被预充为低, 因此不能被赋值为 1; 同理, 预充为高类型的动态输入也不能被

赋值为 0. 在静态电路中只有最小延时需要考虑多条路径同时导通的情况. 对于 HF-CMOS、LO-CMOS 和 NTP 动态门的预充网络, 以及 N-C<sup>2</sup>MOS 锁存器的 PDN, 即使是最大延时也要考虑多条路径同时导通的情况. 本节将以存在动态输入的 PDN 为例, 研究动态电路最大延时和最小延时测试波形生成算法.

(1) 动态信号预充触发的最大延时: 在这种情况下 PDN 中至少存在一条全部由预充为高类型动态输入控制的下拉路径  $p^H$ . 由于路径  $p^H$  在动态输入预充时总是导通的, 因此最大延时只需要考虑  $p^H$  路径, 让其余路径关闭. 对输入的赋值采取了一种近似算法, 所有预充为高类型的动态输入赋值为  $R$ , 即取最晚的上升波形; 静态输入和预充为低类型动态输入均赋值为 0, 这样可以保证只有  $p^H$  路径是导通的. 这种情况只需生成一组测试波形, 只要有一条路径导通输出即开始翻转, 因此关键输入  $I_{\text{NCRIT}}$  应位于最先导通的一条  $p^H$  路径上, 而且是该路径上最晚到达的那个输入:

$$A_{\text{CRIT}}^R = \min_{p^H} \{ \max_{i \in p^H} \{A_i^R\} \} \quad (19)$$

(2) 动态信号求值触发的最大延时: 在这种情况下, 每一条下拉路径至少有一个静态输入或者预充为低类型的动态输入. 测试波形的生成方法与输入全为静态信号时相似, 一次只允许一条路径导通, 因此需要为每一条路径生成一组激活最大延时的测试波形. 所有位于路径上的输入赋值为  $R$ , 旁路输入按照文献[12, 13]的方法进行赋值. 如果直接根据该赋值生成测试波形, 当旁路输入中有动态信号时, 得到的延时要保守些. 一种更精确的方法是对旁路动态信号的赋值进行修改: 如果预充为低类型的动态输入被赋值为 1, 则将其赋值改为  $r$ , 即取最早的上升波形. 对于每一组测试波形, 关键输入是导通路径上  $A^R$  最大的那个输入.

(3) 动态信号预充触发的最小延时: 在这种情况下 PDN 只有静态输入和预充为高类型的动态输入. 在静态门的最小延时测试波形生成算法中<sup>[15]</sup>, 每个输入的赋值只能是 1 和  $r$ . 预充为高类型的动态输入可以持续为高电平, 其赋值可以是 1, 因此这种情况下测试波形的生成算法与输入全为静态时相同.

(4) 动态信号求值触发的最小延时: 在这种情况下 PDN 有预充为低类型的动态输入, 而且还可能有静态输入和预充为高类型的动态输入. 在算法的开始, 先按照文献[13]第 6.3 节的方法将 PDN 划分为多个并联的子图, 然后逐组进行分析. 如果一个分组中存在一条完全由静态输入和预充为高类型的动态输入控制的路径, 则称其静态信号主导的; 否则, 称其为动态信号主导的. 静态信号主导的分组, 先按照静态门的方法产生输入的赋值, 如果有预充为低类型的动态输入被赋值为 1, 则将

其赋值修改为  $r$ 。在动态信号主导的分组中, 每一条下拉路径上至少有一个预充为低类型的动态输入, 只要每条路径上预充为低类型的动态输入还处于预充状态, 该路径一定是关闭的。为了增强每条路径的导通能力, 可以将静态输入和预充为高类型的动态输入均赋值为 1, 将预充为低类型动态输入赋值为  $r$ 。对于动态信号占主导的分组, 只需要生成一组赋值。如果 PDN 中存在多个分组, 还需要按照文献[13]第 6.3 节的方法将各个分组的赋值进行交叉合并。对于每一组赋值关键输入都可以按照下面的方法确定:

$$a_{\text{CRIT}}^R = \min_p \left\{ \max_{i \in p, i \neq r} \{ a_i^R \} \right\} \quad (20)$$

本文的算法充分考虑了多个输入同时翻转对延时的影响: 允许多条路径同时导通; 对于单条路径, 允许路径上的各个输入同时发生翻转。每个门都要按照上述算法生成测试波形, 随后调用 SPICE 计算准确的输出波形, 该方法可以保证较高的精度。

## 5 设计实现与应用

本文所介绍的算法已在 SpiceTime 中实现了, SpiceTime 是我们开发的一个晶体管级的混合时序分析工具。SpiceTime 支持三种分析模式: MAX、MIN 和 MIN-MAX, 在 MIN-MAX 模式同时计算最大/最小延时并进行时序验证。SpiceTime 还支持对部分电路进行分析, 设计者指定需要分析的信号, SpiceTime 会自动提取出跟这些信号相关的电路, 只对这些电路进行分析。我们将 SpiceTime 应用于一个 32 位动态加法器的设计与验证。

表 1 对 SpiceTime 的运行速度进行了说明。即使在 MIN-MAX 模式下对整个电路进行分析, 运行时间也不超过 4 分钟; 如果只对部分电路进行分析, 运行时间不超过 1 分钟。对于同一个电路, HSPICE 的运行时间与瞬态分析长度成正比, 瞬态分析 40ns 的运行时间就超过了 SpiceTime 在 MIN-MAX 模式下的运行时间, 而且准备模拟文件和查看模拟结果的时间往往数倍乃至数十倍于运行时间。

表 1 SpiceTime 的运行速度

Signals	# CCCs	# Transistors	MAX(s)	MIN(s)	MIN-MAX(s)
All	325	2,418	165	125	230
Sel27, Sel27#	108	663	39	34	54
$C_{0,15}$	59	336	23	19	28
$C_{0,7\#}$	28	175	11	10	15

为了说明 SpiceTime 延时计算的精度, 我们选择了加法器的两个输出结点和进位链上的四个结点, 与 HSPICE 的模拟结果进行了对比, 表 2 为最大延时, 表 3 为最小延时。电路的性能是由求值方向上的最大延时决定的, 所有求值方向的数据均采用黑体表示。对于最大

延时, 除  $C_{0,7\#}$  的最大下降延时  $A^F$  的误差达到 8.26%, 其余延时的误差均低于 4%, 最小延时的最大误差为 6.38%, 求值方向上最大延时的误差不超过 3.19%。

表 2 SpiceTime 延时计算精度对比: 最大延时

信号	最大上升延时 $A^R$			最大下降延时 $A^F$		
	Hspice(ps)	SpiceTime(ps)	Diff(%)	Hspice(ps)	SpiceTime(ps)	Diff(%)
Sum31	<b>325.69</b>	<b>336.1</b>	<b>3.19</b>	<b>337.08</b>	<b>337.2</b>	<b>0.03</b>
Sum28	<b>325.68</b>	<b>324.2</b>	<b>-0.46</b>	<b>337.02</b>	<b>338.4</b>	<b>0.4</b>
Sel27	<b>253.52</b>	<b>255.25</b>	<b>0.68</b>	82.21	81.3	-1.11
Sel27#	147.19	149.2	1.36	<b>269.03</b>	<b>273.25</b>	<b>1.56</b>
$C_{0,15}$	536.82	556.5	3.66	<b>199.67</b>	<b>203.4</b>	<b>1.86</b>
$C_{0,7\#}$	<b>162.94</b>	<b>164.2</b>	<b>0.77</b>	320.79	347.3	8.26

表 3 SpiceTime 延时计算精度对比: 最小延时

信号	最大上升延时 $a^R$			最大下降延时 $a^F$		
	Hspice(ps)	SpiceTime(ps)	Diff(%)	Hspice(ps)	SpiceTime(ps)	Diff(%)
Sum31	<b>215.6</b>	<b>214.8</b>	<b>-0.38</b>	223.32	216.3	-3.15
Sum28	<b>192.39</b>	<b>183.6</b>	<b>-4.57</b>	214.4	201.4	-6.07
Sel27	<b>146.67</b>	<b>148.96</b>	<b>1.56</b>	76.4	80.22	5
Sel27#	141.37	150.4	6.38	<b>163.5</b>	<b>165.64</b>	<b>1.3</b>
$C_{0,15}$	473.53	502.4	6.09	<b>125.26</b>	<b>129.8</b>	<b>3.62</b>
$C_{0,7\#}$	<b>106.9</b>	<b>108.3</b>	<b>1.3</b>	260.61	268.01	2.83

误差产生的原因主要有三个。一是伪路径, 由于当前研究中没有考虑各个输入之间的逻辑关系, SpiceTime 的某些导通情况在实际电路中可能不存在。Sum28 的  $a^F$  和  $a^R$  的误差就属于这种情况。二是噪声的影响。NTP 电路、HF-CMOS、LO-CMOS 和 NC-CMOS 的预充网络和求值网络的驱动能力严重不对称, 预充网络易于受噪声干扰, 因此较大的误差均出现在预充方向上, Sel27 的  $a^F$  和 Sel27# 的  $a^R$  的误差主要是由噪声产生的。求值方向的翻转抗噪声能力较强, 误差也较小。如果不考虑伪路径的影响, 求值方向延时的最大误差为 3.62%, 而预充方向上的最大误差为 8.26%。三是采用的波形模型过于简单。对于受到噪声影响的波形, 仅用到达时间和跳变时间来近似会产生很大的失真,  $C_{0,7\#}$  的最大下降延时的误差主要是由这个原因造成的。

SpiceTime 的时序验证功能帮助我们发现了电路设计中的两个错误。第一个错误是由于 P、G 产生电路预充管的尺寸过小, P、G 信号预充时间过长, 导致其后 HF-CMOS 门的预充值保持约束违反。最后将预充管的宽度由 0.3u 增加到 0.6u。第二个错误是关于 PSum 的, 图 2(a) 是最初的电路, P 与 G 均是预充为高类型的动态信号。在电路设计的时候认为 G 在 P\_bar 为低之前已经预充为高, 所以这个电路是安全的。但是时序验证结果表

明G的预充速度要比预期慢很多,导致N-C<sup>2</sup>MOS NOR2门的0保持约束违反,最后将所有PSum电路均改为图2(b)的结构。

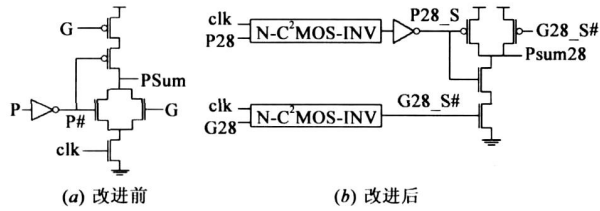


图2 PSum电路

## 6 结束语

本文基于四事件周期波形模型,研究并总结了一般动态门、LO-CMOS、NTP动态门和N-C<sup>2</sup>MOS锁存器正确工作所需要满足的时序约束;将混合时序分析方法应用于动态电路的时序验证,使得动态电路的时序验证可以完全自动化,提出了动态门延时测试波形的生成算法,算法中考虑了多个输入同时翻转对延时的影响。本文的研究成果均已在SpiceTime中实现,并且应用于一个32位动态加法器的设计。该方法提高了设计的效率,帮助发现了设计中存在的问题。如果不考虑伪路径的影响,求值方向和预充方向延时的最大误差分别为3.62%和8.26%。

### 参考文献:

- [1] VINOD Narayanan, BARBARA A. Chappel, BRUCE M. Fleischer. Static timing analysis for self resetting circuits[A]. Proc Int Conference on Computer Aided Design[C]. San Jose, CA, USA: IEEE Computer Society, 1996. 119-126.
- [2] WENDY Belluomini, CHRIS J Myers, H Peter Hofstee. Verification of delayed reset domino circuits using ATACS[A]. Proc the 5th Int Symposium on Advanced Research in Asynchronous Circuits and Systems[C]. Barcelona, Spain: IEEE Computer Society, 1999. 3-12.
- [3] D Van Camphenout, T Mudge, K Sakallah. Timing verification of sequential domino circuits[A]. Proc Int Conference on Computer Aided Design[C]. San Jose, CA, USA: IEEE Computer Society, 1996. 127-132.
- [4] D Van Camphenout, T Mudge, K Sakallah. Timing verification of sequential dynamic circuits[J]. IEEE Transactions on Computer Aided Design of Integrated Circuits and Systems, 1999, 18(5): 645-658.
- [5] H Yamada, T Hotta, et al, A 13.3ns double precision floating point ALU and multiplier[A]. Proc Int Conference on Comput-

er Design[C]. Austin, TX, USA: IEEE Computer Society, 1995. 466-470.

- [6] FUMIO Murabayashi, et al. 2.5 V CMOS circuit techniques for a 200 MHz superscalar RISC processor[J]. IEEE Journal of Solid State Circuits, 1996, 31(7): 972-980.
- [7] ALEXANDRE Solomatnikov, DINESH Somasekhar, et al. Skewed CMOS: noise immune high performance low power static circuit family[A]. Proc IEEE Int Conference on Computer Design[C]. Washington, DC, USA: IEEE Computer Society, 2000. 241-246.
- [8] NARAN Sirisantana, AIQUN Cao, et al. Selectively clocked skewed logic(SCSL): low power logic style for high performance applications[A]. Proc Int Symposium on Low Power Electronics and Design[C]. Huntington Beach, California, USA: ACM Press, 2001. 267-270.
- [9] W Belluomini, D Jamsek, et al. Limited switch dynamic logic circuits for high speed low power circuit design[J]. IBM Journal of Research and Development, 2006, 50(2/3): 277-286.
- [10] WENDY Belluomini, DAMIR Jamsek, et al. An 8Ghz floating point multiply[A]. Proc IEEE Int Solid State Circuits Conference[C]. San Francisco, USA: IEEE Press, 2005. 375-375.
- [11] KLAUS von Arnim, PETER Seegebrecht, et al. A low-leakage 2.5 GHz skewed CMOS 32b adder for nanometer CMOS technologies[A]. Proc IEEE Int Solid State Circuit Conference[C]. San Francisco, USA: IEEE Press, 2005. 380-381.
- [12] LI Zhentao, CHEN Shuming. Transistor level timing analysis considering multiple inputs simultaneous switching[A]. Proc Int Computer Aided Design and Computer Graphics[C]. Beijing, China: IEEE Press, 2007. 315-320.
- [13] 李振涛. 高性能 DSP 关键电路及 EDA 技术研究[D]. 长沙: 国防科技大学, 2007.  
LI Zhentao. Research on Circuits and EDA Techniques of High Performance DSPs[D]. Changsha: National University of Defense Technology, 2007. (in Chinese)

### 作者简介:



李振涛 男, 1976 年生于山东即墨, 博士。主要研究方向为高性能微处理器电路设计和 EDA 技术等。  
E-mail: lizhao@nudt.edu.cn

陈书明 男, 1961 年生于安徽六安, 教授, 博士生导师。主要研究方向为计算机体系结构, 通用微处理器、DSP 及超大规模集成电路设计等。E-mail: snchen@nudt.edu.cn