

# 一种消除失调的开关电容带隙基准电路

陈富吉, 来新泉, 李玉山, 李先锐, 李演明

(西安电子科技大学电路 CAD 研究所, 陕西西安 710071)

摘要: 本文介绍了一种基于开关电容的带隙基准芯片电路. 本文巧妙地利用电容和开关的模拟电阻, 实现了静态电流小, 温度系数好的开关型基准电压. 同时运用自动调零技术, 克服了线性基准的失调缺陷, 消除了运放的失调电压, 提高了输出电压的失调精度. 电路在 0.5μm VIS CMOS 工艺下实现, 温度系数  $29 @ 10^{-6} \text{V/e}$ , 20mV 输入失调电压下的电压漂移仅为 0.4mV.

关键词: 带隙基准; 开关电容; 自动调零; 消除失调

中图分类号: TN432 文献标识码: A 文章编号: 0372-2112 (2008) 11-2252-05

## A Switching Bandgap Voltage Reference Circuit with Offset Cancellation

CHEN Fu2ji, LAI Xin2quan, LI Yu2shan, LI Xian2rui, LI Yan2ming

(Institute of Electronic CAD, Xidian University, Xi. an, Shaanxi 710071, China)

Abstract: A bandgap reference circuit based on switched capacitor is presented in this paper. It uses cleverly equivalent resistor of capacitor and switch to reach a low quiescent current and a well temperature coefficient. And the technology of auto2zero is used to overcome the offset disadvantage of linear reference and cancel the offset voltage of amplifier. So the offset precision of output voltage can be improved. The circuit was designed and implemented in 0.5μm CMOS technology. The temperature coefficient is around 29ppm/e, while the reference voltage variation is only 0.4mV with a 20mV input offset voltage.

Key words: bandgap reference; switched capacitor; auto2zero; offset cancellation

### 1 引言

随着 CMOS 模拟电路设计技术的不断进步, 由于 CMOS 电路的低成本、低功耗以及速度的不断提高, CMOS 技术已经被证明是实现系统级芯片 (SOC) 的最好选择. 模拟电路是 SOC 中不可缺少的部分, 电压基准模块作为模拟电路的一个基本组件, 更是得到了日益广泛的重视与应用. 在高精度比较器、A/D 转换器、稳压器及 DC/DC 变换器等模拟电路中都需要高精度的电压基准. 高精度, 高稳定性, 高集成度, 低功耗已成为现代集成电路设计的主流. CMOS 开关电路由于效率高的优点得到越来越广泛的应用. 开关电容电路已成为标准 CMOS 工艺实现模拟信号处理电路的一种常用方法. 开关电容电路取得成功的一个重要原因是其信号处理功能的精度与电容比值的精度成比例<sup>[1]</sup>.

常用的连续时间带隙基准电路如图 1 所示, 是根据硅材料的带隙电压与电压和温度无关的特性, 利用  $V_{BE}$  的正温度系数与双极型晶体管  $V_{BE}$  的负温度系数相互抵消, 实现低温漂、高精度的基准电压. 双极型晶体

管提供发射极偏压  $V_{BE}$ ; 由两个晶体管之间的  $V_{BE}$  产生  $V_T$ , 通过电阻网络将  $V_T$  放大 A 倍; 最后将两个电压相加, 即  $V_{REF} = V_{BE} + AV_T$ , 适当选择放大倍数 A 使两个电压的温度漂移相互抵消, 从而可以得到在某一温度下为零温度系数的电压基准. 得到的基准电压值为:

$$V_{REF} = V_{BE} + \left(1 + \frac{R_2}{R_3}\right) \ln n \cdot V_T \quad (1)$$

有关连续时间带隙基准的文章很多, 如文献[3~12], 同时还对基准电路进行了改进和提高, 如文献[3, 6, 8].

但是这个结构存在以下缺点. 其一需要考虑电路的功耗, 所以在带隙结构中  $R_1 \sim R_3$  的值比较大, 就是兆级的电阻也是不足为怪的. 其二由于不对称性, 运放的输入失调不可避免, 如图 1 所示, 失调电压被放大了  $1 + R_2/R_3$  倍, 在  $V_{out}$  中引入了误差. 为了减小失调电压, 运放需要采用大尺寸器件并仔细选择版图的布局使得失调最小, 或者采用两个 PN 结串联使得  $V_{BE}$  增加一倍, 这样虽然失调电压变小, 但是牺牲了版图面积或者最小输入电压. 同时为了正常启动, 还需要加启动电路.

在开关型电路中,比如 A/D 转换器,基准电压并不需要一直保持恒定,仅在开关动作的某个时间内保证基准电压的有效性即可确保电路正常工作,这使得可以使用开关电容带隙

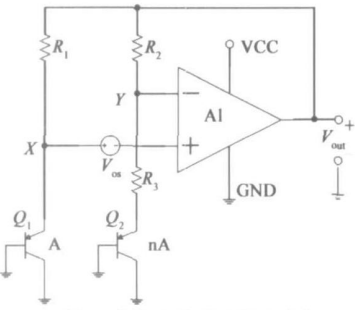


图1 传统线性带隙基准结构

基准来消除连续时间带隙基准存在的问题

本文提出的开关型带隙基准无需电阻,静态电流很小,温度系数达到 29ppm/e,工作电压接近 2V,且利用自动调零消除了运放的失调,满足低功耗要求.在 015Lm VIS CMOS 工艺进行了验证.

## 2 开关电容模拟电阻的原理

用开关和电容来模拟电阻,称为开关电容等效电阻.图 2(b)是串联开关电容电阻器,图 2(c)是串并联开关电容电阻器,图 2(a)是两项非交叠时钟波形.下面求出开关电容电阻器的等效电阻.

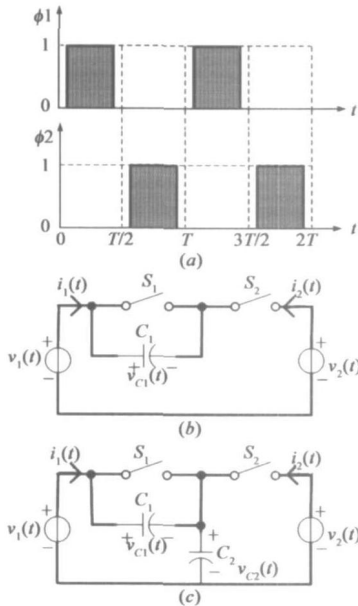


图2 模拟电阻的开关电容电路

串联开关电容电阻器  
平均电流

$$i_{1(avg)} = \frac{1}{T} \int_0^T i_1(t) dt \quad (2)$$

由于  $i_1(t)$  只在时间  $T/2 [ t [ T$  内存在,可以将式(2)改写为:

$$i_{1(avg)} = \frac{1}{T} \int_{T/2}^T i_1(t) dt \quad (3)$$

而电荷和电流之

间有如下关系:

$$i_1(t) = \frac{dq_1(t)}{dt} \quad (4)$$

把式(4)代入式(3)得到:

$$i_{1(avg)} = \frac{1}{T} \int_{T/2}^T dq_1(t) = \frac{q_1(T) - q_1(T/2)}{T} \quad (5)$$

一个时不变电容的电荷可以表示为:

$$q_c(t) = C v_c(t) \quad (6)$$

把式(6)代入式(5)可以得到期望的结果:

$$i_{1(avg)} = \frac{C[v_c(T) - v_c(T/2)]}{T} \quad (7)$$

从时钟波形可以看出电压  $v_c(T)$  等于  $v_1(0) - v_2(0)$ , 电压  $v_c(T/2)$  等于  $0v_1(0) - v_2(0)$ . 因此式(7)可以变为:

$$i_{1(avg)} = \frac{C[v_1(0) - v_2(0)]}{T} \quad (8)$$

但是,如果  $v_1(t)$  和  $v_2(t)$  在周期  $T$  内近似保持恒定,那么:

$$v_1(0) \approx v_1(T/2) \approx v_1(T) \approx v_1 \quad (9)$$

$$v_2(0) \approx v_2(T/2) \approx v_2(T) \approx v_2 \quad (10)$$

如果信号频率比时钟频率小得多,  $v_1(t)$  和  $v_2(t)$  在周期  $T$  内可以被看成常数,得到流入电容  $C$  的平均电流为:

$$i_{1(avg)} = \frac{C(V_1 - V_2)}{T} \quad (11)$$

$$\text{可以得到等效电阻值: } R = \frac{T}{C} \quad (12)$$

同理,串并联开关电容电阻器

在时钟  $U_1$  和  $U_2$  的半周期或相位中都存在电流  $i_1(t)$ , 于是有

$$i_{1(avg)} = \frac{1}{T} \int_0^T i_1(t) dt = \frac{1}{T} \left[ \int_0^{T/2} i_1(t) dt + \int_{T/2}^T i_1(t) dt \right] \quad (13)$$

利用式(5)的结果,可以将  $I_1$  的平均值表示为:

$$i_{1(avg)} = \frac{1}{T} \left[ \int_0^{T/2} q_1(t) dt + \int_{T/2}^T q_1(t) dt \right] = \frac{q_1(T/2) - q_1(0)}{T} + \frac{q_1(T) - q_1(T/2)}{T} \quad (14)$$

因此,  $i_{1(avg)}$  可以用  $C_1, C_2, v_{c1}, v_{c2}$  表示为:

$$i_{1(avg)} = \frac{C_2[v_{c2}(T/2) - v_{c2}(0)]}{T} + \frac{C_1[v_{c1}(T) - v_{c1}(T/2)]}{T} \quad (15)$$

$$i_{1(avg)} = \frac{C_2[V_1 - V_2]}{T} + \frac{C_1[V_1 - V_2]}{T} = \frac{(C_1 + C_2)(V_1 - V_2)}{T} \quad (16)$$

$$R = \frac{T}{C_1 + C_2} \quad (17)$$

## 3 开关型带隙基准的电路结构

### 3.1 开关带隙基准实现

由带隙基准的公式(1)可以看出,把电阻替换成开关电容,则开关型带隙基准的实现成为可能.图 3 所示的开关电容放大器可以实现电容比.

假设运放的开环增益非常大,并且分两阶段研究:采样阶段和放大阶段.周期如图 2(a)的两相非重叠时

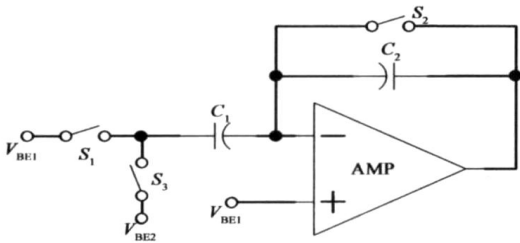


图3 开关电容放大器

钟,在图3所示的开关电容放大器中,首先在 0 和 T/2 之间的 51 的相位周期里, S<sub>2</sub> 和 S<sub>3</sub> 导通, S<sub>1</sub> 截止, C<sub>1</sub> 被充电为 \$V\_{BE}\$, C<sub>2</sub> 被放电, 输出电压 \$V\_{out} = V\_{BE1}\$.

而从 T/2 和 T 之间的 S<sub>2</sub> 的相位周期里, C<sub>1</sub> 被短路, 根据电荷守恒原理, C<sub>1</sub> 和 C<sub>2</sub> 上的总电荷保持不变, C<sub>1</sub> 上的电荷只能转移到 C<sub>2</sub> 上, 输出电压出现跳变:

$$V_{out} = - \left( \frac{C_1}{C_2} \right) V_{VC1}, \text{ 最终的输出电压为:}$$

$$V_{out} = V_{BE} + \left( \frac{C_1}{C_2} \right) V_{VC1} \quad (18)$$

通过设置 C<sub>1</sub>, C<sub>2</sub> 的值使 \$V\_{BE}\$ 和 \$V\_{VC1}\$ 的温度系数互相抵消, 在某一温度下可得到零温度系数的基准电压.

### 312 失调的消除

从式(18)可以看出, 这个电路的运放失调仍存在, 根据文献[2]对图3的电路进行精度计算, 开关电容电路在放大模式中表现为电荷放大器. 在一般情况下假设

运放的输入电容 \$C\_{in}\$ 是有限值, 并在采样模式转变到放大模式时计算电路的输出电压值. 由于运放的增益是有限的, 简单起见设 \$V\_{rd} = 0\$, 在放大模式下 \$V\_X \ll 0\$, 在 \$C\_{in}\$ 上的电荷等于 \$C\_{in} V\_X\$. 在节点 X 上的电荷守恒要求电荷 \$C\_{in} V\_X\$. 来自电容 C<sub>1</sub>, 使 C<sub>1</sub> 上的电荷增加到 \$V\_1 V\_0 + C\_{in} V\_X\$. 这使得 C<sub>1</sub> 两端的电压等于

$$V_{C1} = (C_1 V_0 + C_{in} V_X) / C_1 \quad (19)$$

因此可以得到

$$V_{out} - (C_1 V_0 + C_{in} V_X) / C_2 = V_X \quad (20)$$

并且 \$V\_X = - V\_{out} / A\_{v1}\$. 因此

$$V_{out} = \frac{V_0}{1 + \frac{1}{A_{v1}} \left( \frac{C_{in}}{C_1} + 1 \right)} \# \frac{C_1}{C_2} U \frac{C_1}{C_2} V_0 \left[ 1 - \frac{1}{A_{v1}} \left( \frac{C_{in}}{C_1} + 1 \right) \right] \quad (21)$$

如果 \$C\_{in} / C\_1 \ll 1\$, 那么 \$V\_{out} \approx U \frac{C\_1}{C\_2} V\_0 \left( 1 + \frac{1}{A\_{v1}} \right)\$. 一般而言, 电路的增益误差约为 \$- (C\_{in} / C\_1 + 1) / A\_{v1}\$, 可以看出, 输入电容应该尽量小, 但是为了增加 \$A\_{v1}\$, 运放需要选择大的宽长比输入器件, 这样的代价是增大了输入电容. 从式中可以看出, 如果 C<sub>1</sub> 上把 \$V\_X\$ 的电压反相叠加上去, 可以使得 C<sub>1</sub> 两端的电压与 \$C\_{in}\$ 无关, 因此我们采用自动调零技术来消除运放的失调, 得到最终的电路如图4所示.

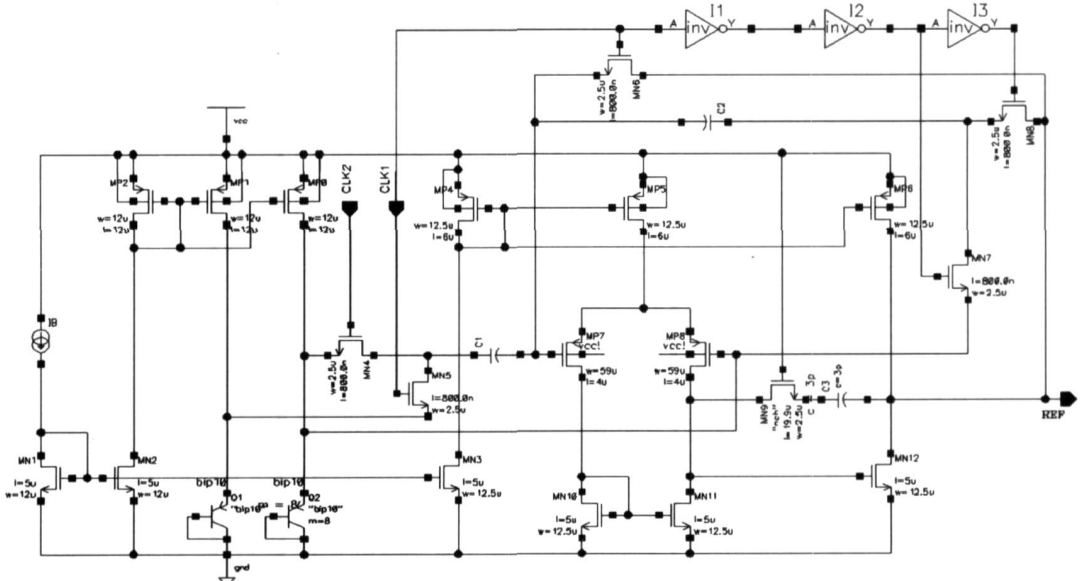


图4 开关带隙基准电路

在图4电路中, 当 CLK1 开启时, MN<sub>5</sub>, MN<sub>6</sub>, MN<sub>7</sub> 导通, 沟道需要提供电荷, 其中 MN<sub>5</sub> 需要的电荷只能由 C<sub>1</sub> 提供, 因此会在 C<sub>1</sub> 上出现电压误差. MN<sub>6</sub> 的电荷由于存在虚地点, 完全由运放提供, 不会在输入产生误差, 而 MN<sub>7</sub> 的电荷由 C<sub>2</sub> 提供, 在 C<sub>2</sub> 上也产生误差, 同时 MN<sub>8</sub>

截止, 对 C<sub>2</sub> 产生电荷注入, 因此 MN<sub>7</sub> 和 MN<sub>8</sub> 在 C<sub>2</sub> 上的影响可以相互抵消. 当 CLK2 关闭时, MN<sub>4</sub> 断开产生电荷注入, 把 MN<sub>5</sub> 在 C<sub>1</sub> 上产生的电压误差抵消了一部分.

### 313 整体电路实现

图4是带隙基准电路原理图, MP<sub>0</sub>~MP<sub>2</sub>组成电流

源,为  $Q_1$ 、 $Q_2$  提供偏置电流,  $Q_1$  和  $Q_2$  的发射结面积比为 1B8, 产生  $V_{BE}$  及  $\$ V_{BE}$ ,  $MN_4 \sim MN_6$  和  $C_1$ 、 $C_2$  分别是开关和电容, 相当于电阻.  $MN_7$ 、 $MN_8$  和  $C_2$  组成自动调零电路. 等效电路变为如图 5(a) 所示. 开关  $S_1$  由 CLK1 控制,  $S_2 \sim S_5$  由 CLK2 控制,  $S_2 \sim S_4$  和  $S_5$  相位相反, CLK1 和 CLK2 分别是数字电路产生的不重叠的时钟信号. 电路的工作过程是:

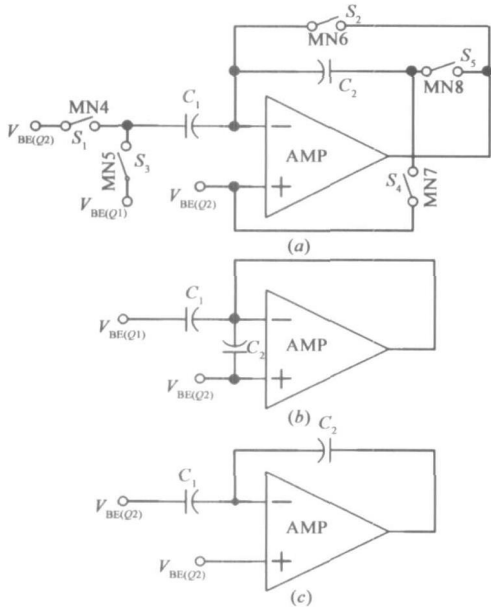


图5 开关带隙电路等效图

开始 CLK1 有效,  $S_1$  ( $MN_4$ ) 断开,  $S_2$ 、 $S_3$  导通, 若没有  $S_4$ 、 $S_5$ , 则  $C_2$  被  $S_2$  短路, 运放的失调仍然存在. 而在电路中由于  $S_5$  断开,  $S_4$  闭合,  $C_2$  的另一端通过  $S_4$  接到运放的同相端, 因此  $C_2$  接到运放的两输入端, 如图 5(b) 所示, 在  $V_{BE(Q1)}$  对  $C_1$  充电的同时,  $C_2$  也被运放输入端的电压充电, 假设时间足够, 最终  $C_1$  上的电压为  $\$ V_{BE}$ ,  $C_2$  上的电压为运放输入端的失调电压. 当 CLK2 有效,  $S_1$ 、 $S_5$  闭合,  $S_2 \sim S_4$  断开, 如图 5(b) 所示,  $C_1$  被短路, 其上的电荷转移到  $C_2$ . 由于没有放电回路,  $S_4$  断开时  $C_2$  存储着运放两输入端的失调电压,  $C_2$  在这个失调电压上叠加  $C_1$  的电荷, 从而消除了运放输入端失调的影响, 并且这个失调电压的大小是不受限制的. 此时式 (21) 中的  $V_{out}$  变为:

$$V_{out} = V_0 \# \frac{C_1}{C_2} \quad (22)$$

前面的推导都假设运放增益无穷大, 其实运放具有有限的差模增益. 设计时需要在足够的相位余度下尽可能提高运放的增益. 运放的增益表达式为:

$$A = \frac{2g_{mp} \# g_{m12}}{I_{mp5} \# I_{m12} (K_{mp8} + K_{m11}) (K_{mp6} + K_{m12})}$$

由于有失调消除电路, 因此输入级可以用大宽长

比的器件, 一方面提高了输入级的跨导, 减小沟道调制效应, 另一方面还减小了  $1/f$  噪声.

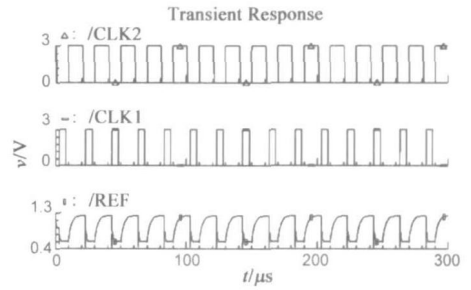


图6 Hspice 仿真波形图

图 6 是开关带隙电路在 hspice 的输出电压波形.

#### 4 仿真结果

本电路是在 VIS CMOS 工艺下进行设计, 在同样的 20mV 失调电压下, 开关带隙基准和传统带隙基准的电压漂移分别为 014mV 及 281mV, 同时电压温度系数达到 29ppm/e, 电路的工作电流较小.

开关电路的缺点是会出现噪声增大, 但是由于自动调零的引入, 噪声引起的失调也会得到消除, 同时通过增大工作电流或 AMP 电路的输入管尺寸, 也可以减小噪声的影响.

表 1 性能对比列表

参数	开关带隙基准	连续时间基准
制程	VIS CMOS	VIS CMOS
输出电压值(V)	1.3075	1.26
失调为 20mV 时	1.3071	1.5415
温度漂移(0- 100e, $V_{in} = 3V$ )	3mV	2mV
TC	29ppm/e	25ppm/e
线性调整率(2.5- 7V)	1.2mV/V	1mV/V
电路面积( )	0.053mm <sup>2</sup>	0.065mm <sup>2</sup>
工作电流	14LA	> 20LA

图 7 为开关带隙电路的版图照片, 电路带隙基准输出为一款电源管理芯片的 ADC 和分时比较器提供参考

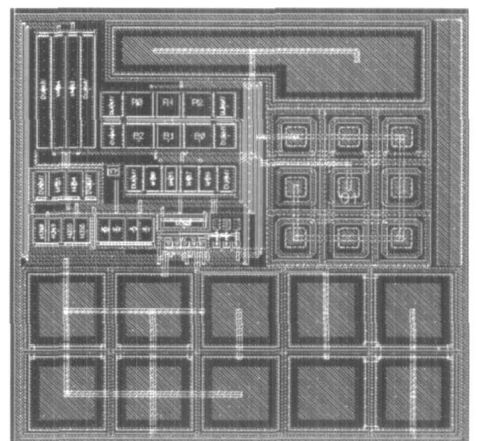


图7 开关带隙电路的版图

电压. 芯片已进行投片. 由于基准输出信号没有作为独立引脚引出芯片, 因此只能通过分时比较器的输出结果来间接反映基准的电压值.

表 2 中的数据是 8 颗芯片的比较器翻转电压阈值测试结果, 是由带隙基准分压得到, 表中的 R 是均方根误差. 这个阈值设计的典型值为 950mV, 从数据表可以看出, 阈值电压整体偏大了大约 30mV, 但是同一芯片在不同温度之间偏差较小, 温度特性较好, 大部分与仿真值比较接近. 阈值整体偏大有很多原因, 工艺偏差的可能性比较大, 不过这个偏差可以通过修正 (trimming) 来调节回来, 带隙基准设计时考虑的修正范围是  $\pm 5\%$ , 可以满足指标  $\pm 115\%$  的精度要求.

表 2 比较器电压阈值(mV)

T(°C)	- 20	25	70
1	996.9	998.0	993.8
2	976.0	981.0	990.6
3	953.1	950.0	962.5
4	973.4	969.0	978.1
5	998.4	1000.0	998.4
6	987.8	978.0	981.3
7	987.5	984.0	985.9
8	1001	1000	1004
Mean	984.3	982.5	986.8
Max	1001	1000	1004
Min	953.1	950	962.5
R	16.1	17.4	13.04

## 5 结论

我们设计的这种基于开关电容的带隙基准芯片电路, 利用电容和开关模拟并取代电阻, 实现了静态电流小、温度系数好的开关型带隙基准电压. 同时运用自动调零技术, 消除了运放输入端的失调电压, 提高了输出电压的精度, 在比较大的失调电压下仍保持精确的电压输出.

芯片具有良好的温度特性. 电路在 0.15 $\mu\text{m}$  VIS CMOS 工艺下实现, 温度系数  $29 @ 10^{-6} \text{V}/^\circ\text{C}$ . 在 20mV 输入失调电压下的电压漂移仅为 0.14mV.

本芯片中的电路模块可应用于各种仅在开关动作的某个时间内需要精确电压基准的电路及低功耗电路.

## 参考文献:

- [1] Phillip E. Allen, Douglas R. Holberg, CMOS Analog Circuit Design[M]. 2nd Edition, Oxford University Press, USA, 2002. 492- 520.
- [2] Behzad Razavi, Design of Analog CMOS Integrated Circuits [M]. McGraw-Hill, 2001. 377- 438.
- [3] H. Banba, et al. A CMOS Bandgap Reference Circuit with Sub $2\text{V}$  Operation [J]. IEEE J. of Solid State Circuits, 1999, 34

(5): 670- 674.

- [4] Tsiividis Y P, Ulmer R W. A CMOS voltage reference [J]. IEEE J Solid State Circuits, 1978, 13(10): 774- 778.
- [5] KaNangLeung and PhilipK. T. Mok, A Sub $2\text{V}$  152ppm/  $^\circ\text{C}$  CMOS Bandgap Voltage Reference Without Requiring LowThresholdVoltageDevice [J]. IEEE J. of Solid State Circuits, 2002, 37(4): 526- 530.
- [6] Wang Hongyi, Lai Xinquan, Li Yushan, Li Xianrui. A Piecewise Linear Compensated Bandgap Reference [J]. Chinese Journal of Semiconductors. 2004, 25(7): 771- 777.
- [7] T Books, A L Westwisk. A LowPower Differential CMOS Bandgap Reference [A]. Digest of Technical Papers, ISSCC 1994[C]. San Francisco: IEEE Press, 1994. 248- 249.
- [8] G C M Meijer, P C Schmall, K van Zanlinge. A New Curvature Corrected Bandgap Reference [J]. IEEE J. of Solid State Circuits, 1982, 17(6), 1139- 1143.
- [9] M Gunawan et al. A Curvature Corrected LowVoltage Bandgap Reference [J]. IEEE J. of Solid State Circuits, 1993, 28(6): 667- 670.
- [10] Rinco Mora G A, Allen P E. A 1.2V current mode and piecewise linear curvature corrected bandgap reference [J]. IEEE J Solid State Circuits, 1998, 33(10): 1551- 1554.
- [11] Rinco Mora G A. Voltage References from Diodes to Precision High Order Bandgap Circuits [M]. New York: IEEE Press, 2002. 46- 75.
- [12] 王静秋, 来新泉, 陈富吉等. 一种适用于宽电源电压幅度的高精度双极带隙基准电路 [J]. 电路与系统学报. 2005, 10(5): 125- 128.

Wang Jingqiu, Lai Xinquan, Chen Fuji et al. A high accuracy bipolar bandgap reference with wide input voltage range [J]. Journal of Circuits and Systems. 2005, 10(5): 125- 128. (in Chinese)

## 作者简介:



陈富吉 男, 1977 年出生于广西壮族自治区都安县, 现为西安电子科技大学电路与系统博士研究生, 研究方向为数模混合集成电路设计及电源管理类集成电路设计.  
E-mail: fj\_chen@126.com



来新泉 男, 1963 年出生于陕西省富平县, 现为西安电子科技大学教授, 博士生导师, 长期从事数模混合集成电路设计理论与技术、VLSI 器件物理、CMOS 图像传感器和集成电路的热场数值建模方面的科研和教学工作, 已发表学术论文 30 多篇.  
E-mail: xqlai@mail.xidian.edu.cn