

# 基于概率转移矩阵的串行电路可靠度计算方法

王 真,江建慧

(同济大学计算机科学与技术系,上海 201804)

**摘 要:** 概率转移矩阵(Probabilistic Transfer Matrix,PTM)方法是一种能够在门级比较精确地估计差错对电路可靠性影响的方法,但目前其实现方法只能适用于较小规模的电路.本文引入了电路划分的思想,先把电路分割成一组适宜用原始 PTM 方法直接计算其可靠度的模块,然后计算出这些模块的可靠度,再依据串行可靠度模型,将所有模块可靠度合成为整个电路的可靠度.本文用实验的方法通过对 74 系列电路的分析得到了合适的电路分割参数,即分割宽度,再进一步对 ISCAS85 基准电路进行了可靠度的计算,结果表明新方法可以适用于更大规模的无冗余组合电路.通过与依据美军标 MIL-HDB K-217 所算得的可靠度的比较,验证了本文所提出的方法的合理性.

**关键词:** 高层次电路可靠性评估;串行可靠度模型;概率转移矩阵;电路分割

**中图分类号:** TP331, TP202+.1 **文献标识码:** A **文章编号:** 0372-2112 (2009) 02-0241-07

## A Serial Method of Circuit Reliability Calculation Based on Probabilistic Transfer Matrix

WANG Zhen, JIANG Jian-hui

(Department of Computer Science and Technology, Tongji University, Shanghai 201804, China)

**Abstract:** Probabilistic transfer matrix (PTM) is a more accurate approach to estimate the effects of soft errors on gate level circuit reliability. However, the existed method can only be used for small-scale circuits so far. This paper presents a serial method of circuit reliability calculation based on PTM. The circuit under evaluation is partitioned into proper scale modules that their reliability can be calculated by the original PTM. Then the reliability of the whole circuit is calculated based on the serial reliability model and reliability values of all modules. The proper circuit partition parameter (i. e. partition width) is gotten by experiments with 74-Series circuits. The proposed new reliability calculation method is applied on ISCAS85 benchmark circuits. It shows that our method can be used for larger non-redundant combinational circuits. It is verified that the new method is consistent with the reliability calculation method recommended by MIL-HDB K-217 standard by using some ISCAS85 circuits.

**Key words:** high-level circuit reliability evaluation; serial reliability model; probabilistic transfer matrix; circuit partition

### 1 引言

近年来,由于超大规模集成(VLSI)电路密度的增大,器件尺寸的缩小,软差错的影响越来越严重.为了能够在电路的设计阶段就发现其薄弱环节,人们开始越来越关注高层次电路(含门级及以上抽象层次)的可靠性评估问题.

评价软差错影响下的电路可靠性一般包括基于模拟的故障注入方法和基于概率模型的方法.基于模拟的故障注入方法首先在某一抽象层次模拟被评估电路,然后注入故障,再统计各类故障覆盖率.较低层次的模拟和故障注入通常比较准确,但耗费资源且时间开销大,高层次模拟在一定程度上消除了这种弊端,却损失了精确度.基于概率模型的方法面向门级以上的高层次电

路,首先分析各种基本门的差错屏蔽特性,再建立从电路原始输入端(Primary Input,PI)到原始输出端(Primary Output,PO)的概率模型,然后计算故障影响下的电路的失效概率.这类方法相对准确,并节省时间,还易于理解和操作.

本文的工作主要是研究基于概率模型的软差错影响下的电路可靠性评估方法.目前,针对门级电路,比较典型的方法有两阶段(Two Pass,TP)算法<sup>[1]</sup>、差错传播概率(Error Propagation Probability,EPP)方法<sup>[2]</sup>、概率转移矩阵(Probabilistic Transfer Matrix,PTM)方法<sup>[3]</sup>.以 PTM 方法为例,它是一种用于估计软差错对整个电路可靠性影响的概率方法.它以门为单位建立所有输入组合对应所有输出的矩阵模型,即 PTM,然后根据电路的拓扑结构进行矩阵运算,最终得出整个电路的 PTM,并计算其可靠

收稿日期:2007-01-15;修回日期:2008-06-11

基金项目:国家科技部 973 计划项目(No. 2005CB321604);国家自然科学基金(No. 90207021)

度,该方法所用的模型准确,且完备性好,但由于矩阵的规模随电路信号端数的增加而呈指数型增长趋势,因而时空复杂度很大,现有的方法难以适用于大规模的电路。

针对原始 PIM 方法所存在的上述问题,本文提出了一种优化实现算法,其基本思想是依据串行可靠性模型,先把电路划分为一组合适大小的模块,再由各个模块的可靠度依次相乘来估计整个电路的可靠性。严格地说,这种方法是建立在各个模块可靠性独立不相关的基础之上的。我们设计了一个新的电路分割算法,以使划分后各个模块的规模适合进行 PIM 计算,同时它们之间的重叠又尽量地少。当然,由于模块之间的重叠无法完全避免,因此,计算精度将在一定程度上受到损失。我们采用 74 系列电路和 ISCAS85 基准电路对新方法进行了实验,证实了它的可行性和有效性。

## 2 相关工作

### 2.1 电路可靠性评估

传统的集成电路可靠性评估方法主要是针对电路产品的,通过监测并记录实验室试验或现场测试中产品发生错误和失效的情况,然后采用如批接收抽样检验那样的方法进行统计分析来获得相应的可靠性指标。随着 VLSI 电路可靠性水平的迅速提高,传统方法暴露出了种种问题,如批接收抽样检验方法因分辨能力有限已不能有效区分高水平产品质量之间的差别;可靠性寿命试验方法因要求的样本数太多而导致成本上升;基于现场数据收集的方法因存在“滞后性”而不能及时获得产品质量评价结果。因此,从 20 世纪 90 年代开始,国际上就如何定量评价元器件的可靠性进行了新的探索,提出了工艺能力评价、工艺过程统计受控状态分析、产品出厂平均质量水平考核等方法,并已应用于一些国际著名企业。然而,这些技术是针对元器件成品的,难以直接帮助设计人员在电路高层设计阶段改善电路的可靠性。近年来,模型解析和基于故障注入的电路可靠性评估方法受到更多关注。模型解析方法是从某个抽象层次上建立模型,分析失效原因及失效机理,定量地评估电路的可靠性。已有的方法针对的是电路的不同抽象层次,常用的系统级可靠性分析方法包括失效率模型、服务成本与修复时间模型、可靠性框图、故障树、马尔可夫模型、扩展随机 Petri 网等。典型的门级电路可靠性解析方法包括信号可靠性(signal reliability)<sup>[4,5,6]</sup>、TP<sup>[1]</sup>、EPP<sup>[2]</sup>、PIM<sup>[3]</sup>。

故障注入方法首先从某一抽象层次对电路进行模拟,并根据合适的故障模型注入故障,然后跟踪并记录电路的差错传播过程,最后通过统计分析来获得电路的可靠性参数,如故障覆盖率、差错潜伏期等。已有的

方法面向多个电路抽象层次,包括晶体管级、门级、寄存器传输级(Register Transfer Level, RTL)、系统级,其中, Zarandi 等人开发的 SINECT 工具可以分别从多个层次注入故障,并进行可靠性分析<sup>[7]</sup>。由于基于底层故障注入的方法虽然比较准确,但时间开销大,而高层故障注入方法尽管耗时少,却损失了一定精确性,所以有学者提出了底层注入故障、高层进行分析的方法,以均衡准确性和时间开销<sup>[8]</sup>。

### 2.2 电路可靠性评估的概率方法

运用概率模型评估门级电路的可靠性早在 20 世纪 70 年代就有研究<sup>[4~6]</sup>。Parker、McClusky 和 Ogus 等人面向组合电路提出了信号可靠性的概念,通过给定电路中故障出现的概率和输入组合的概率建立模型来计算 PO 为正确逻辑值的概率,以此衡量电路的可靠性。这种方法后来被推广到了时序电路<sup>[9]</sup>、自校验电路<sup>[10]</sup>。

近年来,软差错对电路的可靠性的影响显得越来越严重,对应的评价方法主要是概率分析方法,目前典型的方法包括 TP、EPP 及 PIM 等方法。TP 算法假定基本逻辑门输入端差错感染率是  $P_S$ ,选定一个 PO 端  $N$ ,反向回溯到其对应的所有 PI,针对一种输入组合正向推得  $N$  端输出错误的概率,遍历所有输入组合可以估计  $N$  端的失效概率<sup>[11]</sup>,算法的时间复杂度随对应 PI 数呈指数增长。EPP 方法首先假定电路中的一个结点  $S$  是故障源,且  $S$  处发生差错概率为  $R_{seu}$ ,建立从  $S$  到可达 PO 端的通路,设定不在通路上(off-path)的线端信号概率,然后计算差错在通路中的传播概率,据此估计电路的失效概率<sup>[2]</sup>,算法具有线性复杂度。上述两种方法只是针对电路的部分通路建立模型,计算单个输出或者部分输出的失效概率,而 PIM 方法如前所述则是针对整个电路建立模型来计算可靠性,它以门为单位,且假定其感染率为  $P$ 。上述典型方法本质上都源自信号可靠性,但严格来讲,TP 算法和 EPP 算法没有计算电路整体的可靠性。有关上述三种方法详细的分析、比较和实验结果参见文[11]。

## 3 PIM 方法原理







由于 PIM 方法可以用于评价整个电路的可靠性,因此选作我们的研究对象。PIM 模型最早源于文[12],文[3,13]中开始用 PIM 模型及张量积和矩阵乘运算来分析门级电路的行为。假定电路中各个门的软差错率已经根据物理实验结果、所处地理位置和海拔高度等信息估计出来,建立门电路的 PIM,然后根据电路结构,由相应矩阵运算规则生成整个电路的 PIM。

### 3.1 PIM 定义及运算规则

把电路在输入值为  $j$  的信号  $IN = i_0, i_1, \dots, i_m$  (0,1 信号)时,输出值为  $k$  的信号  $OUT = o_0, o_1, \dots, o_n$  的概

率记作  $p(k|j)$ . 例如, 给定输入  $(0,0)$  时, 输出  $(1,0)$  的概率为  $p(1,0|0,0)$ , 记作  $p(2|0)$ . 于是, 一个电路的概率行为就可以用矩阵的形式来表示, 这个矩阵的第  $(j, k)$  项为  $p(k|j)$ , 电路的输入信号标识矩阵的行, 输出信号标识矩阵的列. 假定软差错影响下门电路的正确输出概率为  $p$ , 表 1 列出了 6 种基本逻辑门对应的 PTM.

表 1 基本逻辑门对应的 PTM

基本逻辑门	对应 PTM	基本逻辑门	对应 PTM
	$\begin{matrix} & 0 & 1 \\ 00 & \begin{bmatrix} p & 1-p \\ p & 1-p \end{bmatrix} \\ 01 & \\ 10 & \\ 11 & \begin{bmatrix} 1-p & p \\ p & 1-p \end{bmatrix} \end{matrix}$		$\begin{matrix} & 0 & 1 \\ 00 & \begin{bmatrix} 1-p & p \\ 1-p & p \end{bmatrix} \\ 01 & \\ 10 & \\ 11 & \begin{bmatrix} 1-p & p \\ p & 1-p \end{bmatrix} \end{matrix}$
	$\begin{matrix} & 0 & 1 \\ 00 & \begin{bmatrix} p & 1-p \\ 1-p & p \end{bmatrix} \\ 01 & \\ 10 & \\ 11 & \begin{bmatrix} 1-p & p \\ p & 1-p \end{bmatrix} \end{matrix}$		$\begin{matrix} & 0 & 1 \\ 00 & \begin{bmatrix} 1-p & p \\ p & 1-p \end{bmatrix} \\ 01 & \\ 10 & \\ 11 & \begin{bmatrix} p & 1-p \\ p & 1-p \end{bmatrix} \end{matrix}$
	$\begin{matrix} & 0 & 1 \\ 00 & \begin{bmatrix} p & 1-p \\ 1-p & p \end{bmatrix} \\ 01 & \\ 10 & \\ 11 & \begin{bmatrix} 1-p & p \\ p & 1-p \end{bmatrix} \end{matrix}$		$\begin{matrix} & 0 & 1 \\ 0 & \begin{bmatrix} 1-p & p \\ p & 1-p \end{bmatrix} \\ 1 & \end{matrix}$

特别地, 一个无故障电路的对应所有输入得到正确输出的概率为 1, 则称这个矩阵为理想转移矩阵 (ideal transfer matrix, ITM).

一个门级电路的 PTM 是由组成该电路的各个门的 PTM 依据门的互连结构经过计算得到的, 所用的矩阵运算主要有张量积和矩阵乘.

(1) 串联电路

以两个门的串联为例, 若门  $g_1, g_2$  的 PTM 分别为  $M_1, M_2$ , 那么, 它们的串联后的电路在输入信号值为  $j$  时, 输出信号值为  $k$  的概率  $p(k|j) = \sum_{\forall l} p_1(k|l) p_2(l|j)$ .

结论 1 若两个子电路的 PTM 分别为  $M_1, M_2$ , 则它们串联电路的 PTM 为  $M_1 * M_2$ .

(2) 并联电路

仍以两个门的并联为例, 设门  $g_1, g_2$  的 PTM 分别为  $M_1, M_2$ , 它们并联电路的 PTM 为  $M$ , 则  $M$  第  $(j, k)$  项的索引  $j, k$  分别是  $g_1, g_2$  的输入信号  $j_1, j_2$  和输出信号  $k_1, k_2$  的二进制表示连接,  $p(k|j)$  是在  $g_1$  输入为  $j_1$  时输出为  $k_1$ , 而同时在  $g_2$  输入为  $j_2$  时输出为  $k_2$  的联合概率, 所以  $p(k|j) = p(k_1|j_1) p(k_2|j_2)$ , 即  $p(o_0, o_1, \dots, o_n, o_0, o_1, \dots, o_s | i_0, i_1, \dots, i_m, i_0, i_1, \dots, i_t) = p(o_0, o_1, \dots, o_n | i_0, i_1, \dots, i_m) p(o_0, o_1, \dots, o_s | i_0, i_1, \dots, i_t)$ , 由此得到矩阵张量积的定义如下:

定义 1 给定  $m \times n$  维的矩阵  $M_1$  和  $o \times p$  维的矩阵  $M_2$ ,  $M_1$  与  $M_2$  的张量积记作  $M_1 \times M_2$ , 结果矩阵是  $mn \times op$  维的, 且其  $(j, k)$  项的值  $p(k|j) = p(k_1|j_1) p(k_2|j_2)$ .

结论 2 若两个子电路的 PTM 分别为  $M_1, M_2$ , 则它们并联电路的 PTM 为  $M_1 \odot M_2$ .

需要说明的是, 此模型默认连接线不受软差错的影响, 假定扇出、单线、缓冲器是无故障电路, 因此, 其 PTM 均用 ITM 模型, 对应  $n$  输出的扇出门电路 ITM 记作  $F_n$ , 例如, 2 分支扇出的  $F_2 = \begin{bmatrix} 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 \end{bmatrix}$ ; 单线或缓冲器的 ITM 即 2 维单位矩阵  $I$ .

因此, 当已知各个门电路 PTM 时, 整个电路的 PTM 可以通过矩阵乘和张量积算出.

3.2 电路 PTM 计算

以如图 1 所示的一个简单电路为例, 它由 5 个基本逻辑门组成, 包含了 12 个信号端. 首先对电路进行分层, 图中的  $F_2$  表示两输出扇出, 虚线标识电路分层. 可以看出, 分层后的电路明确了各个门之间的串并联关系, 同一层的门为并联, 把它们的 PTM 做张量积, 相邻层之间为串联, 相应的 PTM 做矩阵乘. 这样整个电路的 PTM 可以表示为  $(NOT \odot I \odot OR2 \odot I) (I \odot I \odot F_2 \odot I) (I \odot AND2 \odot NAND2) (XOR \odot I)$ . 运算结果是一个  $32 \times 4 = 2^5 \times 2^2$  维的矩阵, 与电路 PI 和 PO 的端数相吻合.

最后, 根据  $R(C) = \prod_{\forall i, j} I(i, j) p(j|i)$  来计算电路的可靠性, 其中,  $I(i, j)$  为模块电路的 ITM 中的项,  $p(i)$  表示输入信号值为  $i$  的概率, 一般情况下输入为均匀分布, 所以默认为  $1/2^n$ ,  $n$  为输入端数. 因此,  $R(C) = 1/2^{12} \prod_{\forall i, j} I(i, j) p(j|i)$ .

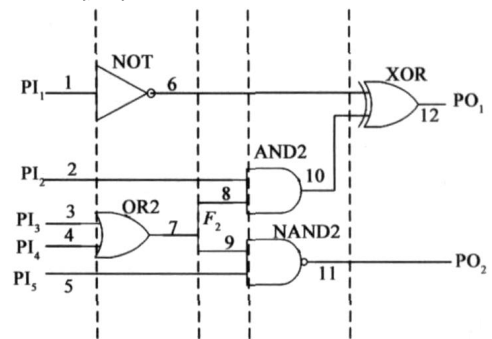


图 1 一个简单电路示例

4 电路的串行可靠性计算

4.1 整体电路可靠性计算

分层后的电路中某一层上所具有的信号端的数量被定义为电路在该层上的宽度, 宽度的最大值被定义为电路的最大宽度 ( $L_{max}$ ). 图 1 所示电路各层的宽度分别为 5、4、5、3、2,  $L_{max} = 5$ . 实验表明, 在 1.6GHz Pentium IV 处理器, 512MB 内存的 PC 上, 实际只能计算  $L_{max} = 6$  的电路的 PTM<sup>[11]</sup>. 实际上, 电路的最大宽度是影响 PTM 计算性能的关键因素.

对于一个  $n$  输入、 $m$  输出的电路, 它的 PTM 需要占

用  $O(2^{n+m})$  的空间, 矩阵的维数将随着电路输入输出端数的增加呈指数型增长, 同时时间复杂度也是指数级的. 一台计算机即使其内存全部用于存储电路的 PIM, 其数量也是十分有限的, 这就限制了原始 PIM 方法所能够适用的电路的规模. 因此, 电路划分的思想就很自然地引入了该方法当中.

我们首先把电路分割为大小合理的模块(如模块的  $L_{\max} = 6$ , 以适合在指定的机器上计算其 PIM), 再运用 PIM 方法计算全部模块的可靠度, 然后依据计算独立事件联合概率的思想获得模块可靠度的乘积, 以此来评估整个电路的可靠性. 严格来讲, 这种方法成立的前提是每个模块可靠与否是独立不相关的, 因此对于不存在冗余模块的电路, 其整体可靠度等于模块可靠度的乘积. 这要求划分的模块功能上无冗余, 结构上无重叠.

我们设计了一个面向无冗余的组合电路的分割算法. 由于分割需要考虑逻辑门的完整性和分割宽度等因素, 而且无法完全避免模块重叠, 因此存在一定的不精确性.

#### 4.2 电路分割算法

基于上述分析, 合理的电路划分规则应满足如下三点要求: (1) 减小模块间的关联度, 以增强各个模块的独立性; (2) 控制最大宽度, 以适合 PIM 计算; (3) 算法复杂度尽量小, 以减小对整体开销的影响.

在分割模块之前首先运用某种分层算法对电路进行分层. 在图 1 中, 用数字标识信号端, 依据文[14]中的分层算法将电路划分为 5 层, 用虚线标识. 第 1 层的门包括 1、2、3、4、5, 第 2 层为 6、2、7、5, 第 3 层为 6、2、8、9、5, 第 4 层为 6、10、11, 第 5 层为 12、11. 分割算法如下:

分割算法:

1. 运用分层算法对电路分层

(1) 从 PI 到 PO, 对每个逻辑门(包括扇出和单线) 标识层号, 计算每一层的宽度.

(2) 遍历各层, 若第  $i(i > 1)$  层宽度  $W_i > L$ , 则在第  $i$  层进行分割.

2. 建立第  $i$  层所有信号端的支持集  $S(n)$

一个信号端  $n$  的支持集  $S(n)$  由这个信号端对应到前一分割层上的输入端构成, 通过深度优先搜索算法找到  $n$  对应的支持集.

3. 在相继两个分割层之间划分模块: 将第  $i$  层所有信号端放入队列:

(1) 从队列中取出一个信号端  $n$ , 遍历其他信号端  $m$ , 若  $S(m) \cap S(n) = \emptyset$ , 则把  $m$  与  $n$  及其对应到支持集的电路部分放入同一模块, 直到模块的  $L_{\max} \leq L$ ; 若遍历到的信号端支持集与  $n$  的都不相交, 则顺次放入同一个模块, 直到模块的  $L_{\max} \leq L$ . 将已放入模块的信号端从队列中删除;

(2) 若队列中剩余信号端数大于  $L$ , 转 3. (1) 步; 否则结束第  $i$  层分割, 转 1. (2) 步, 直到遍历完电路最后一层.

上述算法中的  $L$  指分割宽度, 用以限定模块的最大宽度. 而支持集的建立则是为了降低模块关联度, 支持集存在交集的信号端说明关联度比较大, 可以放入同一模块. 在 3. (1) 步中, 对  $L_{\max}$  与  $L$  比较时, 只需考察模块在本分割层和前一分割层上的宽度来计算  $L_{\max}$ , 因为中间层的宽度必定小于  $L$ , 否则就成为分割层了.

我们仍以图 1 电路为例说明分割过程. 这个电路的最大宽度出现在第 1、3 层,  $L_{\max} = 5$ , 设  $L = 3$ , 依据分割算法 1. (2) 步从第 2 层开始分割. 建立支持集, 由于  $S(6) = \{1\}$ ,  $S(2) = \{2\}$ ,  $S(7) = \{3, 4\}$ ,  $S(5) = \{5\}$ , 依据分割算法分得 2 个模块: 由于  $S(1)$  与其它支持集不相交, 因此, 顺次取, 并保证  $L_{\max} \leq 3$ , 可以得到模块  $\{1, 2, 6\}$ ; 同理得到另一模块  $\{3, 4, 5, 7\}$ . 遍历到第 3 层, 宽度仍大于分割宽度, 于是再分割, 它们的支持集分别是  $S(6) = \{6\}$ ,  $S(2) = \{2\}$ ,  $S(8) = S(9) = \{7\}$ ,  $S(5) = \{5\}$ , 第一个模块顺次取信号端得到  $\{6, 2, 5\}$ , 由于  $S(8)$  和  $S(9)$  相交得到第二个模块  $\{7, 8, 9\}$ , 如此进行, 直至最后一层.

算法实现时为了减小内存开销, 主要存储原始电路的有关信息和分割出的某个模块信息, 并用 PIM 方法计算出该模块的可靠度, 然后再释放此模块, 接续下一个模块的运算. 因此, 各个模块的可靠度是串行计算的, 这使得引入分割算法后的 PIM 方法可以运用到更大规模的电路.

#### 4.3 误差分析

模块之间的重叠会导致基于 PIM 的电路串行可靠度计算方法存在一定的不精确性. 但实际上划分后的模块之间出现重叠部分的情形仅占少数. 这可以通过反推法来进行论证.

若两个模块有重叠的信号端  $t$ , 那么这两个模块对应到分割层上至少有两个信号端  $m$  和  $n$ , 使得  $S(t) \subseteq S(m) \cap S(n)$ , 即  $S(m) \cap S(n) \neq \emptyset$ . 根据分割算法 3. (1), 若  $L_{\max} \leq L$ , 则  $m$  和  $n$  应放入一个模块. 所以推得, 此时若放入同一模块, 则使  $L_{\max} > L$ . 若把算法 3. (1) 步中的分割条件分为 4 种:  $S(m) \cap S(n) = \emptyset$  时  $L_{\max} \leq L$ ;  $S(m) \cap S(n) \neq \emptyset$  时  $L_{\max} > L$ ;  $S(m) \cap S(n) = \emptyset$  时  $L_{\max} > L$ ;  $S(m) \cap S(n) = \emptyset$  时  $L_{\max} > L$ . 只有遇到

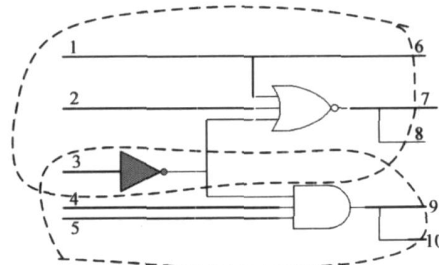


图2 电路分割中出现重叠的部分

条件时所进行的分割会出现模块间有重叠的情况。考虑图 2 所示电路中的一部分, {1, 2, 3, 4, 5} 和 {6, 7, 8, 9, 10} 分别是前一分割层和本分割层上的信号端, 假设分割宽度  $L=4$ , 则 6、7、8 由于支持集相交放入同一模块, 9 的支持集也相交但放入导致  $L_{\max} > L$  (导致前一分割层宽度为 5), 所以最终划分如虚线所标。

即使模块间有重叠也未必都导致误差。重叠部分可以分为扇出和逻辑门, 当重叠部分为扇出时, 可靠度的计算不受影响。例如, 图 2 中重叠的非门, 其 PIM 在两个模块的可靠度计算中将重复使用, 然后计算联合概率导致整体可靠度偏小。但若去掉这个非门, 则重叠部分为扇出, 由于单线和扇出的 PIM 取其 PIM, 默认无差错感染, 所以对整体可靠度值无影响。

## 5 实验结果分析

在 DELL PC (CPU 为 Pentium 4 @2.66GHz, 内存 512MB) 上, 用 C++ 实现了引入分割算法的基于 PIM 的电路串行可靠度算法, 并以 74 系列电路和 ISCAS85 基准电路为对象验证了新方法的有效性, 这些电路难以在上述机器上用原始 PIM 方法进行计算。我们还进一步用美军标 MIL-HDBK-217 为参照, 验证了新方法的合理性。

表 2 74 系列电路在不同分割宽度下实验数据 ( $p=1e-4$ )

电路	线数	PI 数	PO 数	$L_{\max}$	$L$	模块数	可靠度	时间(s)	内存(MB)
74148	81	9	4	36	4	48	0.996904	0.81	1.54
					6	36	0.996906	1.23	1.58
					7	32	0.996910	5.99	1.82
74155	47	6	8	19	4	28	0.998500	0.42	1.28
					6	19	0.998551	0.53	1.27
					7	17	0.998555	2.37	1.51
74157	42	10	4	21	4	35	0.998500	0.53	1.22
					6	23	0.998501	0.84	1.26
					7	19	0.998504	5.19	1.58
74182	70	9	5	40	4	36	0.998100	0.55	1.39
					6	27	0.998104	0.51	1.34
					7	24	0.998108	0.67	1.33
74283	104	9	5	43	4	60	0.996406	0.92	1.53
					6	41	0.996406	0.87	1.45
					7	37	0.996408	2.11	1.52
74185	108	11	3	41	4	81	0.996706	1.40	1.84
					6	61	0.996709	2.39	1.98
					7	56	0.996715	13.41	2.42

### 5.1 分割宽度的选择

在 DELL PC 上, 对实验电路选取不同的分割宽度进行了实验, 表 2 只列出了 74 系列电路在  $L$  分别为 4、6、7 时的数据, 其中,  $p$  值表示单个门的软差错率 (对于扇出和单线,  $p=0$ )。实验数据表明电路可靠度在不同  $L$  值下无明显差异, 这是因为分割宽度小 (即模块规模小), 就使单个模块可靠度增大, 模块数增多; 而分割宽

度大, 将使单个模块的可靠度减小, 但模块数也减少, 这就达到一种平衡。因此, 在一定的分割宽度取值范围内, 新方法不会致使电路可靠度因分割宽度不同而大幅波动。

理论上分析,  $L$  值越小, 模块之间出现重叠的概率越大, 因此导致不精确度增大; 而  $L$  值越大, 则性能开销越大。从表 2 中可以看出, 当  $L=7$  时, 时间开销比前两种  $L$  值所需的明显增大。实际上, 当  $L>7$  时, 单个模块的运算在我们的实验环境下几乎不能执行, 因此, 在用 ISCAS85 电路进行实验研究时, 选取  $L=6$ , 相应的实验结果如表 3 所列。需要说明的是, 分割宽度的确定还依赖于具体的机器, 这里我们旨在提供一种基于实验的分割宽度选择方法。

就可靠度而言, 基本上电路整体规模越大, 可靠度越小, 这是符合实际情况的。实际上, 我们的方法更加适于比较规模相近, 但结构设计不同的电路可靠性, 从而有助于在设计的早期阶段预计可靠性, 改善结构。

### 5.2 方法的比较验证

ISCAS85 电路上的实验初步说明本文所提出的方法可以用于复杂电路, 为了进一步验证新方法的合理性, 以传统集成电路可靠性预计标准——美国军用标准 MIL-HDBK-217 作为参照<sup>[15]</sup>, 对两种方法的计算结果进行了比较, 如图 3 所示。其中, 横轴表示电路的门数, 纵轴表示某个时刻的电路可靠度, “\*”标识基于 PIM 的串行可靠度计算方法的结果, “○”标识依据美军标算得的结果。

依据 MIL-HDBK-217, 集成电路的常数失效率为

$$= L Q (C_1 T + C_2 E)^p \quad (1)$$

其中, 参数  $L$ 、 $Q$ 、 $T$ 、 $E$ 、 $p$  分别反映工艺、筛选、温度、环境、引线的情况。假设被测电路所在环境、生产工艺等因素相同, 那么  $L$ 、 $Q$ 、 $T$ 、 $E$ 、 $p$  取统一的固定值。而复杂性因子  $C_1$ 、 $C_2$  取决于集成电路中门的数目, 当门数 ( $N$ ) 在 100 至 1300 之间时,  $C_1 = (0.0187) e^{(0.00471)N}$ ,  $C_2 = (0.013) e^{(0.00423)N}$ 。如此可以算出, 再代入  $R(t) = e^{-t}$  计算可靠度。严格来说, 时刻  $t$  需要设定在“偶发失效期”内。为了图示方便, 这里设定的  $t$  值较小, 但这并不影响可靠度的比较, 因为最终代入 (6.5) 后, 不同  $t$  的设定与 (6.1) 中  $L$ 、 $Q$ 、 $p$  的设定效果相同, 都可看作是系数。

除  $C_1$ 、 $C_2$  之外的所有参数值的设定将通过 PIM 模型中的门差错感染率  $p$  来对应, 因为环境、工艺、损耗程度等因素都将影响基本逻辑门的差错感染率, 而 PIM 模型主要针对门级电路的连接结构和电路复杂度, 所以需要对于一组设定的  $L$ 、 $Q$ 、 $T$ 、 $E$ 、 $p$ 、 $t$  参数值找到对应的  $p$ , 然后代入  $p$  算得 PIM 的结果。

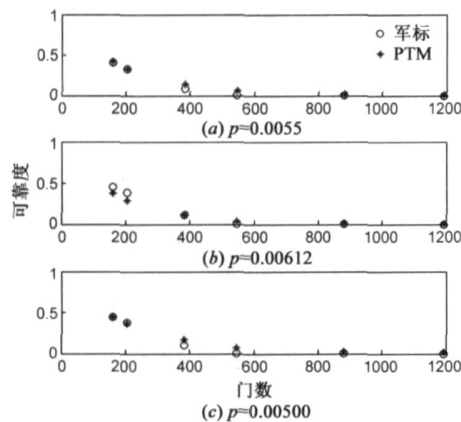


图3 电路可靠度的美国军用标准计算方法和基于PTM的串行计算方法的比较

若只考虑包含 100 - 1300 门的电路,则可以选用 ISCAS85 的 c432、c499、c880、c1355、c1908、c2670 等 6 个电路,它们对应门数分别是 160、202、383、546、880、1193. 图 3 中的各个子图所对应参数值为:

(1) 在图 3 (a) 中,  $\rho = 16 * (0.35 * C_1 + 0.2 * C_2)$  (其中  $L * Q * P = 16, T = 0.35, E = 0.2, t = 3$ ),

由 C499 选取  $p = 0.0055$ .

(2) 在图 3 (b) 中,  $\rho = 15 * (0.2 * C_1 + 0.1 * C_2)$ , (其中  $L * Q * P = 15, T = 0.2, E = 0.1, t = 5$ ), 由 C880 选取  $p = 0.00612$ .

(3) 在图 3 (c) 中,  $\rho = 10 * (0.15 * C_1 + 0.08 * C_2)$  (其中  $L * Q * P = 10, T = 0.15, E = 0.08, t = 10$ ), 由 C432 选取  $p = 0.00500$ .

比较两种方法的计算结果可以发现,基于 PTM 的串行可靠度计算方法与美国军用标准的计算方法基本一致.

## 6 结论

PTM 方法能够准确评估电路的可靠性,但由于原始实现方法的时空复杂度大而只能用于小规模电路. 本文提出了一种基于 PTM 的电路可靠度的串行计算方法,它通过将电路进行合理分割来串行计算整体可靠度. 实验结果表明,新方法是合理和有效的,所适用电路的规模比原始 PTM 方法扩大了很多. 下一步的工作将是继续改进算法,使之适用于更大规模的电路,并兼顾其准确性.

表 3 分割宽度为 6 时 ISCAS 85 电路的实验数据

电路	电路属性				模块数	可靠度		开销 ( $p = 1e-4$ )	
	线数	PI 数	PO 数	最大宽度		$p = 1e-4$	$p = 1e-5$	时间(s)	内存(MB)
c17	17	5	2	6	4	0.999425	0.999942	0.08	0.91
c432	432	36	7	82	389	0.984136	0.998445	25.70	10.05
c499	499	41	32	128	331	0.980010	0.998019	20.32	8.42
c880	880	60	26	220	669	0.964950	0.996519	44.36	16.66
c1355	1355	41	32	208	1164	0.949931	0.994976	76.91	28.02
c1908	1908	33	26	279	2109	0.931003	0.993009	102.16	46.44
c2670	2670	233	140	399	1551	0.905342	0.990312	56.62	131.55
c3540	3540	50	22	510	2555	0.865752	0.985931	122.01	49.91
c5315	5315	178	123	966	4843	0.819697	0.980732	233.09	73.24
c6288	6288	32	32	541	10571	0.785962	0.976790	606.55	167.07
c7552	7552	207	108	928	4988	0.742944	0.971302	513.83	158.39

## 参考文献:

- [1] Kim J S, Nicopoulos C, Vijakrishnan N, et al. A probabilistic model for soft-error rate estimation in combinational logic [A]. Proc. of the 1st Int'l Workshop on Probabilistic Analysis Techniques for Real Time and Embedded Systems, Pisa [C]. New York: Elsevier, 2004. 25 - 31.
- [2] Asadi G, Tahoori M B. An analytical approach for soft error rate estimation in digital circuits [A]. IEEE Int. Symp. on Circuits and Systems, Kobe [C]. Hoboken: John Wiley & Sons, 2005. 2991 - 2994.
- [3] Krishnaswamy S, Viamontes G F, Markov I L, et al. Accurate reliability evaluation and enhancement via probabilistic transfer matrices [A]. Proc. of the Design, Automation and Test in Europe Conference and Exhibition, Munich [C]. New York: ACM Society, 2005. 282 - 287.
- [4] Parker K P and McCluskey E J. Probabilistic treatment of general combinational networks [J]. IEEE Trans on Computers, 1975, 24(6): 668 - 670.
- [5] Parker K P and McCluskey E J. Analysis of logic circuits with faults using input signal probabilities [J]. IEEE Trans on Computers, 1975, 24(5): 573 - 578.
- [6] Ogus R C. The probability of a correct output from a combinational circuit [J]. IEEE Trans on Computers, 1975, 24(5): 534 - 544.
- [7] Zrandi H R, Miremadi S G, Ejlali A R. Dependability Analysis Using a Fault Injection Tool Based on Synthesizability of HDL Models [A]. Proc. of the 18th IEEE Int'l Symp. on Defect and

- Fault-Tolerance in VLSI Systems, Boston [C]. Washington DC: IEEE Computer Society, 2003. 485 - 492.
- [8] Leveugle R., Cimonnet D., Ammari A. System-Level Dependability Analysis with RT-Level Fault Injection Accuracy [A]. 19th IEEE Int'l Symp. on Defect and Fault Tolerance in VLSI Systems, Cannes, France, 2004 [C]. Los Alamitos, California: IEEE Computer Society, 2004. 451 - 458.
- [9] Koren I. Signal reliability of combinational and sequential circuits [A]. Proc. of the 7th Int'l Symp. on Fault-Tolerant Computing, Los Angeles [C]. Washington DC: IEEE Computer Society, 1977. 162 - 167.
- [10] Kwek K H and Tohma Y. Signal reliability evaluation of self-checking circuits [A]. Proc. of the 10th Int'l Symp. on Fault-Tolerant Computing, Kyoto [C]. Washington DC: IEEE Computer Society, 1980. 257 - 262.
- [11] Wang Z., Jiang J H, Yang G. Implementation and Experimental Analysis of Probabilistic Methods for Gate-Level Circuit Reliability Estimation [J]. Tsinghua Science and Technology, 2007, 12(S1): 32 - 38.
- [12] Levin V. L. Probability analysis of combination systems and their reliability [J]. Engin. Cybernetics, 1996, 11(6): 78 - 84.
- [13] Patel K N, Hayes J P, Markov I L. Evaluating circuit reliability under probabilistic gate-level fault models [A]. The International Workshop on Logic and Synthesis, Laguna Beach [C]. Washington DC: IEEE Computer Society, 2003. 59 - 64.
- [14] Bushnell M L and Agrawal V D. Essentials of Electronic Testing for Digital Memory & Mixed-Signal VLSI Circuits [M]. London: Kluwer Academic Publishers, 2000: 45 - 47.
- [15] 胡谋. 计算机容错技术 [M]. 北京: 中国铁道出版社, 1995: 36 - 37.
- Hu Mou. Fault-tolerant techniques on computer [M]. Beijing: China Railway Publishing House, 1995: 36 - 37. (in Chinese)

#### 作者简介:



王 真 女, 1980 年生, 博士研究生, 主要研究领域为容错计算、模式识别。

E-mail: wangzhenqq@gmail.com



江建慧 男, 1964 年生, 博士, 教授, 博士生导师, 主要研究领域为容错计算、软件可靠性工程、处理器体系结构、计算机辅助设计/测试/评估。

E-mail: jhjiang@mail.tongji.edu.cn