

这里 是一个正的电荷量 是加到岛上电荷的数目
 为一个整数 #₀ 为背景电荷 = + + + +
 是岛区总电荷 为寄生电容

对一个 SET 来说有四种可能的单电子隧穿 一个
 电荷可能从左隧穿隧道结 % 可能从右隧穿隧道
 结 从左隧穿 % 或从右隧穿 两
 个电子同时隧穿的高阶隧穿在本模型中不予讨论 四
 种可能发生的隧穿引起自由能的变化为"

$$\begin{aligned} \Delta E_{10} &= -eV_1 - E_1 + \frac{e^2}{2C_0} & (2) \\ \Delta E_{01} &= -eV_2 - E_1 + \frac{e^2}{2C_0} & (3) \\ \Delta E_{11} &= -eV_1 - eV_2 - E_1 + \frac{e^2}{2C_0} & (4) \\ \Delta E_{00} &= -eV_1 - eV_2 - E_1 + \frac{e^2}{2C_0} & (5) \end{aligned}$$

自由能的改变可用来计算隧穿率"

$$k_{ij} = \frac{A_{ij}}{\exp(\Delta E_{ij}/k_B T) + 1} \quad (6)$$

其中 是隧道结电阻 为温度 K ' 为 Boltzmann
 s 常数 根据此式可以算出四种隧穿各自的隧穿率

从算法上分类 单电子系统的数值模拟方法主要
 分为主方程法和蒙特卡洛法⁽⁹⁻¹⁰⁾ 本文采用精度较高
 的主方程法 通过求解库仑岛上不同电子数的态占据
 概率的主方程 从而获得电学量的期望值 描述库仑岛
 上不同电子数的态占据概率* 的主方程为"

$$\begin{aligned} \frac{d^*}{dt} = & (n_{-1} - 1 + k_{10} - 1) * n_{-1} - 1 \\ & + (k_{01} + 1 + k_{11}) * n_{-1} + 1 \\ & - (k_{00} + k_{10} + k_{11} + k_{01}) * n_{-1} \end{aligned} \quad (7)$$

其中 和* 分别代表量子点上的电子数和相应态的
 占据几率 并且满足 * = 1

由于每次隧穿发生的时间远远小于相邻两次隧穿
 的时间间隔 当单电子晶体管工作在稳态条件下时 令
 方程 7 左边为零 此时 从 - 1 态到 态与从 态到
 - 1 态 从 态到 + 1 态与从 + 1 态到 态的转变
 速率分别相等 以前一种情况为例 式 7 简化为"

$$\begin{aligned} (n_{-1} - 1 + k_{10} - 1) * n_{-1} - 1 \\ = (k_{00} + k_{10} + k_{11} + k_{01}) * n_{-1} \end{aligned} \quad (8)$$

一旦所有电荷状态的隧穿率计算出来后 电荷状
 态占据的概率可由递推法确定

$$n_{-1} = n_{-1} - 1 \left[\frac{k_{10} - 1 + k_{11} - 1}{k_{10} + k_{11}} \right] \quad (9)$$

方向为由 流向 的晶体管的平均电流为"

$$I = e * n_{-1} - n_{-1} \quad (10)$$

岛的平均电压为" != * ! \quad (11)

库仑岛上的电子态可以有 - 到 + 多个状态 计

算时只选取其中的一些大率状态 为了有效计算电
 流和电压 首先要确定具有最高占据概率的电荷状态
 可由式 9 估计电荷分布 最有可能的电荷状态是"

$$\begin{aligned} n_{-1} = & \frac{\exp(-\Delta E_{10}/k_B T) + \exp(-\Delta E_{01}/k_B T) + \exp(-\Delta E_{11}/k_B T) + \exp(-\Delta E_{00}/k_B T)}{\exp(-\Delta E_{10}/k_B T) + \exp(-\Delta E_{01}/k_B T) + \exp(-\Delta E_{11}/k_B T) + \exp(-\Delta E_{00}/k_B T)} \end{aligned} \quad (12)$$

使用式 1 ~ 6 及式 9 计算出最大率电荷状态周
 围 11 个电荷状态 可计算出平均电流 已证明 11 个状态对
 于总电容为 aF 级晶体管室温下的模拟是足够的⁽⁸⁾

2 模型结构

Verilog A 语言是一种高层次的模块化硬件描述语
 言, 它用模块的形式来描述模拟系统及其子系统的结
 构和行为. Verilog A 语言对模拟电路的描述可分为两种
 类型^[11]: 一是行为描述, 一是结构描述, 本文使用的是
 前者. 行为描述是指用一些数学表达式或者传输函数
 来描述目标电路的行为, 其描述范围可以从基本的电
 阻电容到十分复杂的滤波器或其它模拟系统.

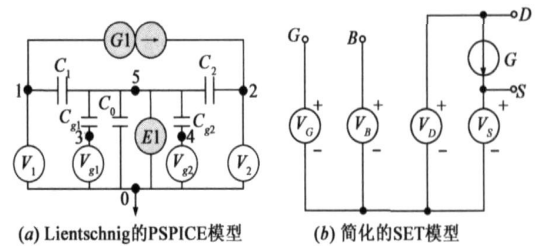


图2 模型结构

Verilog A 提供了多层次的行为及结构模型和多种
 行为模块描述函数, 利用这些函数, 结合对信号的定义,
 可以完成对各种模拟模块的行为描述. 与 Spice 子电
 路的仿真编译相同, Verilog A 行为级模型能映射成网
 表, 网表模型包括行为模型的模型名、参数等, 其端口
 对应于行为模型的端口.

图 2 模型结构 为 Lietschnig 的 PSPICE 模型 它
 是由一个非线性电压控制电流源、非线性电压控制电压
 源、电容组成⁽⁸⁾ 将其简化处理为一个电压控制电流源

如图 2 - 所示 的表达式为式 10 采用 Verilog A
 实现了基于主方程法的 & 模型 模型结构如下所示"

\$\$模型接口声明

```

module set
    inout
    electrical
    parameter real = 1 - 18 = 1 - 18.
    parameter real = 1 - 18 = 1 - 18.
    parameter real = 1 6 = 1 6.
    parameter real # 0= 0.
    parameter real 0= 0.
    parameter real = 4 2.
  
```

行为描述

```

analog
begin

end
endmodule

```

~ ¥ _ † £ # ^ T 1

在 Cadence 的 Analog Environment 仿真环境下, 用 Spectre 仿真器对所建立的 SET 模型进行了验证. 仿真结果表明所建立的模型具有良好的线性范围, 准确地反映了 SET 的特性. 取 SET 的各参数分别为 $C = 1\text{aF}$, $R = 2\text{aF}$, $I_0 = 1\text{M}$, $V_0 = 20\text{mV}$, $I_1 = 0\text{V}$ 及 $R = 4\text{K}$ 时 得出隧穿电流 I_d 相对于 V_g 的变化情况 如图 3 漏电流随栅电压变化关系所示 通过对比可以看出 仿真结果很好的逼近了 SIMON 软件的仿真结果 仿真曲线很好的表现了 SET 的库仑振荡特性

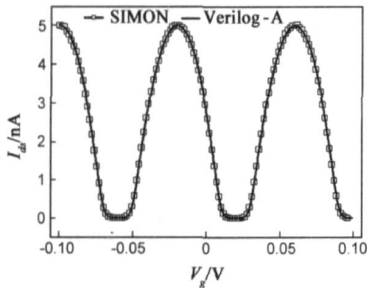
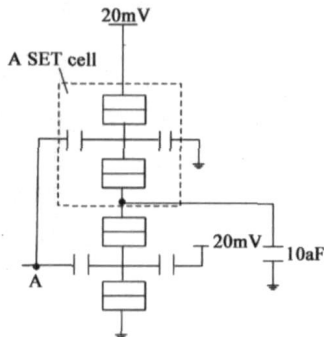
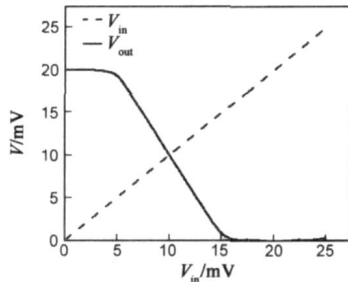


图3 漏电流随栅电压变化关系(与SIMON软件的模拟结果对比)

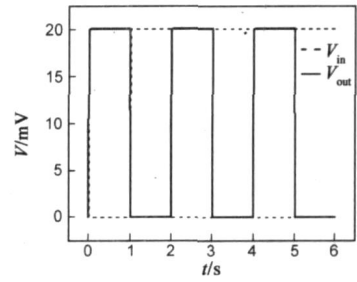
通过静态互补 SET 逻辑门的设计和仿真来进一步验证此模型 由于 极的控制作用 SET 可以工作在互补状态 称为 P SET 和 N SET ⁽¹²⁾ 可以利用 CMOS 设计数字电路的思想 来设计 SET 数字逻辑电路



(a) 反相器等效电路



(b) 反相器的直流分析



(c) 反相器的瞬态分析

图5 反相器等效电路以及分析结果

静态互补 SET 逻辑门在反相器的基础上构成, 用 P SET 管组成的逻辑块和 N SET 管组成的逻辑块分别代替反相器中单个的 P SET 管和 N SET 管. 在构成复杂的逻辑门时, 可以把 N SET 管 串并与或, 而 P SET 管 串或与并. 图 6 为 SET 的二输入 NAND 电路以及仿真结果, 图 6 () SET 的二输入 NAND 门等效电路

SET 逻辑电路的电学参数和器件参数的确定都是很重要的. 首先是电源电压的确定. 对于数字电路来说, 逻辑 1 的电压通常就是电源电压. 电源电压的选择必须保证 SET 有截止区(库仑阻塞区). 因此, 由图 4 可以看出 SET 电源电压的范围为从 4mV 到 24mV. 考虑要具有一定的电流容限, SET 电源电压实际的选择是 20mV

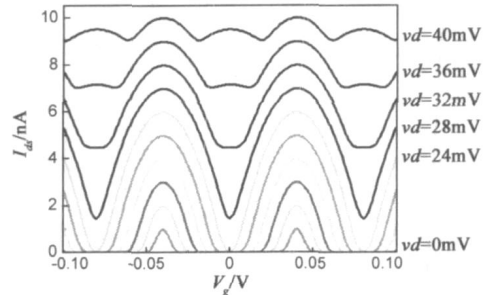


图4 不同Vd下的库仑振荡

其次 的确定 通过改变 V_d 可以控制库仑振荡的相位 使 SET 工作在互补状态 成为 P SET 和 N SET V_d 的值从 0V 到 20mV 变化则 SET 从 P SET 到 N SET 的变化 但在数字电路中 V_d 为 0V 或者电源电压 20mV 因此要依靠 C 的大小影响电流曲线的偏移 当选取 $C = 2\text{aF}$ 时 SET 工作在希望的区间

对于其他参数 栅极 R 通常用来做 SET 的输入 漏极和源极由电路的连接来决定

如图 5 所示 SET 反相器等效电路 为反相器的直流扫描分析 为瞬态仿真分析结果 两个结果均很好的验证了反相器的设计及参数的选取是合适的 输入输出高低电压几近相等 与下一级负载电路具有很好的匹配性

选取 SET 的各参数等于反相器中各参数, 使用 Verilog A 模型进行仿真验证, 图 6 () 为二输入 NAND 门电路的瞬态分析结果, 逻辑功能正确.

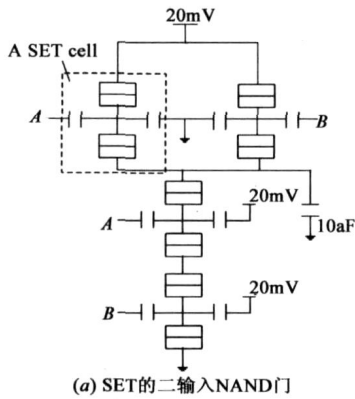
基于图 6 的二输入 NAND 门, 使用 3 个 NAND 门可构造一个二输入 AND 门, 图 7 为 SET 的二输入 AND 门等效电路和模拟结果图 7 () SET 的二输入 AND 门等效

和 0.84PW, 量级为 PW 级, 具有极低的功耗.

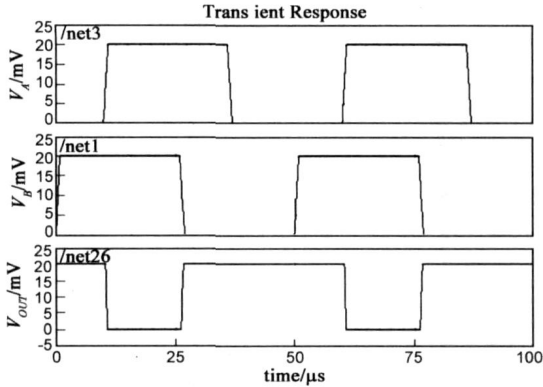
本文分别采用 Lientschnig 的 PSPICE 模型和本文的 Verilog A 模型进行了模拟分析. 模拟时间比较结果如表 1 Lientschnig 的 PSPICE 模型和本文的 Verilog A 模型的模拟时间的比较所示, 可以看出本文的 Verilog A 模型仿真速度较 PSPICE 模型大大提高, 仿真 INV、NAND 以及 AND 逻辑门的时间分别为 4.35s、3.95s 和 27.4s, 而在同样的条件下, 使用 Lientschnig 的 PSPICE 模型的时间分别为 24.91s、55.02s、177.44s, 仿真时间分别减少了 82.54%、92.82% 和 84.56%.

表 1 Lientschnig 的 PSPICE 模型和本文的 Verilog A 模型的仿真时间对比

逻辑门	SET 的个数	Lientschnig 的模型	Verilog A 模型	仿真时间减少幅度
INV	2	24.91s(DC)	4.35s(DC)	82.54%
NAND	4	55.02s(TRAN)	3.95s(TRAN)	92.82%
AND	12	177.44s(TRAN)	27.4s(TRAN)	84.56%



(a) SET 的二输入 NAND 门

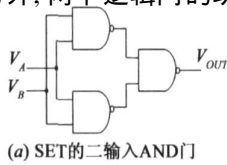


(b) 二输入 NAND 门的瞬态分析结果

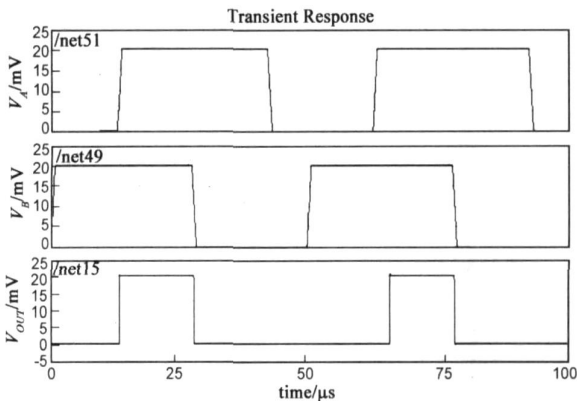
图 6 为 SET 的二输入 NAND 电路以及仿真结果

电路, 图 7(b) 为瞬态分析结果, 逻辑功能正确.

当定义延迟时间为输入上升沿的 50% 到同相输出信号上升沿的 50% 所对应的时间^[12]. 负载电容为 10aF 时, NAND 门的延迟时间为 31.2ns, AND 门的延迟时间为 40.6ns, 因此, SET 逻辑电路的延迟时间很短, 具有很好的瞬态特性. 另外, 两个逻辑门的功耗分别为 0.3PW



(a) SET 的二输入 AND 门



(b) 二输入 AND 门的瞬态分析结果

图 7 为 SET 的二输入 AND 门等效电路和模拟结果

2,

本文在基于主方程法单电子晶体管模型的基础上, 建立了 Verilog A 行为模型, 并用 Cadence 的 Spectre 仿真器进行了仿真验证, 结果与 SIMON 软件的仿真结果对比, 证明了模型的准确性. 给出了静态互补 SET 逻辑电路的设计方法与参数的选择, 通过对 NOT、NAND、AND 等基本逻辑电路的分析, 表明所设计的 SET 逻辑电路具有较好的瞬态特性、较短的延迟时间和极低的功耗. 同时对静态互补 SET 逻辑电路的仿真表明, 与 Lientschnig 的 PSPICE 模型相比, 提高了仿真速度, 减少了模拟时间, 为进一步设计仿真 SET 电路及 SET/CMOS 混合电路提供了一种有效方法.

• I Ó D:

[1] Pace C, et al. Room temperature single electron effects in silicon nanocrystal memories [J]. Appl. Phys. Lett., 2005, 87, 182106: 1– 3.

[2] Lee Wei et al. An Assessment of single electron effects in multiple gate SOI MOSFETs with 1.6 nm gate oxide near room temperature[J]. IEEE Electron Devices Letter, 2006, 27(3): 182– 184.

[3] Ikeda H. et al. Numerical study of turnstile operation in random multidot channel field effect transistor [J]. J. Appl. Phys. 2006, 99, 073705: 1– 3.

[4] Wasshuber C, Kosina H, Selberher S. SIMON a simulator for single electron tunnel devices and circuits [J]. IEEE Tran. on Comp. Aided Design of Integrated Circuits and Syst. 1997, 16 (9): 937– 944.

[5] Korotov A N, Chen R H, Likharev K K. MOSES (Monte Carlo

- single electron simulator) [J]. J. Appl. Phys. 1995, 78: 2520–2522.
- [6] Yu Y S, Hwang S W, Ahn D. Macromodeling of single electron transistor for efficient circuit simulation [J]. IEEE Trans. on Electron Devices, 1999, 46(8): 1667–1671.
- [7] 蒋建飞. 单电子学[M]. 北京: 科学出版社, 2007: 438–503.
- [8] Lientschnig G, Weymann I, Hadley P. Simulating hybrid circuits of single electron transistors and field effect transistors [J]. IEEE Electron Device Letters, 2002, 23(6): 366–368.
- [9] Wasshuber C. Computational Single Electronics [M]. Springer Verlag/Wien. New York. ISBN: 321183558X, 2001.
- [10] 何红波, 周继承, 胡慧芳, 等. 单电子器件的仿真. 计算机仿真[J]. 2000, 17(4): 56–58.
He Hongbo, Zhou Jicheng, Hu Hui Feng, et al. Monte Carlo simulation of single electron device [J]. Computer Simulation, 2000, 17(4): 56–58. (in Chinese)
- [11] 刘帘曦, 杨银堂, 朱樟明, 等. 基于 Verilog A 行为描述模型的 VCO 设计[J]. 电路与系统学报, 2005, 10(6): 25–28.
Liu Lianxi, Yang Yintang, Zhu Zhangming, et al. Design of VCO based behavioral model using Verilog A [J]. Journal of Circuits and Systems, 2005, 10(6): 25–28. (in Chinese)
- [12] 孙铁署, 蔡理. 一种基于互补型单电子晶体管的全加器电路设计[J]. 电子器件, 2005, 28(2): 366–369.
Sun Tieshu, Cai Li. A full adder realization with complementary single electron transistor [J]. Chinese Journal of Electron Devices, 2005, 28(2): 366–369. (in Chinese)

T € e ° :



S Đ 男, 博士, 副教授, 从事新型半导体材料和半导体器件的研究

E mail: lugang@xaut.edu.cn

É o o 女, 硕士, 从事新型半导体材料和半导体器件的研究.