

## 一种混合定变长虚拟块游程编码的测试数据压缩方案

詹文法<sup>1,2</sup>, 梁华国<sup>3</sup>, 时 峰<sup>1</sup>, 黄正峰<sup>1</sup>

(1. 合肥工业大学计算机与信息学院, 安徽合肥 230009; 2. 安庆师范学院教育科学与技术系, 安徽安庆 246011;

3. 合肥工业大学电子科学与应用物理学院, 安徽合肥 230009)

**摘 要:** 文章提出了一种混合定变长虚拟块游程编码的测试数据压缩方案, 该方案将测试向量级联后分块, 首先在块内找一位或最大一位表示, 再对块内不能一位表示的剩下位进行游程编码, 这样减少了游程编码的数据量, 从而突破了传统游程编码方法受原始测试数据量的限制. 对 ISCAS 89 部分标准电路的实验结果显示, 本文提出的方案在压缩效率明显优于类似的压缩方法, 如 Golomb 码、FDR 码、VIHC 码、v9C 码等.

**关键词:** 测试数据压缩; 编码; 定长码; 变长码

**中图分类号:** TP302 **文献标识码:** A **文章编号:** 0372-2112 (2009) 08-1837-05

## A Test Data Compression Scheme Based on Mixed Fixed and Variable Run-length Coding in Virtual Block

ZHAN Wen-fa<sup>1,2</sup>, LIANG Hua-guo<sup>1</sup>, SHI Feng<sup>1</sup>, HUANG Zheng-feng<sup>1</sup>

(1. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230009, China;

2. Department of Educational Technology, Anqing Normal College, Anqing, Anhui 246011, China;

3. School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China)

**Abstract:** A test data compression scheme based on mixed fixed and variable run-length coding in virtual block (MFVR-CVB) is presented. In the scheme the test vectors are concatenated to a stream first and then this stream is divided fixed length block. In every block the one-bit-representation or the maximum one-bit-representation is search to reduce the number and length of runs. Then the left data in every block is encoded by using the run-length encoding. This reduces the volume of data needed to be encoded and breaks the limitation by the volume of original test data in traditional run-length schemes. Experimental results show that the proposed scheme obviously outperforms the traditional coding methods in the compression ratio, such as Golomb, FDR, VIHC, v9C coding.

**Key words:** test data compression; coding; fixed length coding; variable length coding

### 1 引言

集成电路工艺的不断发展和, 使单个芯片上集成的晶体管数目越来越多. 单个芯片上集成的晶体管数目的增多, 导致测试芯片所需要存储的数据量大大增加, 同时芯片频率的提升要求自动化测试设备 (Automatic Test Equipment, ATE) 必须同步更新, 这将导致测试成本的提高, 更为糟糕的是 ATE 的传输带宽有限, 这与海量的测试数据是一对矛盾. 如何解决该矛盾是集成电路测试所必须面临的问题<sup>[1,2]</sup>.

使用编码的测试数据压缩方案被认为是一种有效地解决该矛盾的方法. 编码压缩方案根据原始数据和压缩后的数据体积的变化关系分为五大类<sup>[3]</sup>: (1) 定长到定长编码是使用定长的小数据块来编码定长的原始数据

块, 常见的有字典编码和 LFSR 重播种编码方案; (2) 定长到变长的编码使用一个变长的数据块来编码定长的原始数据, 常见的有哈夫曼编码方案; (3) 变长到定长的编码使用定长的数据来编码变长的原始数据, 经典的游程编码属于这种类型; (4) 变长到变长的编码使用变长的数据块来编码变长的原始数据, 常见有 Golomb 编码<sup>[4]</sup>、FDR 编码<sup>[5]</sup>、交替连续码<sup>[6]</sup>、VIHC 码<sup>[7]</sup>和 v9C<sup>[3]</sup>码等; (5) 混合定变长码的编码方案中既有定长码又有变长码<sup>[3]</sup>. 上述五类方案都可以取得不错的压缩效果, 本文提出了一种混合定变长码测试数据压缩方案, 其在编码方式上实现了混合定变长码特点, 即采用了隐含的方法让部分数据不需要编码, 减少了需要编码的数据量, 即在一定程度上突破了原始测试数据中游程长度和数量的限制. 理论分析和实验结果表明本方案具有很高的压缩效果.

收稿日期: 2008-08-01; 修回日期: 2009-02-21

基金项目: 国家自然科学基金重点项目 (No. 60633060); 国家自然科学基金 (No. 60876028); 教育部博士点基金 (No. 200803590006); 安徽省海外高层次人才 (No. 2008Z014)

## 2 混合定变长虚拟块游程编码(MFVRCVB)算法

### 2.1 MFVRCVB

如前所述, MFVRCVB 方案使用两种方法对测试数据进行编码, 即(1)用码表编码; (2)最大一位表示编码。

为了表述方便, 先介绍 MFVRCVB 方案的码表. 其编码表如表 1 所示. 可以发现: 任何一个代码字部总是以 1 开始, 该特点可以用于 MFVRCVB 方案的两种编码之间的分割, 即使用 0 表示 MFVRCVB 方案在当前块内游程编码结束, 后面要采用另一种方法来编码, 具体编码方法请见本部分后面内容。

表 1 MFVRCVB 方案编码表

游程长度	组号	组前缀(首部)	尾部	代码字
0			00	1000
1			01	1001
...	$A_1$	10	...	...
2			10	1010
3			11	1011
4			000	110000
5			001	110001
...	$A_2$	110	...	...
10			110	110110
11			111	110111
12			0000	11100000
13			0001	11100001
...	$A_3$	1110	...	...
26			1110	11101110
27			1111	11101111
...	...	...	...	...

将表 1 与 FDR 码编码表比较, 对于相同的代码字, MFVRCVB 方案所表示的游程长度比 FDR 码所表示的游程长度少 2. 因此 MFVRCVB 方案的编码也可以简单的将待编码数据的游程长度加上 2 所得的结果转化为 FDR 码后获得. 如前所述, MFVRCVB 方案的另一特点是尽可能多地从最高位开始将多位数据用一位表示。

**定义 1 一位表示** 如果对于一个确定的序列中除无关位外最多只存在数据 0 或 1 中的一种, 则称该序列可以一位表示。

如果该序列中仅存在无关位, 则称该序列可以一位表示为  $x$ ; 如果该序列中只存在 0 或同时存在 0 和无关位, 则称该序列可以一位表示为 0; 如果该序列中只存在 1 或同时存在 1 和无关位, 则称该序列可以一位表示为 1. 如称序列  $x \times x \times x \times x \times x$  为可以一位表示为  $x$ , 称序列  $0 \times x \times 00 \times 0$  为可以一位表示为 0, 称序列  $1111 \times x \times 1 \times x \times 1 \times x$  为可以一位表示为 1.

**定义 2 最大一位表示** 在序列中按照某种规律连续选取尽可能多的部分序列使其可以用一位表示, 称该部分序列为该序中按该规律的最大一位表示。

如对于序列  $1 \times x \times x \times 111 \times x \times 0 \times x \times 0 \times x \times x$  (不失一般性, 假设左为该序列的低位, 右为高位), 显然该序列不能一位表示, 但可以在该序列中找最大一位表示部分, 如  $x \times x \times 0 \times x \times 0 \times x \times x$  为该序列从最高位开始的最大一位表示部分, 记为从最高位开始的最大一位表示为 0,  $1 \times x \times x \times 111 \times x \times x$  为从最低位开始的最大一位表示, 记为从最低位开始的最大一位表示为 1. MFVRCVB 方案的最大特点就是块内使用从最高位开始的最大一位表示来减少需要编码数据的游程的数量或长度. 从 MFVRCVB 方案码表的特点可知 MFVRCVB 方案在进行游程编码时, 代码字部总是以 1 开始, 因此可以将 0 做为游程编码和一位表示这两种编码方法之间的分割符. 解压电路从输入的数据是 1 还是 0 来判断使用哪种方法解压. 特殊情况下, 如果整个虚拟块都可以一位表示, 则可以直接用分割符 0 和一位表示结果编码. 实际上测试数据中存在大量的无关位, 适当地填充, 可以提高一位或最大一位表示的数据的长度, 从而进一步减少需要游程编码的数据中游程的长度和数量. 本方案无关位的填充应该在对测试数据分块后进行. 首先从块的最高位开始向最低位逐位搜索, 在该块中找第一个确定位, 如果找不到, 则该块全部为无关位, 则该块中所有无关位全部赋值为 0 或 1 (都可以), 如果找到, 不失一般性, 记第一个确定位的值为  $a$  ( $a=0$ , 或 1), 从最高位开始, 逐位将无关位赋值为  $a$ , 直到碰到另一个值不为  $a$  的确定位 ( $\bar{a}$ ), 此时若块内还有无关位未填充, 则将剩下的无关位全部填充为 0. 如对于块为  $x \times 0 \times 0 \times x \times 1 \times x \times x \times x \times x$  的测试数据的无关位的填充, 首先从最高位开始搜索第一个确定位, 第 7 位 (从最低位数) 为确定位, 其值为 1, 从最高位开始用 1 逐位填充无位直到第一个不是 1 的确定位, 本例中从最高位开始的第一个不是 1 的确定位是第 4 位 (从最低位数), 填充的结果为  $x \times 0 \times 01111111$ , 再对剩下的无关位全部填充为 0, 即该块最后无关位填充的结果为: 000011111111.

### 2.2 编码算法的理论分析

不失一般性, 假设被测试集中 0 出现的概率为  $\rho$ , 无关位出现的概率为  $p$ , 则 1 出现的概率为  $1 - \rho - p$ , 分块长度为  $k$ . 按文献[3]类似方法, 可求出 MFVRCVB 方案的压缩增益为:

$$\beta_L = \frac{k}{C} =$$

$$\frac{k}{2 + 2(1 - \rho - p) \sum_{i=0}^{k - \sum_{j=0}^i (\rho + p)^j + \sum_{j=0}^i (1 - \rho)^j} (\rho + p)^i \lceil \log_2(i + 5) \rceil}$$

为了比较 MFVRCVB 算法与其它游程编码算法对测试数据的压缩效果。

同样可以求出 FDR 码的压缩增益,如下式所示:

$$\beta_{FDR} = \frac{1}{(1-p-\rho)(2\sum_{n=1}^{\infty}(p+\rho)^{2^n-2})}$$

为了更形象的说明 MFVRCVB 算法的效率,记

$$\beta = \beta_L - \beta_{FDR}$$

为了更形象的说明扩展前缀编码的压缩率,做出了 MFVRCVB 方案与 FDR 编码方案的压缩增益比较图,如图 1 所示,设无关位概率  $r=0.9$ ,横坐标为 0 出现的概率  $p$ ,纵坐标为压缩增益  $\beta$ .这是因为实际测试集存在大量的无关位,优化以后无关位通常都在 90% 以上.使用 FDR 编码方案时,无关位全部赋值为 0;而使用 MFVRCVB 方案时,无关位根据测试数据分析中介绍的赋值规则进行适当赋值.从图 1 中可以看出,使用 MFVRCVB 对测试集进行压缩的效果要优于 FDR 编码.

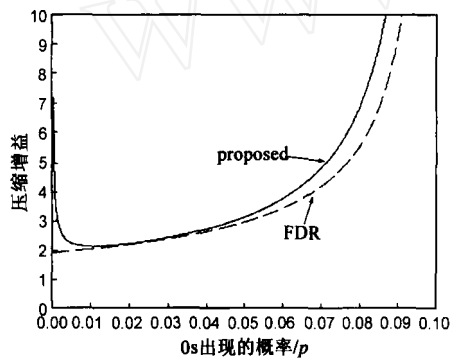


图1 压缩增益比较图

### 3 硬件解压电路

本方案的解压电路的设计类似于 FDR 解压电路,它是基于一个有限状态机的设计.其结构简单,大小可变并且独立于被测试电路和预先计算的测试集,即使最终的设计或测试数据发生改变,只需要重新计算压缩数据,而不需要修改硬件解压电路.由于该解压电路规模小,不会明显地引入硬件成本.

图 2 显示了该解压电路的框图,其结构由一个有限状态机、一个  $k$  位计数器、一个  $\log_2 k$  位计数器、一个  $m$  位计数器和一个 1 位寄存器组成.从图 2 可以看出,该解压电路仅在 FDR 解压电路的基础上增加了一个  $m$

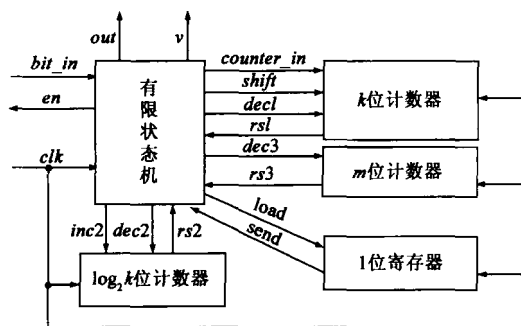


图2 硬件解压电路框图

位计数器和一个 1 位寄存器,即相对于 FDR 解压电路,增加  $m+1$  个寄存单元,引入的硬件开销相对于 SoC 或 NoC 并不明显,因此本方案的解压电路是可接受.

该解压电路的主要工作原理如下:

(1)首先,  $m$  位计数器做置位操作(即将块长置入  $m$  位计数器),有限状态机读取  $bit\_in$  的值,若不为 0,转到(2),若为 0 转到(6);

(2)有限状态机发出使能信号  $en$  为 1,然后  $shift$  和  $inc2$  均为高电平,  $\log_2 k$  位计数器开始加一计数,此过程一直重复到  $bit\_in$  为 0,此时码表的前缀部分读入到  $k$  位计数器;

(3)前缀部分输入结束以后,有限状态机使信号  $dec1$  和  $v$  变为高电平,然后输出若干个连续的 0 直到  $k$  位计数器计数结束,在这过程中  $out$  每输出一个 0,  $m$  位计数器就做一次减一操作;

(4)在前缀输入到  $k$  位计数器时,  $\log_2 k$  计数器也对前缀的位数进行了计数.在有限状态机的控制下,信号  $dec2$  和  $shift$  变为高电平,数据通过  $bit\_in$  输入到  $k$  位计数器,同时  $\log_2 k$  计数器做减一计数,此过程一直重复到  $\log_2 k$  计数器计数结束,对应的尾部全部读入到  $k$  位计数器;

(5)接下来,有限状态机控制  $k$  位计数器做减一计数和输出连续 0 序列直到  $k$  位计数器计数到 0,此时  $out$  输出高电平,单个代码字解压结束.在这过程中  $m$  位计数器也做减一操作;

(6)有限状态机控制下,下一位数由  $bit\_in$  通过  $load$  寄存到 1 位寄存器;

(7)接下来,在有限状态机的控制下,信号  $v$  输出高电平,  $m$  位计数器做减一计数,同时  $out$  输出 1 位寄存器的值,此过程一直重复到  $m$  位计数器的值为 0.至此,块长位数据解压结束;

(8)对输入的数据进行判断,如果  $bit_n$  为 1,转至(1).否则,转至(6).

### 4 实验结果

该部分通过实验数据来说明 MFVRCVB 方案的压缩效果.为了增加实验结果的可比性,本文采用 MinTest 产生的测试向量集,并分别对 ISCAS 89 标准电路中几个规模较大的时序电路进行了实验.

在本方案中,数据块长度的选取,对最终的压缩效果有着重要的影响.我们选取不同的块长,对 ISCAS89 部分电路做了实验,结果如图 3 所示.从图 3 可以看出,当块长很小时,随着块长的增加,压缩率也随之上升,当块长增加到某一确定值时,再随着块长的增加,压缩率基本保持不变.显然,使用一个比较大的块长,可以找到许多电路的通用拐点,即选择一个比较大的数作

为块长  $k$ , 可以使许多电路此时的压缩效果都不错. 对于单个电路来说, 虽然此时的压缩效果很好, 但其解压电路硬件开销并不是最佳的. 因此, 对于某个电路来

说, 应该在压缩效果最好的情况下, 找其最小的块长, 这样才能保证最小的硬件开销.

表 2 本方案的压缩方法与其它方法比较 (Mintest)

电路名称	原测试集	未差分						差分			
		本方案			Golomb			本方案		FDR	VIHC
		位数	块长	压缩率	$m$	压缩率	块长	压缩率			
s5378	23754	11096	12	53.29	4	40.70	48.02	31	63.27	61.32	60.73
s9234	39273	18144	10	53.80	4	43.34	43.59	19	61.25	60.63	60.96
s13207	165200	26510	48	83.95	16	74.78	81.30	119	87.76	87.67	86.83
s15850	76986	25086	26	67.41	4	47.11	66.22	32	73.78	71.95	72.34
s38417	164736	68946	10	58.15	4	44.12	43.26	29	67.57	65.35	66.38
s38584	199104	69568	17	65.06	4	47.71	60.91	29	67.34	64.67	66.29
平均				63.61		49.63	57.22		70.16	68.60	68.92

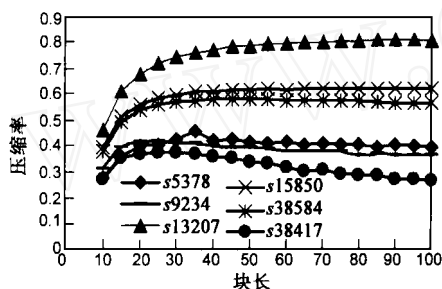


图 3 块长与压缩率的关系

为了验证本方案的有效性, 将本方案与其它同类方案在同等情况下做比较, 结果如表 2 所示. 从表 2 可看出, 对同样的测试数据, 本方案明显比 Golomb 码、FDR 码和 VIHC 码等压缩效果好. 在表 2 中, 对无关位填充考虑到一位或最大一位表示, 对剩下的无关位的

填充则是简单的使用 0 来填充. 在未差分的情况下, FDR 和 Golomb 码的无关位的填充则是简单的使用 0 来填充. 在 Mintest 集, 由于 0 的个数比 1 的个数多, 此时将无关位全部赋为 0, 对于 Golomb 和 FDR 码来说, 已经是最佳方案. 在差分的情况下, 所有方案均采用了利于自己的最优无关位的赋值方式. 从表 2 可以发现, 对于六种不同的时序电路, 本方案都有不同程度的改善. 在未差分的情况下, 本方案与 Golomb 的方案平均差值压缩效率(两种算法针对于六个不同电路的压缩率差值的平均值)为 13.98%; 与 FDR 码的平均差值压缩效率为 6.39%. 在差分的情况下, 本方案与 FDR 码的平均差值压缩效率为 1.56%; 与 VIHC 码的平均差值压缩效率为 1.24%.

表 3 本方案与国内其它算法比较 (Mintest)

电路名称	原测试集	未差分			差分		
		本方案	交替连续码	VTFPVL <sup>[3]</sup>	本方案	混合游程码 <sup>[8]</sup>	Variable-Tail + 优化算法 <sup>[9]</sup>
s5378	23754	53.29	45.12	52.15	63.27	56.44	-
s9234	39273	53.80	42.79	45.82	61.25	60.85	-
s13207	165200	83.95	80.43	81.58	87.76	84.81	87.7
s15850	76986	67.41	65.13	67.70	73.78	70.94	72.8
s38417	164736	58.15	56.52	43.06	67.57	63.47	65.7
s38584	199104	65.06	60.57	72.29	67.34	61.73	64.9
平均		63.61	58.43	60.43	70.16	66.37	-

为了进一步验证本方案的压缩效果, 将本方案与国内其它方案在同等情况下比较, 所有方案均采用了利于自己的最优无关位的赋值方式, 结果如表 3 所示.

从表 3 可以看出对于不同的时序电路, 本方案相对于其它几种方案都有不同程度的改善. 本方案在未差分时与交替连续码方案和 VTFPVL 平均差值压缩效率分别为 5.18% 和 3.18%; 本方案在差分后与混合游程码方案平均差值压缩效率为 3.79%. 这些数据充分说明了 MFVRCVB 方案算法的有效性.

为进一步证实本方案的性能, 需要分析本方案的硬件开销. 仍然采用 ISCAS 89 标准电路, 不失一般性,

选取 5378 标准电路进行综合, 假设测试数据的最大游程长度为 1000, 将 Golomb 码、FDR 码和本方案电路使用 Synopsys 公司综合工具 Design Compiler, 在 TSMC35 库下用 2 输入与非门映射后所得单元数如表 4 所示. 从表 4 可以看出本方案在面积开销方面与 FDR 码相比并不显著, 因此是可以接受的.

表 4 硬件开销比较

Schemes	Area overhead (map to 2-input nand gate)			
	$m=2$	$m=4$	$m=8$	$m=16$
Golomb	74	125	227	307
FDR	320			
Proposed	343			

为了进一步验证本方案的性能,需要比较本方案与其它方案的应用时间.显然,随着  $m = f_{\text{SYS}}/f_{\text{ATE}}$  (其中  $f_{\text{SYS}}$  为解压器工作频率,  $f_{\text{ATE}}$  为 ATE 工作频率) 的增大,应用时间就越少.不失一般性,设  $f_{\text{ATE}}$  频率为 50MHz,  $f_{\text{SYS}}$  频率为 500MHz.对 Golomb 码、FDR 码和本方案,分别计算其应用时间,如表 5 所示.由表 5 可知,本方案可以取得比 Golomb 码和 FDR 码更少的应用时间.

表 5 不同方案应用时间比较

Circuit	TAT(ms)		
	Proposed	Golomb	FDR
s5378	0.497	0.503	0.500
s9234	0.822	0.830	0.830
s13207	3.357	3.387	3.366
s15850	1.590	1.621	1.592
s38417	3.433	3.479	3.482
s38584	4.121	4.190	4.138
Avg.	2.303	2.335	2.318

综合分析以上实验发现,本方案在增加少许硬件开销的基础上,可以取得较高的压缩效果和较少的应用时间.该硬件开销相对于整个系统芯片或网络芯片,完全是可以容忍的.因此本方案不失为一种优秀的测试数据编码压缩方案.

## 5 结束语

编码方法在业界的应用不如基于线性解压器(如 LFSR 重播种)和基于广播扫描方法,主要是因为其解压电路与 ATE 之间的同步问题,本问题文献[10]已给出了解决方法,本文所述方案可以采用文献[10]所述技术解决同步问题.本文提出的一种 MFVRCVB 方案测试数据压缩方案,有效地压缩了测试数据存储量以及减少了测试应用时间.该方案构造了一种新的编码表,从而在编码方式上采用混合定变长码方式编码成为可能,而不仅仅在码表级实现混合定变长码方案.

本方案和以前的编码相比,首次在编码方式上实现混合定变长码方案,采用隐含的方法让部分数据不参加游程编码,从而减少了游程编码的数据量,突破了传统编码方法受到原始测试数据量的限制.

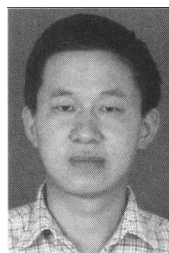
## 参考文献:

- [1] Xiang D, Zhao Y, Chakrabarty K, Fujiwara H. A reconfigurable scan architecture with weighted scan-enable signals for deterministic BIST[J]. IEEE Trans on CAD, 2008, 27(6): 999 - 1012.
- [2] Yinhe Han, Yu Hu, Xiaowei Li, et al. Embedded test decompressor to reduce the required channels and vector memory of tester for complex processor circuit[J]. IEEE Transactions on Very Large Scale Integration Systems, 2007, 15(5): 531 - 540.
- [3] Wenfa Zhan, Huaguo Liang et al. Test data compression

scheme based on variable-to-fixed-plus-variable-length coding [J]. Journal of Systems Architecture. 2007, 53(11): 877 - 887.

- [4] Chandra A, Chakrabarty K. System-on-a-Chip test data compression and decompression architectures based on Golomb codes[J]. IEEE Transactions on CAD of Integrated Circuits and System, 2001, 20(3): 355 - 368.
- [5] Chandra A, Chakrabarty K. Test data compression and test resource partitioning for system-on-a-chip using frequency-directed run-length (FDR) codes[J]. IEEE Transactions on Computers, 2003, 52(8): 1076 - 1088.
- [6] 梁华国, 蒋翠云. 基于交替与连续长度码的有效测试数据压缩和解压[J]. 计算机学报, 2004, 27(4): 548 - 554.  
Liang Hua-guo, Jiang Cui-yun. Efficient test data compression and decompression based on alternation and run length codes [J]. Chinese Journal of Computers, 2004, 27(4): 548 - 554. (in Chinese)
- [7] Gonciari P T, Al-Hashimi B M, Nicolici N. Variable-length input huffman coding for system-on-a-chip test[J]. IEEE Transactions on CAD of Integrated Circuits and Systems, 2003, 22(6): 783 - 796.
- [8] 方建平, 郝跃, 刘红侠, 等. 应用混合游程编码的 SOC 测试数据压缩方法. 电子学报. 2005, 33(11): 1973 - 1977.  
Fang Jian-ping, Hao Yue, Liu Hong-xia, Li Kang. A hybrid run-length coding for SoC test data compression [J]. Acta E-electronica Sinica, 2005, 33(11): 1973 - 1977. (in Chinese)
- [9] 韩银和, 李晓维, 徐勇军, 李华伟. 应用 Variable-Tail 编码压缩的测试资源划分方法[J]. 电子学报, 2004, 32(8): 1346 - 1350.  
Han Yin-he, Li Xiao-wei, Xu Yong-jun, Li Hua-wei. Test resource partitioning using variable-tail code [J]. Acta Eelectronica Sinica, 2004, 32(8): 1346 - 1350. (in Chinese)
- [10] Gonciari P T, Al-Hashimi B, Nicolici N. Synchronization overhead in SoC compressed test [J]. IEEE Transaction on VLSI Systems, 2005, 13(1): 140 - 153.

## 作者简介:



詹文法 男, 1978 年生于安徽省怀宁县, 副教授, 博士研究生, 主要研究方向为测试数据压缩、嵌入式系统综合与测试、远程教育等.

E-mail: zhanwenfa@gmail.com

梁华国 男, 教授, 1959 年生于安徽省合肥市, 博士生导师, 中国计算机学会容错计算专业委员会委员, 主要研究方向为测试数据压缩、嵌入式系统综合与测试、数字系统设计自动化等.

E-mail: hgliang@mail.hf.ah.cn