

PDH 到 622 Mb/s SDH/SONET 映射芯片实现

叶 波¹, 李天望², 张立军³, 罗 敏⁴

(1. 上海电力学院计算机与信息工程学院, 上海 200090; 2. 武汉大学集成电路与通讯软件系, 湖北武汉 430079;
3. 苏州大学电子信息学院, 江苏苏州 215021; 4. 朗讯科技光网络有限公司, 上海 200233)

摘 要: 设计了 PDH 到 622 Mb/s SDH/SONET 的映射及逆映射芯片. 集成了 DS1/E1/J1 成帧器、DS1/DS3 复接电路和 E1/E3 复接电路, 具有 622 Mb/s 和 155 Mb/s 的高速标准接口和 3 通道 STM-1/STS-3 分插复用总线接口, 支持复用段 1+1 保护和 UPSR 环形网络拓扑结构. 单片实现 84 通道 DS1/J1 或 63 通道 E1 到 STM-1/STS-3 的映射复用功能及多通道 DS3/E3/STS-1 到 STM-4/STS-12 的映射复用功能. 支持点对点应用和环形应用, 交换模式支持 2016 通道 DS0/E0 的应用. 4 颗芯片实现 336 通道 DS1/J1 或 252 通道 E1 到 STM-4/STS-12 的映射复用功能. 采用 TSMC 0.13 μm CMOS 工艺流片, 芯片规模约 600 万门, 700 管脚 PGBA 封装, 满足光纤通信传输的要求, 并成功用于光纤通信设备.

关键词: SDH/SONET; 映射器; 芯片实现; UPSR

中图分类号: TN914.332; TN492 **文献标识码:** A **文章编号:** 0372-2112 (2010) 08-1945-07

Chip Implementation for PDH over 622 Mb/s SDH/SONET Mapper

YE Bo¹, LI Tian-wang², ZHANG Li-jun³, LUO Min⁴

(1. Faculty of Computer and Information Engineering, Shanghai University of Electric Power, Shanghai 200090, China;
2. Dept. of Integrated Circuit and Communication Software, Wuhan University, Wuhan, Hubei 430079, China;
3. Department of Electronics and Information, Soochow University, Suzhou, Jiangsu 215021, China;
4. Lucent Technologies Optical Network Co., Ltd., Shanghai 200233, China)

Abstract: A PDH to 622 Mb/s SDH/SONET mapping & de-mapping chip is proposed in this paper, which integrates DS1/E1/J1 framer, DS1/DS3 multiplexer and E1/E3 multiplexer. It provides high speed interface for 622 Mb/s and 155 Mb/s SDH/SONET signals and three add-drop-multiplexer bus interfaces for STM-1/STS-3 signals. It supports both MSP 1+1 protection switching and ring (UPSR) network topologies. A single chip can provide complete STM-1/STS-3 mapping & de-mapping for up to 84 DS1/J1 or 63 E1 signals, and STM-4/STS-12 mapping & de-mapping for several DS3/E3/STS-1 signals. Point-to-point and ring applications are supported, and in switching mode 2016 DS0/E0 application is supported. Four chips can implement complete STM-4/STS-12 mapping de-mapping for 336 DS1/J1 or 252 E1 tributary signals. The chip is fabricated in TSMC 0.13 μm CMOS process and the gate count is about 6 million. It is packaged with 700-pin PGBA technology and meets optical network transmission requirement. It has been successfully used in optical network communication devices.

Key words: SDH/SONET; mapper; chip implementation; UPSR

1 引言

光纤网络由于容量大、传输距离远、抗干扰能力强等特点, 已经成为全球通信的骨干网. 1985 年, 美国国家标准协会 (ANSI) 为使各类设备在光接口互连起草了光同步标准, 并命名为同步光纤网络 (SONET^[1]), 1986 年, 原 CCITT 以 SONET 为基础制订了同步数字体系 (SDH^[2]). SDH/SONET^[2,3] 的核心特点是: 同步复用、标准光接口、强大的网络管理能力. 基于时分多路复用的 SDH 和 SONET 已成为当今电信传输网络的主要传输技术. 在一根光纤上利用多个波长同时传输多路光信号的

DWDM 技术更为光纤通信提供了新的活力.

SDH/SONET 有一套特殊的复用结构, 允许现存准同步数字体系 PDH 纳入其帧结构中传输, 即具有兼容性和广泛的适应性. 映射 (Mapping) 是指 PDH 信号经过一定的对应关系放置到 SDH/SONET 帧结构中的确切位置上去, 复用是指几路信号逐字节间插或逐比特间插合为一路信号的过程, SDH/SONET 中基本采用逐字节复用. 我国的光同步传输网技术体系规定, 以 2 Mb/s E1 为基础的 PDH 系列作为 SDH 的有效负荷并选用 C-12 到 AU-4 的路线以及干线上根据需要采用 C-3 到 AU-4 的路线, 所以研究 PDH 到 SDH/SONET 的映射芯片具有

重要意义。

目前国外主要是一些著名通信企业在研发 SDH/SONET 芯片,国内外一些大学和科研机构在关键技术实现方面也有不少研究^[4~9]. 本文研究 PDH 至 622 Mb/s SDH/SONET 的映射芯片实现,并可由 4 颗相同的芯片配套使用,包含了 E1 ~ E3 和 DS1 ~ DS3 等 PDH 信号,并带有成帧器和 MSP 1 + 1 保护功能. 兼容 GR-253-CORE、GR-499、GR-1400、ITU-T G. 703、G. 704、G. 706、G. 707、G. 783、T1. 105、T1. 107、T1. 404、ETS300 417-1-1 等标准^[1,2,10~19],覆盖了欧洲、北美、日本和中国的光纤通信网络制式. 对于不同制式的应用,只需通过芯片内部的 MPU 进行寄存器配置即可,并可与其它类型芯片配套使用实现 2.5 Gb/s 以上 SDH/SONET 的功能.

2 系统结构

图 1 为 622 Mb/s SDH/SONET 映射芯片的系统结构图. 系统包括传输复用/解复用器 TMUX、STS-12/STM-4 指针处理器 STS12PP、STS-1 交叉连接器 (STS1XC)、STS-1 线路终结器 STS1LT、净荷映射器 SPEMPR、支路映射器 VTMPR、E13 和 M13 复用器、DS1/J1/E1 成帧器、低速率信号交叉连接器 MRXC、数字抖动衰减器 DS3/E3 DJA 和 DS1/E1 DJA、从芯片接口 MATE、微控制器 MPU、测试生成和测试监测器 TPG/TPM、标准 JTAG 测试接口等. 包括 622 M/155 M 高速接口、3 通道 STS-3/STM-1 接口、网络串行复用接口 NSMI、CHI 总线接口及 DS1/J1/E1、DS2/E2、DS3/E3 和 TU/VT 等低速支路信号接口等. NSMI 由时钟、数据和控制信号组成,通过一个很窄的接口为多个成帧的 DS1 或 E1 提供一个通路,时钟为 51.84 MHz,发送和接收方向各需 3 根信号线. CHI 总线是由接收和发送方向的串行数据和帧同步信号按一定的帧格式组成的总线结构,发送和接收方向各需 2 根信号线.

图 1 中的低速率支路接口有 2 种工作模式:(1)透明传输模式:传输 84 通道的 DS1/J1/VT1.5/TU11 信号、63 通道的 E1/VT2/TU12 信号、28 通道 DS2 和 16 通道 E2 信号等;(2)交换模式:通过并行系统总线 PSB 传输 DS1/J1/E1 信号以及通过 CHI 总线连接 2016 通道 DS0/E0 等.

芯片可以工作于 622 Mb/s 或 155 Mb/s 模式,单片

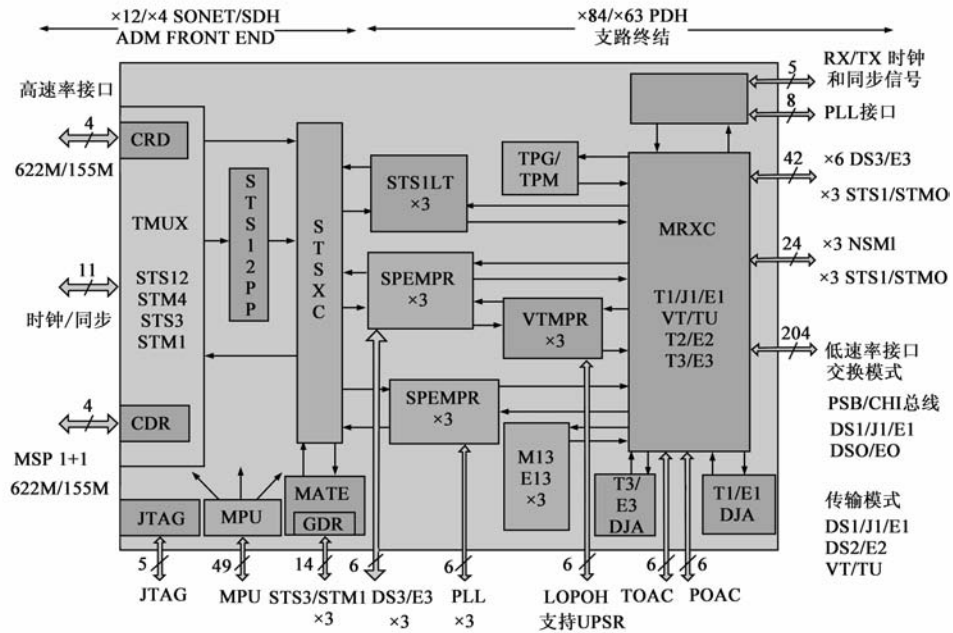


图1 映射芯片系统结构图

实现 84 通道 DS1/J1、63 通道 E1 或 3 通道 DS3/E3 到 STS-3/STM-1 的映射及逆映射功能,4 颗芯片实现 336 通道 DS1/J1、252 通道 E1 信号或 12 通道 DS3/E3 到 STS-12/STM-4 的映射及逆映射功能. 工作于 622 Mb/s 模式时,主模式必须配置成 622 Mb/s 工作模式,3 块从芯片工作于 155 Mb/s 工作模式,其 TMUX 端的高速接口信号 STS-3/STM-1 连接到主芯片的 MATE 端口.

3 主要功能模块

本文把高速 SDH/SONET 信号解成低速率 PDH 信号的过程称为接收方向,把 PDH 映射复用成高速 SDH/SONET 信号的过程称为发送方向.

3.1 TMUX

TMUX 实现 SDH/SONET 的复用/解复用、开销插入和终结、复用段保护 MSP 1 + 1 倒换、622 Mb/s 和 155 Mb/s 的串并/并串转换等. TMUX 可以工作于 STS-3/STM-1 和 STS-12/STM-4 四种模式. 工作于 STS-12 模式时,实现 12 个 STS-1 或 4 个 STS-3C 到 STS-12 的复用解复用;STM-4 模式时,实现 4 个 STM-1 (AU-4 或 3AU-3) 到 STM-4 的复用解复用;STS-3 模式时,实现 3 个 STS-1 到 STS-3 的复用解复用. 对于 STM-1 模式,执行 TUG-3 到 STM-1 的复用解复用或 VC-3 到 STM-1 的复用解复用. 在高速接口, TMUX 可以配置成 STS-3/STM-1 或 STS-12/STM-4 串行数据接口. 对于 STS-12/STM-4 模式,芯片提供 336 通道 DS1/J1、或 252 通道 E1 信号的映射复用功能. 对于 STS-3/STM-1 模式,芯片提供 84 通道 DS1/J1、或 63 通道 E1 信号的映射复用功能. TMUX 同

时提供 LOS、OOF、LOF 的检测,提供 STS-12/STM-4 和 STS-3/STM-1 的加扰/解扰功能以及 B1、B2、B3 的产生和检测功能,实现 ETS300 417-1-1^[19] 指针解释的算法,对 STS-12/STM-4 和 STS-3/STM-1 进行指针解释.由于高速数据传输会有抖动, TMUX 的高速接口需要对输入的串行信号通过 622 Mb/s 或 155 Mb/s 的时钟恢复电路 CDR 进行时钟和数据的恢复.

TMUX 提供净荷 1 + 1 保护倒换,并定义了 TELECOM 总线,该总线由 STS-12/STM-4 解成的 4 通道 8 位并行 STS-3/STM-1 数据及相关信号组成,包括发送、接收方向和保护通道的信号,总线时钟为 19.44 MHz. TELECOM 总线连接系统其它模块.

3.2 STS-12/STM-4 指针处理器(STS12PP)

STS12PP 把 SDH/SONET 的净荷(Payload)从线路时钟域转换到系统时钟域,支持任意的 STS-1 和 STS-3C 组合. STS12PP 包含 2 个主要的模块:弹性缓存 FIFO 和指针生成.该模块接收 TMUX 输出的 4 路 8 位宽的并行数据流,每路数据带有 STS-3C 等效的 SPE 或 3 个字节间插的 STS-1 同步净荷包 SPE. 对于每个 STS-1,输入的 SPE 写进 FIFO 中,写时钟为来自 TMUX 的接收方向的时钟,而 FIFO 读时钟则为发送方向的系统时钟. STS12PP 结构如图 2 所示.

图 2 中,来自 TMUX 的 4 路输入数据流时钟为 19.44 MHz 的同步时钟,并具有共同的 J0 指示标志,但每路数据流具有自己的 J1 和 SPE 标志.对于 STS-3 模式,只有第 1 路数据流有数据,其它 3 路不用,对于 STS-3C 或其等效信号,整个 SPE 必须位于单个数据流中.

FIFO 用于把接收的数据同步到发送方向的系统时钟域中,共有 12 个 9 位宽的 FIFO,每路输入数据流使用 3 个 FIFO, FIFO 的最高位存放 J1 标志,低 8 位存放数据.每个 FIFO 存放 1 路 STS-1, STS-3C 信号则需要 3 个

FIFO,每个 FIFO 的深度为 20 字节.对于 STS-3C 信号,所有 3 个 FIFO 的读写必须与第 1 路 STS-1 同步.

平滑器用来对指针调整进行平滑处理,当 FIFO 中的数据足够满或即将耗尽时,输出端会产生负或正的指针操作,理想情况下这些指针调整在时间上是均匀的,但实际受到很多因素的影响并不均匀,例如接收方向和系统(发送方向)时钟频率的差别,内部系统的相位漂移等.所以必须采用平滑处理算法来优化指针调整,在输出帧中对一个完全的行计算 FIFO 的平均填充水平,如果总和超过一个高阈值,则下个指针调整机会时指针进行减操作;如果小于一个低阈值,则在下一个指针调整机会时指针进行加操作,高阈值和低阈值通过寄存器配置.对于级联信号,所有 3 个 STS-1 的正负指针调整必须一致.另外,由于读写地址位于不同的时钟域,直接比较会产生亚稳态.在比较写地址指针和读地址指针前需要先对写地址进行二进制至格雷码的转换,然后经过同步器转化成读时钟域的信号,再进行格雷码至二进制的转换后,才能与读地址进行加减操作.计算空、满和溢出标志时要保留一定的余量,否则可能溢出.

对于指针生成,正常操作时, NDF 值为 '0110', 指针的值指示 STS 净荷或 STM 虚容器 VC 在 STS/STM 帧中的位置.指针和净荷与来自 TMUX 发送方向的帧同步信号 J0 对齐.如果净荷类型为 STS-3C,则仅对第 1 个 STS-1 产生正常的指针 H1 和 H2.如果有正填充,则当前的指针发送时把 I-bit 反转,如果有负的填充,则当前的指针发送时把 D-bit 反转,在一次指针操作后至少 3 帧内不得进行任何指针增减操作.

3.3 交叉连接器(STS1XC 和 MRXC)

由于芯片需要通过 MPU 进行寄存器配置实现各种各样的功能,实现不同的功能需要在芯片内部各模块间进行不同的连接, STS1XC 交叉连接器用来对芯片内部的不同模块进行弹性配置以支持不同的应用,内部 4 个 TMUX、3 个 STS1LT、6 个 SPEMPR、STS12PP 和 3 个 MATE 模块可以通过 STSXC 进行非阻塞性的交叉互连.图 3 为 STSXC 交叉连接结构图.

除了实现交叉连接功能外, STSXC 还对 MATE 中 CDR 模块的串行 155MHz 时钟进行时钟丢失 LOC 检测.对来自 CDR 接收方向模块的 3 个串行 155 Mb/s 的数据进行帧丢失 LOF 检测、帧失步 OOF 检测、远端差错指示 REI 监测、远端缺陷指示 RDI 监测和 B2 错误检测.把从接收方向数据产生的 REI/RDI 插入到发送方向的 155 Mb/s 数据流中,计算 B2 并插入到发送方向的串行数据中.

MRXC 交叉连接器实现芯片内部 DS1、E1、DS2、E2、DS3、E3 信号的交叉连接,可以通过寄存器的配置实现各种各样的应用. MRXC 对内部 28 × 3 通道成帧器、28

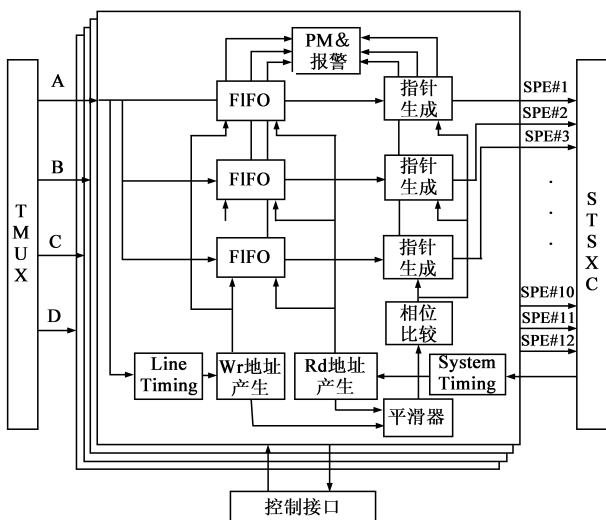


图 2 STS12PP 电路架构

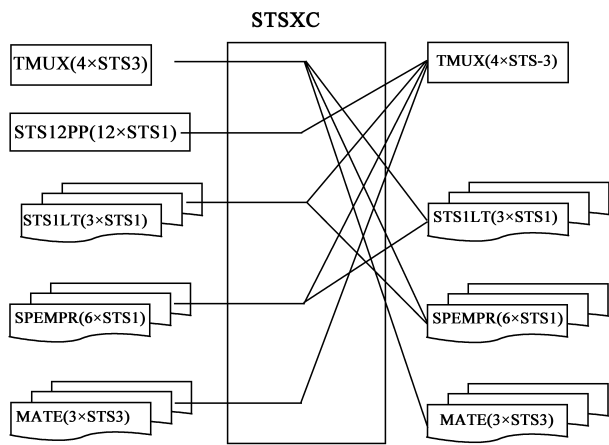


图3 STSXC结构图

×3 通道 VT 映射器、3 个 STS-1 LT、3 个净荷映射器 SPEMPR、3 个 M13 复用器、3 个 E13 复用器、3 × 28 通道 DS1/E1 DJA、6 通道 DS3/E3 DJA、测试向量生成器和监测器 TPG/TPM、POAC 通道、TOAC 通道和外部 I/O 信号等实现独立的非阻塞的信号交叉连接。

3.4 STS-1 线路终结器(STS1LT)

STS1LT 主要实现 PDH 到 STS-1 的映射及逆映射过程，共有 3 个相同的 STS1LT 单元。图 4 为 STS1LT 顶层连接关系图。STS1LT 实现开销插入和终结、指针处理、串行数据(51.84MHz 线路时钟)与 8b 并行数据(6.48MHz 系统时钟)的转换等，与 MPU 连接并通过 STS1XC 和 MRXC 与系统其它模块相连。

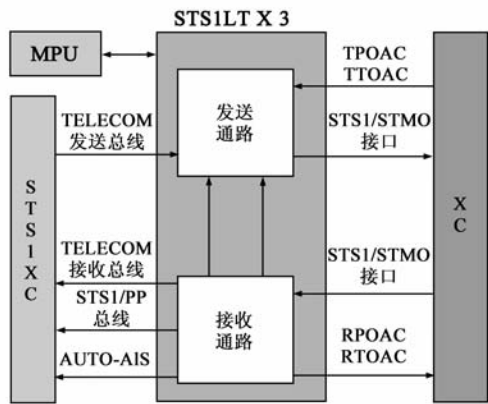


图4 STS1LT顶层连接关系

图 4 中，在接收方向，通过 STS-1 同步数据成帧器对从 MRXC 接收到的 STS-1 进行帧对齐、B1 BIP-8 检查、J0 监测、解扰、F1 监测、B2 BIP-8 检查、自动保护倒换 APS、K2 监测、AIS-L 和 RDI-L 检测和传输开销通过 RTOAC 通道的提取等。RTOAC 提供所有线路开销和段开销字节的访问，并对所有字节进行奇偶校验，数据速率为 1.728Mb/s，包括时钟、数据和 8KHz 的同步信号。当 STS1LT 通过 STS1XC 发送 STS-1 信号到 TMUX 时，STS1LT 中的指针处理器产生新的指针使得接收到的

STS-1 净荷 SPE 与 TMUX 发出的帧同步信号对齐。STS1LT 也对接收到的 STS-1 进行通路开销的终结，包括 J1 监测、B3 BIP-8 检查、C2 监测、REI-P 和 RDI-P 检测、H4 监测、F2/F3/K3 监测等。RPOAC 提供所有通路开销字节的访问，并对所有字节进行奇偶校验，RPOAC 的数据速率为 9 字节/8KHz，包括时钟、数据和 8KHz 的同步信号。在接收方向，STS1LT 通过 2 个接口发送 STS-1 信号，一是通过 TELECOM 总线，此时指针处理器被旁路，二是通过 STS1/PP 总线，此时 STS-1 信号经过指针处理器的处理。

在发送方向，STS1LT 通过 TPOAC 端口实现除 B3 以外的 POH 各字节的插入，B3 通过自动计算得到。段开销和线路开销通过 TTOAC 端口插入，B1、B2 通过自动计算得到。RDI-P、REI-P、RDI-L、REI-L 来自接收方向，如发生保护倒换，这些信号则来自保护通路。

3.5 支路净荷映射器(SPEMPR)

支路净荷映射器 SPEMPR 实现 PDH 到 SDH 的映射及逆映射。主要实现 DS3/E3 到 TUG-3 和 TUG-2 到 TUG-3(基于 ITU 体系)或 DS3/E3 到 AU-3 和 TUG-2 到 AU-3(基于北美体系^[3])的映射复用及逆过程。映射复用发送方向的电路结构如图 5 所示。

图 5 中，STS3_TIMESLOT 是时隙信号，AU3_TUG3 为 AU-3 和 TUG-3 的模式选择信号，TU11_TU12 为 TU11/TU12 类型选择信号，TUG2_NO[2:0] 为 TUG-2 的序号，范围 0-7，TUG3_NO[1:0] 为 TUG-3 的序号，范围 0-2，E3_MPR 为‘1’时表示净荷为 E3，E3_MPR 为‘0’、VT_DS3 为‘0’时，表示净荷为 DS3，E3_MPR 为‘0’、VT_DS3 为‘1’时，表示净荷为 TUG-2(使用 VT 的输出)。

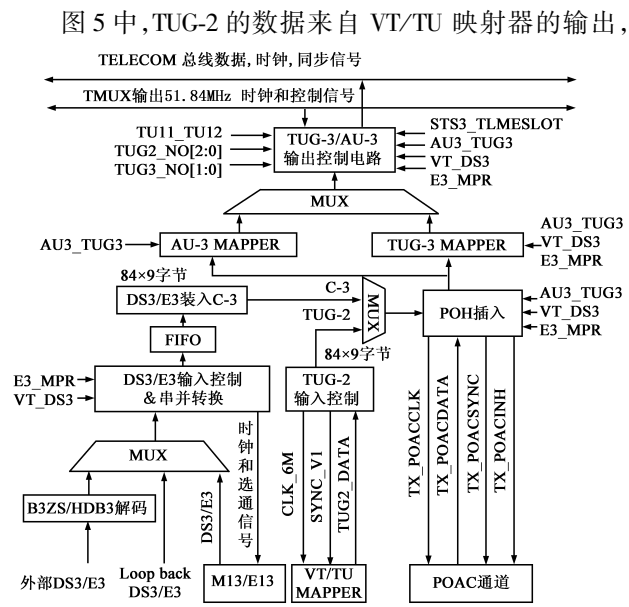


图5 SPEMPR发送方向电路结构

由 4 路 TU11 或 3 路 TU12 通过字节间插复用而成,低阶的支路信号 E1、DS1 通过 C-12、C-11 映射到 TU12 或 TU11 中.DS3/E3 有 3 个数据来源:(1)外部 DS3/E3 直接输入(2)接收方向环回的 DS3/E3 信号(3)M13 和 E13 复用器输出的 DS3 或 E3 信号.由于 DS3 信号可能是 B3ZS 编码的信号,E3 也可能是 HDB3 编码的信号,所以必须根据实际的信号模式对输入 DS3 或 E3 进行 B3ZS/HDB3 解码,如果 DS3/E3 来自 M13/E13 模块,则 M13/E13 的输出时钟和同步信号来自 SPEMPR 的输出.

DS3/E3 到 TUG-3 的映射复用过程:经过 B3ZS/HDB3 解码后的 DS3/E3 信号经过串并转换后输出到 FIFO 中,然后装配进 C-3 容器,C-3 加进 VC-3 的通路开销 POH 后变为虚容器 VC-3,VC-3 加上 3 字节的 TU-3 指针后形成支路单元 TU-3,TU-3 加上 6 字节的填充位后变成支路单元组 TUG-3.TUG-2 到 TUG-3 的复用过程:7 个 TUG-2 通过字节间插复用的方式形成 TUG-3 的净荷部分,同时加上填充位和空指针标识 NPI 后形成 TUG-3.上述过程中,仅在实现 VC3 到 TUG-3 映射时需要进行通路开销 POH 插入.

对于 TUG-3 解 TUG-2 模式,数据指示 VALID 为 '1',列计数器 $colcnt[i]$ 值为 3~86 时 TUG2_PAYLOAD_EN 为 '1',表示此时对应的数据为有效 TUG-2 净荷.

对于 TUG-3 解 C-3 模式,净荷处理器接收到的是每帧 87 列的信号,其中第 0 行第 0 列为 J1 信号,标志一帧信号的开始.计数器的行有效值为 0~8,列有效值为 0~86.列为 0 时表示 J1 位置,由于 TUG-3 的数据为 86 列,故列计数器值为 1~86 时为有效的 TUG-3 数据.据此设计了一个列计数器 $colcnt[i]$ 和行计数器 $rowcnt[i]$, i 为 0~11,表示 12 个时隙.在 J1_TIME = '1' 时, $colcnt[i] = 0$, $rowcnt[i] = 0$,在输入数据有效标志 VALID = '1' 时,列开始计数,当列计到 86 时,列复位到数值 1(不能复位至 0),即 $colcnt[i]$ 除了 RESET 和 J1_TIME 时刻外,其他时刻计数范围为 1~86; $colcnt[i]$ 计数到 86 时, $rowcnt[i]$ 计数 1 次,在 $rowcnt[i]$ 计到 8 时, $rowcnt[i]$ 清零,即 $rowcnt[i]$ 计数范围为 0~8. $rowcnt[i] = 0$, $colcnt[i] = 1$ 时, H1_BYTE = '1',表示该位置为 H1; $rowcnt[i] = 1$, $colcnt[i] = 1$ 时, H2_BYTE = '1',表示该位置为 H2; $rowcnt[i] = 2$, $colcnt[i] = 1$ 时, H3_BYTE = '1',表示该位置为 H3; $rowcnt[i] = 2$, $colcnt[i] = 2$ 时, H3_NEXT_BYTE = '1',表示该位置为 H3 的下一个字节.

SPEMPR 模块还包含指针处理和所有的检测功能,包括 LOC、LOS、J1 监测、B3 BIP-8 检查、C2 监测、F2/F3/N1/K3 监测、AIS-P/RDI-P 和 REI-P 检测、信号衰减误码率算法、信号失效误码率算法等,并且支持 UPSR 的应用.

3.6 数字抖动衰减器(DJA)

由于 PDH 信号与 SDH/SONET 信号不完全同步,在

传输打包时需要进行数据的填充、映射和指针调整,接收端解包时需要去掉这些填充位,这就给接收端的数据和时钟恢复带来困难.再加上传输过程中的抖动和漂移,完整周期性的时钟就会产生间隙,而实际需要的信号必须是尽可能平滑和周期性的,因而需要数字抖动衰减器对解包时恢复出的数据和时钟进行处理,使得这些信号尽快的达到 ITU 标准规定的范围之内.本文采用全数字的锁相环进行设计,锁相环的带宽、衰减因子和采样率由 MPU 通过寄存器进行设置.

3.7 其它模块

VT/TU 映射器 VTMPR 处理 SDH/SONET 的虚拟支路净荷的映射.M13 为 DS1/E1 到 DS3 的复用器/解复用器,E13 为 E1 到 E3 的复用器/解复用器.成帧器功能是把 DS1/E1 信号组成各种各样的帧的结构输出,或把接收到的帧结构的信号解成所需要的 DS1/E1 信号.

MPU 模块为 21 位地址总线和 16 位数据总线的微控制器,对各功能模块进行寄存器的读写、中断控制,配置芯片的工作模式和参数,读取芯片的工作状态等.

TPG/TPM 用于芯片的自测试,并支持系统级测试,可以通过编程进行测试错误信号插入.提供内部 DS1/E1/DS2/DS3/E3 的测试信号至 MRXC,MRXC 可以把这些信号配置到成帧器、M13/E13、DJA、VTMPR 和外部 I/O 等.同样,来自这些模块和 I/O 口的信号可以通过 MRXC 发送到 TPG/TPM 进行监测.

从芯片接口 MATE 提供 3 通道 STS-3/STM-1 的接口,工作于主模式时,3 个从芯片的高速串行接口输出的 STS-3/STM-1 信号与此端口相连接,加上主芯片内部的 STS-3/STM-1 信号共 4 路 STS-3/STM-1 通过主芯片的 TMUX 形成 STS-12/STM-4 输出.

4 结果与讨论

用 Verilog 进行电路设计,用 MODELSIM 软件进行仿真,采用 SYNOPSIS 公司的 SDH/SONET WORKBENCH 进行 SDH/SONET 的测试序列的产生及输出帧的分析.采用 0.13 μ m CMOS 工艺库进行综合,芯片规模约 600 万门.采用 TSMC 1.5V 0.13 μ m 工艺流片,管芯尺寸为:10.5mm \times 10.5mm,采用多芯片组件技术进行 PBGA 封装,照片如图 6 所示,封装后的芯片尺寸为 35mm \times 35mm.

采用图 6 封装形式,单颗芯片即实现 PDH 到 622 Mb/s SDH/SONET 的映射和逆映射功能,其优点是可以实现应用的灵活性、多样性.虽然同样的四颗芯片可以轻松集成在一颗芯片上,但管芯面积会达到 21 \times 21mm²,大圆片的利用率会大为降低,由于芯片很大,封装时的成品率也会降低,成本会远高于 4 颗芯片方案.图 7 为实现 2.5 Gb/s 功能带有 DS3 线卡的映射芯片评估板,共有 4 颗芯片组成,评估板的右侧为 DS3 线卡,实

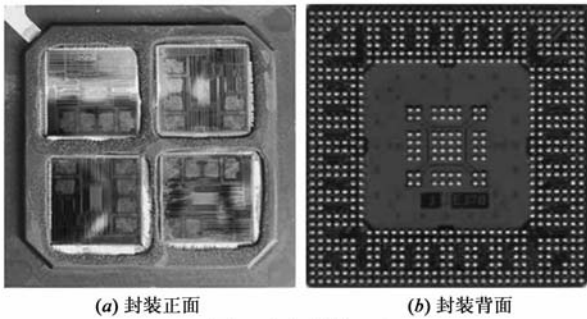


图6 芯片封装照片

现 48 路 DS3 到 2.5 Gb/s SDH/SONET 的映射功能。

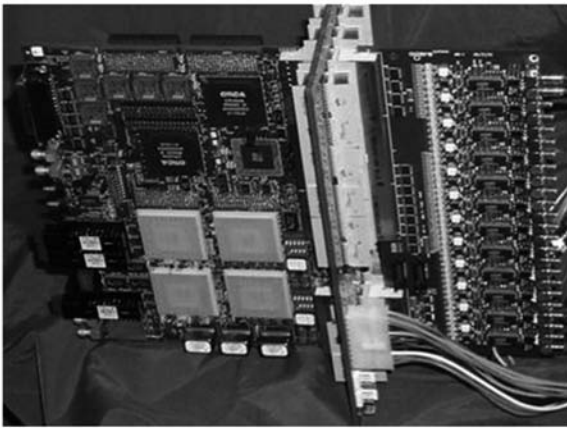


图7 带有DS3线卡的映射芯片评估板

采用 SDH/SONET 分析仪进行测试分析,各项功能指标均符合 ITU 和 ANSI 标准.采用抖动漂移测试仪根据 ITU G.783^[15]进行 PDH 信号映射抖动和组合抖动测试,表 1 为映射抖动测试结果,表 2 为极性相反的单指针序列的组合抖动测试结果。

表 1 PDH 映射抖动测试结果

PDH kb/s	最大峰-峰抖动 (映射的)f1-f4		最大峰-峰抖动 (映射的)f3-f4		滤波器特性		
	标准 (UI)	实测 (UI)	标准 (UI)	实测 (UI)	f1 高通	f3 高通	f4 低通
1544	0.7	0.1	待定	$< 10^{-4}$	10Hz	8KHz	40KHz
2048	待定	0.1	0.075	$< 10^{-4}$	20Hz	18kHz	100kHz
34368	待定	0.1	0.075	$< 10^{-4}$	100Hz	10kHz	800kHz
44736	0.4	0.1	待定	$< 10^{-4}$	10Hz	30kHz	400kHz

表 2 PDH 组合抖动测试结果

PDH kb/s	最大峰-峰抖动 (映射的)f1-f4		最大峰-峰抖动 (映射的)f3-f4		滤波器特性		
	标准 (UI)	实测 (UI)	标准 (UI)	实测 (UI)	f1 高通	f3 高通	f4 低通
1544	A0 + 0.6	0.2	待定	$< 10^{-3}$	10Hz	8KHz	40KHz
2048	0.4	0.2	0.075	$< 10^{-3}$	20Hz	18kHz	100kHz
34368	0.4	0.16	0.075	$< 10^{-3}$	100Hz	10kHz	800kHz
44736	A0 + 0.3	0.16	待定	$< 10^{-3}$	10Hz	30kHz	400kHz

表 1 中映射抖动测试时要求无指针调整,表 2 中,

A0 为没有施加指针序列时的组合抖动.组合抖动要求加入一定的测试指针序列,对于单个和突发序列,各个测试必须首先用全部正指针调整运行,然后用全部负指针调整运行.对于所有周期测试必须用正频偏和负频偏进行,并且各个测试必须首先用只是添加指针调整运行,然后用只是取消指针调整运行。

由表 1 和表 2 可见,本文芯片输出抖动远小于 ITU-T G.783 标准的规定.与国际同类产品相比,PMC-Sierra 公司和 AMCC 公司有一些 SDH/PDH 映射产品,如 PM8316 实现 T1/E1 到 STM-1 的映射功能,PM5385 实现 12 通道 E3/DS3/STS-1 到 SDH/SONET 的映射复用功能,AMCC 的 S1208 实现 STS-12/STM-4 到 DS1/E1/J1、DS3/E3 的逆映射功能,S1204 实现通道 12 通道 DS3/E3/STS-1 到 SONET/SDH 的映射等.这些芯片的功能都不全面,需要多个不同功能的芯片配合使用。

5 结论

本文设计了 PDH 信号到 622 Mb/s SDH/SONET 的映射及逆映射芯片,集成了 SDH/SONET 的段、线路、通路和支路的终结功能和低速率信号的成帧功能,以及 E13 和 M13 复用器,STM-4/STS-12 和 STM-1/STS-3 的电学信号接口提供了应用扩展的接口,可以与其它类型芯片配套使用.采用 MCM 封装技术,单片可以实现 336 通道 DS1/J1 或 252 通道 E1 到 STM-4/STS-12 的映射复用功能.支持复用段 1+1 保护倒换和 UPSR,兼容欧洲、北美、日本和中国光纤通信体系,采用 0.13 μ m CMOS 工艺流片,满足光纤通信传输的要求,已成功用于各大电信设备制造商。

参考文献:

- [1] GR-253-CORE, Synchronous Optical Network (SONET) Transport Systems; Common Generic Criteria[S].
- [2] ITU-T Recommendation G.707/Y.1322, Network Node Interface for the Synchronous Digital Hierarchy (SDH)[S].
- [3] Chow M C. Understanding SONET/SDH Standards and Applications[M]. New Jersey: Andan Publisher, 1995. 4 - 21.
- [4] Clint L S, Fuad E D, Chen C, et al. Low-power 16 x 10 Gb/s Bi-directional single chip CMOS optical transceivers operating at < 5 mW/Gb/s/link[J]. IEEE Journal of Solid-State Circuits, 2009, 44(1): 301 - 313.
- [5] Li A, Faucher J, Plant D V. Burst-mode clock and data recovery in optical multiaccess networks using broad-band PLLs[J]. IEEE Photonics Technology Letters, 2006, 18(1): 73 - 75.
- [6] Yang R J, Chao K H, Hwu S C, et al. A 155.52 Mb/s-3.125 Gbps continuous-rate clock and data recovery circuit[J]. IEEE Journal of Solid-State Circuits, 2006, 41(6): 1380 - 1390.
- [7] Liu Yongwang, Wang Zhigong, Li Wei. 2.5Gb/s 0.18 μ m

- CMOS clock and data recovery circuit[J]. Chinese Journal of Semiconductors, 2007, 28(4): 537 - 541.
- [8] 韩鹏, 王志功, 孙玲, 等. 155Mb/s 光通信用 CMOS 自动增益控制跨阻前置放大器[J]. 电子学报, 2007, 35(11): 2189 - 2192.
- Han Peng, Wang Zhi-gong, Sun Ling, et al. 155Mb/s automatic gain control CMOS transimpedance preamplifier for optical communication[J]. Acta Electronica Sinica, 2007, 35(11): 2189-2192. (in Chinese)
- [9] 刘昭, 金德鹏, 曾烈光. 基于连续性判别的并行帧同步系统[J]. 电子学报, 2005, 33(7): 1177-1182.
- Liu Zhao, Jin De-peng, Zeng Lie-guang. Parallel frame synchronization systems based on continuity validation[J]. Acta Electronica Sinica, 2005, 33(7): 1177 - 1182. (in Chinese)
- [10] GR-499-CORE, Transport Systems Generic Requirements (TSGR): Common Requirements[S].
- [11] GR-1400-CORE, SONET Dual-Fed Unidirectional Path Switched Ring (UPSR) Equipment Generic Criteria[S].
- [12] ITU-T Recommendation G. 703, Digital Transmission Systems Terminal Equipments-General. Physical/Electrical Characteristics of Hierarchical Digital Interfaces[S].
- [13] ITU-T Recommendation G. 704, Synchronous Frame Structures Used at 1544, 6312, 2048, 8448 and 44736 Kbit/s Hierarchical Levels[S].
- [14] ITU-T Recommendation G. 706, Frame Alignment and Cyclic Redundancy Check (CRC) Procedures Relating to Basic Frame Structures Defined in Recommendation G. 704[S].
- [15] ITU-T Recommendation G. 783, Digital Terminal Equipments Principal Characteristics of Multiplexing Equipment for the Synchronous Digital Hierarchy[S].
- [16] T1.105, American National Standard for Telecommunications-Synchronous Optical Network (SONET)-Payload Mappings[S].
- [17] T1.107, American National Standard for Telecommunication-Digital Hierarchy Formats Specifications[S].
- [18] T1.404, American National Standard for Telecommunication-Network and Customer Installation Interfaces-DS3 Physical Layer Interface and Mapping Specifications for ATM Applications[S].
- [19] ETS 300 417-1-1, Generic Functional Requirements for Synchronous Digital Hierarchy (SDH) Equipment, Part 1-1: Generic Processes and Performance[S].

作者简介:



叶 波 男, 1971 年生于江苏泰兴. 1999 年 1 月毕业于复旦大学专用集成电路与系统国家重点实验室, 获理学博士学位. 现为上海电力学院教授, 微电子研究所所长, 从事光纤通信和 SoC 芯片设计研究.
E-mail: yebo 925@sina.com



李天望 男, 1968 年生于湖南石门. 1998 年复旦大学电子工程系获博士学位. 2001 年 3 月至 2002 年 3 月在香港科技大学从事博士后研究工作. 现从事网络通信、数模混合集成电路及射频电路设计.



张立军 男, 1971 年生于甘肃兰州. 2000 年中国科学院微电子中心获博士学位. 现为苏州大学电子信息学院硕士生导师, 从事光纤通信芯片研究.