

# 大电流负载的片上 LDO 系统设计

胡佳俊, 陈后鹏, 宋志棠, 王 倩, 宏 潇, 李 喜, 许伟义

(中国科学院上海微系统与信息技术研究所信息功能材料国家重点实验室, 上海 200050)

**摘 要:** 本文分析了传统大电流负载的 LDO(Low-dropout Regulator)系统实现系统稳定性和瞬态响应提高的局限性,在此基础上,提出了一种片内集成的瞬态响应提高技术.此技术无需外挂电容和等效串联电阻(Equivalent Series Resistor, ESR),即能使系统在全负载范围内保持稳定性和良好的纹波抑制能力.仿真结果表明,系统空载时,静态电流为  $64\mu\text{A}$ ,且最大能提供  $800\text{mA}$  的负载电流,  $1\text{kHz}$  时的电源抑制比达到  $-60\text{dB}$ ,当负载电流以  $800\text{mA}/5\mu\text{s}$  跳变时,最大下冲电压为  $400\text{mV}$ ,上冲电压为  $536\text{mV}$ ,恢复时间分别只需  $6.7\mu\text{s}$  和  $12.8\mu\text{s}$ ,版图面积约为  $0.64\text{mm}^2$ .

**关键词:** 瞬态响应; 相位裕度; 快速响应; 低压差; 大电流负载

**中图分类号:** TN43 **文献标识码:** A **文章编号:** 0372-2112 (2013)07-1431-05

**电子学报 URL:** <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2013.07.029

## Design of an On-Chip LDO System with Large Loading Current

HU Jia-jun, CHEN Hou-peng, SONG Zhi-tang, WANG Qian, HONG Xiao, LI Xi, XU Wei-yi

(State Key Laboratory of Functional Materials for Informatics, Shanghai Institute of Micro-system and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China)

**Abstract:** This paper analyzes the stability and transient response enhancement limit of traditional LDO system and a transient response enhancement technique of on-chip LDO system is presented. Based on the analysis, a transient response enhancement technique fully integrated on-chip is put forward. The proposed scheme not only results in stability within a wide range of load variation, but also gets a good ripple rejection without off-chip capacitor and equivalent series resistor. It is demonstrated by simulation that the proposed circuit dissipates only  $64\mu\text{A}$  of quiescent current with empty load and it is capable of delivering load current up to  $800\text{mA}$ , the power supply rejection rate at  $1\text{kHz}$  is about  $-60\text{dB}$ . For a load step of  $800\text{mA}/5\mu\text{s}$ , the circuit has a maximum undershoot of  $400\text{mV}$  and a maximum overshoot of  $536\text{mV}$ . The recovery time is only  $6.7\mu\text{s}$  and  $12.8\mu\text{s}$  respectively and the layout area is about  $0.64\text{mm}^2$ .

**Key words:** transient response; phase margin; quick response; low dropout; large loading current

## 1 引言

随着便携式设备的飞速发展,电源管理越来越成为一个倍受关注的领域.为了不断延长电池的寿命,IC工程师们正不断的改进电源芯片的设计,LDO作为电源管理系统中的一个重要模块,由于其能提供低噪声<sup>[1]</sup>,高精度<sup>[2]</sup>,大负载电流等一系列优点而被广泛运用.

传统的 LDO 通常需要大容量的片外电容和等效串联电阻,由此在输出端制造左半平面零点来抵消次极点确保系统的稳定性,此外依据式:  $V_{\text{out}} = \frac{1}{C_L} \int_t^{t+\Delta t} I_{\text{load}} dt$ ,当负载电流在单位时间内突变时,大片外电容可以通过

给负载抽吸电流来实现系统芯片的稳压功能.然而无片外电容的优势是显而易见的,它既节省了大量的电路板空间,又可以与系统芯片(Systems on Chip, SOC)直接集成,但是这种片上 LDO 系统的设计遇到的挑战主要有:(1)稳定性,外挂电容和 ESR 引入的左半平面零点不复存在,只能依赖片内补偿技术来实现系统在全负载范围内的稳定性;(2)负载跳变的恢复能力,针对输出端大负载电流的快速跳变只能通过提高功率管栅端的摆率和系统带宽来适应这种变化.

目前,国内外众多研究人员提出了很多有价值的方案来面对这种挑战,其中 Ka Nang Leung 等提出了阻

尼系数控制补偿方案<sup>[3]</sup>(Damping Factor Control, DFC), 这种结构采用双倍跨导和 AB 类驱动技术来提高功率管栅端的摆率, 但是空载下的稳定性一直存在着缺陷; 此外 KWOK K C 提出了动态零级追踪技术<sup>[4]</sup>(pole-zero tracking), 通过串联一个在线性区工作的 PMOS 管作为动态可调电阻, 根据负载情况动态调节系统零点的位置, 来抵消输出端的次极点, 从而实现系统稳定, 但是这种技术的问题在于: 动态可调电阻值不精确, 对工艺的依赖度太高. Rincon Mora<sup>[5]</sup>的密勒倍增技术由于特殊工艺(BiCMOS 工艺)的要求, 限制了其在标准 CMOS 工艺下的应用.

针对目前研究之中遇到的困难和挑战, 本文设计了一种新颖的片上 LDO 系统, 如图 1 所示, 整个系统结构主要包括: 误差放大器, 高通滤波网络, 快速响应通路, 伪微分器, 缓冲器. 其中误差放大器采用带 AB 类输出级的 OTA(Operational Transconductance Amplifier)式结构; 高通滤波网络将快速跳变的输出电压转化为提高误差放大器输出级驱动能力的脉冲电流; 快速响应通路在动态情况下启动, 为功率管栅电容提供第二条充放电通路, 稳态时断开; 伪微分器结构通过反馈放大器实现密勒倍增<sup>[5]</sup>的补偿效果.

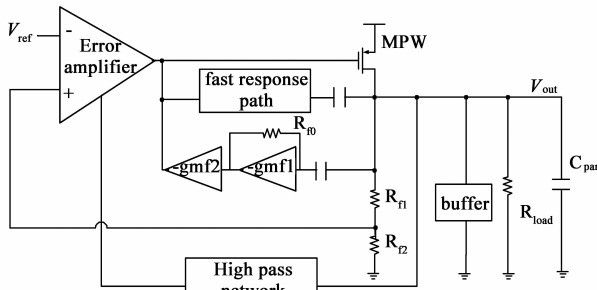


图1 片上LDO系统结构图

## 2 高通滤波网络和 AB 类输出级

图 2 是本文设计的高通滤波网络, 由  $C_f$ ,  $R_f$  和  $Mn_1$  组成的网络传递函数可表示为:

$$H(s) = \frac{V_{hp}(s)}{V_{out}(s)} = \frac{s(R_f + \frac{1}{gm_{Mn1}})C_f}{s(R_f + \frac{1}{gm_{Mn1}})C_f + 1} \quad (1)$$

从式(1)可以得到, 在  $f = \frac{1}{2\pi(R_f + \frac{1}{gm_{Mn1}})C_f}$  处, LDO 系

统输出端  $V_{out}$  的高频信号开始传递到节点  $V_{hp}$  处. 可以做一种极限假设, 在无限高频位置处, 输出电压  $V_{out}$  的变化  $\Delta V$  经过高通滤波网络后无失真的传输到  $V_{hp}$ , 从  $Mp_1$  到  $Mn_2$  的电流变化为  $gm_{Mn2}\Delta V$ ,  $a$  点的电压变化为  $-\frac{gm_{Mn2}\Delta V}{gm_{Mp1}}$ , 功率管栅电容上增加的充电电流为:

$$\Delta I_{Cs} = \frac{gm_{Mn2}\Delta V}{gm_{Mp1}}(gm_{Mp2} + gm_{Mn4}) \quad (2)$$

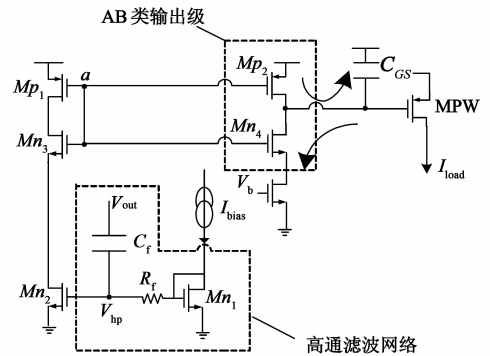


图2 高通滤波网络

## 3 片上 LDO 系统设计

### 3.1 频域分析

基于传统片上 LDO 的基本原理, 本文设计了图 3 所示的 LDO 系统电路, 误差放大器是由  $Mp_1 - Mp_3$ ,  $Mp_8 - Mp_9$  和  $Mn_1 - Mn_6$  组成; 高通滤波网络由  $C_{hp}$ ,  $R_{hp}$  和  $Mn_3$  组成;  $Mp_4$ ,  $Mn_7 - Mn_{10}$ ,  $C_{f1} - C_{f2}$  和  $R_{f3}$  组成了伪微分器结构;  $Mp_5 - Mp_7$  和  $Mn_{11} - Mn_{12}$  组成了缓冲器, 电源线负载电容<sup>[6]</sup>(Power Line Capacitance)  $C_{par}$  通常为 100pF 左右.

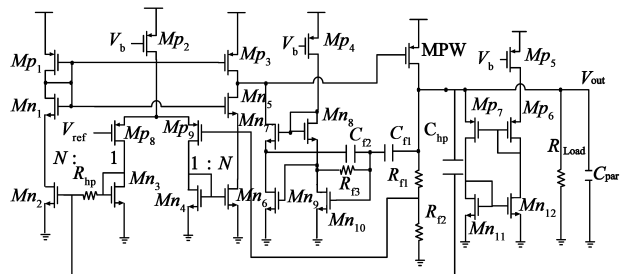


图3 片上LDO系统电路图

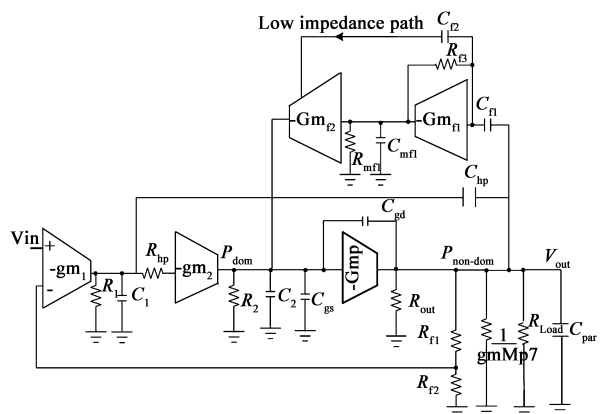


图4 片上LDO系统的小信号模型图

LDO 系统的频域分析须兼顾从空载到满载的所有情况,通常情况下,片上 LDO 系统由于脱离了对大外挂电容的依赖,输出端的主极点转变为次极点,当 LDO 系统处于满载时,输出电阻达到最低,次极点可以远离单位增益带宽,因此相位裕度可以得到很好的保障,但是当 LDO 系统处于空载时,输出电阻达到最高,次极点徘徊在单位增益带宽附近,这种情况下,稳定性最差.因此本文重点分析系统空载下的情况,图 4 是结合图 3 实际电路的小信号模型图,参照图 3 和图 4,频域分析可简化为:

$$A_{dc} = Ngm_{,M_{p8,9}} R_{out,EA} gm_{,MPW} [(R_{j1} + R_{j2}) // \frac{1}{gm_{,M_{p7}}}] \quad (3)$$

$$R_{out,EA} = r_{o, M_{p3}} // (gm_{,M_{n5} r_{o, M_{n5}}} // (gm_{,M_{n7} r_{o, M_{n7}}} // (gm_{,M_{n9} r_{o, M_{n9}}})) \quad (4)$$

$$P_{dom} = \frac{1}{2\pi R_{out,EA} C_{j1} [gm_{,M_{n10}} (R_{j3} // \frac{1}{gm_{,M_{n8}}})] [gm_{,M_{n9}} R_{out,EA}]} \quad (5)$$

$$P_{non-dom} = \frac{1}{2\pi [(R_{j1} + R_{j2}) // \frac{1}{gm_{,M_{p7}}} // \frac{1}{gm_{,MPW}}]} C_{par} \quad (6)$$

从式(3)~(4)可以发现,环路的低频增益主要决定于误差放大器,提高误差放大器的输出电阻  $R_{out,EA}$  和输入跨导  $gm_{,M_{p8,9}}$  可以有效地改善系统的精度.从式(5)~(6)可以得到结论,  $Mn_9 - Mn_{10}$  组成的两级反馈放大器可以将密勒电容  $C_{j1}$  的有效值提高两个数量级左右,分裂主节点的同时还避免了大电容的使用.与此同时,这条反馈通路阻断了信号从功率管的栅端前馈到漏端的可能性,因此很好的避免了单位增益带宽内的右半平面零点.  $Mp_5 - Mp_7$  和  $Mn_{11} - Mn_{12}$  组成的缓冲器结构以较低的静态功耗实现一个独立的不随频率变化的低阻抗负载,当系统处于空载时,可以有效地将输出端的次极点推向更高频位置处.

### 3.2 瞬态响应分析

LDO 的瞬态响应包括负载瞬态响应和线电压瞬态响应,两者都是由于功率管的供电电流和输出负载电流暂时的不匹配所引起,这里仅以负载瞬态响应为例进行分析.当输出端负载电流发生阶跃响应时,环路的恢复时间可以描述为式(7):

$$\Delta t \approx \frac{1}{BW} + C_p \frac{\Delta V}{I_{sr}} \quad (7)$$

其中 BW 是 LDO 系统环路的带宽,  $\Delta V$  是功率管栅电压的变化量,  $C_p$  是功率管的栅源寄生电容,  $I_{sr}$  是功率管栅电容的驱动电流.从式(7)我们可以发现,功率管栅端的摆率和环路带宽几乎决定了片上 LDO 系统的瞬态调节能力和恢复能力.

基于上面的分析,本文设计了图 3 所示的系统电路,当输出端负载电流发生上跳时,输出电压的跳变经过耦合电容  $C_{j1}$ , 转换为脉冲电流,这路脉冲电流经过电阻  $R_{j3}$  分压后转化为  $Mn_9$  栅端的脉冲电压信号,经过跨导放大器  $Mn_9$  后又转变为给功率管栅电容充放电的脉冲电流,通过提高  $Mn_9 - Mn_{10}$  的跨导可以改善对栅电容负载的驱动能力,由 3.1 中的分析可以知道,  $Mn_9 - Mn_{10}$  的跨导还同时决定着反馈密勒电容的有效值,因此跨导如果被设计的过大会导致带宽过小,恢复时间变慢,所以这里存在着带宽和负载驱动能力的折中.  $C_{j1} - C_{j2}$  和  $Mn_7$  组成了一条低阻抗反馈通路(高频情况下),当电源电压发生快速跳变时,这条通路可以减小输出电压的恢复时间.

## 4 快速响应通路

### 4.1 快速响应原理

上文中的 2 和 3.2 部分详细分析了改善瞬态响应的电路原理,为了进一步抑制纹波的跳变,本文设计了图 5 所示的快速响应通路.由  $C_{j1}$ ,  $Mn_5$  和  $C_{j2}$ ,  $Mp_8$  构成的两组高通滤波器决定了整个模块的工作频率:

$$f_{operation} = \min[\frac{gm_{,M_{n5}}}{2\pi C_{j1}}, \frac{gm_{,M_{p8}}}{2\pi C_{j2}}] \quad (8)$$

通过对式(8)的简单计算,可以得到,该快速响应通路相比 LDO 系统环路有高得多的工作频率,因此这个模块的工作机制特点为:(1)对 LDO 系统环路的频域分析不产生任何影响;(2)输出端发生快速跳变时,相比 LDO 系统环路,该模块可以更优先的启动工作.

当输出端大负载电流发生上跳时,输出电压会急剧的大幅度下跳<sup>[7]</sup>,输出端的这种变化信号通过耦合电容  $C_{j1}$ , 转化为变化的电流信号后被  $Mn_5$  放大,  $a$  点电位呈现一个下跳的趋势,  $Mn_2$  的漏端电压上跳,  $Mn_1$  的栅端电压上跳,最终形成一条为功率管栅电容放电的通路.当输出端大负载电流下跳时,输出电压会急剧的大幅度上跳,这种输出电压的变化信号通过第二个耦合电容  $C_{j2}$ , 转化为变化的电流信号后被  $Mp_8$  放大,  $b$  点电位呈现一个上跳的趋势,  $Mp_5$  的漏端电压下跳,  $Mp_1$  的栅端电压下跳,最终形成一条为功率管栅电容充电的通路.

### 4.2 共模反馈

由于电流镜之间存在的固有的失配和随工艺变化的不确定性,因此本文设计了两条相互独立的共模反馈环路来改善  $a, b$  两点的鲁棒性.由于两条共模反馈环路的原理有一定的相似性,这里仅以 CMFB1 为例进行分析.当  $a$  点电位升高时,CMFB1 的输出电压升高,  $Mn_3$  又把  $a$  点电位拉低,最终  $a$  点电位回归到  $V_{d1}$  的电位,为了得到更好的匹配效果,CMFB1 和 CMFB2 分别采用 PMOS 管和 NMOS 管作为输入管.基于低功耗设计的

考虑,  $Mp_2$  和  $Mn_7$  在静态时均被控制在亚阈状态.

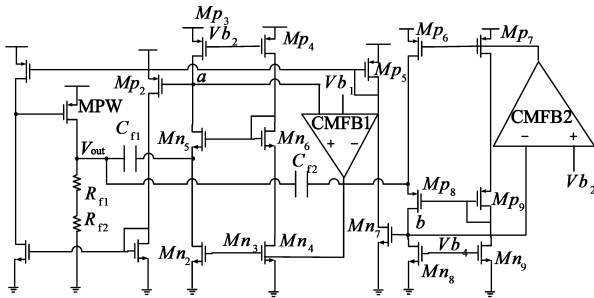


图5 快速响应通路

### 5 仿真结果分析

基于  $0.35\mu\text{m}$  CZ6H 标准 CMOS 工艺, 采用 Cadence 软件工具对系统 (系统还包含启动电路, 基准源, 带隙基准电路, 过流, 过温保护等模块) 进行仿真. 在输出电压  $V_{out} = 1.2\text{V}$ ,  $t = 27^\circ$ , “ $tt$ ”, 电源线负载电容为  $100\text{pF}$  的仿真环境下, 如图 6 所示.

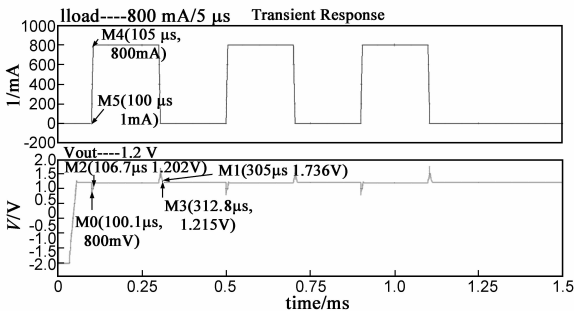


图6 负载瞬态响应

负载电流在  $5\mu\text{s}$  时间内分别以  $800\text{mA} - 1\text{mA}$  和  $1\text{mA} - 800\text{mA}$  的形式跳变, 最大上冲电压为  $536\text{mV}$ , 最大下冲电压为  $400\text{mV}$ , 恢复时间分别只需  $12.8\mu\text{s}$  和  $6.7\mu\text{s}$ .

$$\text{负载调整率} = \frac{\text{最大输出电压变化值}}{\text{负载电流跳变值}} \quad (9)$$

依据式(9), 可以计算出负载调整率分别只有  $0.67\text{mV}/\text{mA}$  和  $0.5\text{mV}/\text{mA}$ .

图 7 展示了当负载跳变时图 5 中  $Mp_1$  和  $Mn_1$  的导

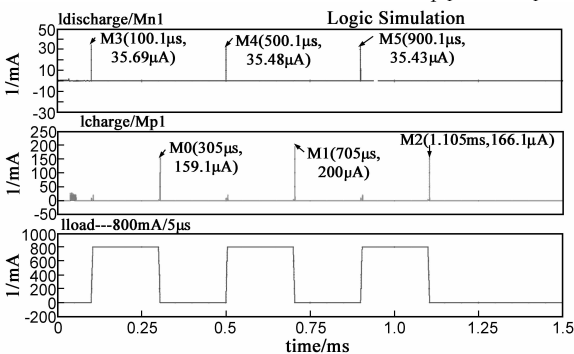


图7 快速响应通路的瞬态响应

通电流变化, 图中可以很清楚的观察到, 稳态时,  $Mp_1$  和  $Mn_1$  几乎处于截止状态. 当输出端负载电流上跳时,  $Mn_1$  提供的脉冲电流给功率管栅电容放电, 峰值电流达到  $35.7\mu\text{A}$ ; 当输出端负载电流下调时,  $Mp_1$  提供的脉冲电流给功率管栅电容充电, 峰值电流达到  $200\mu\text{A}$ .

从图 8 中可以看到, 当负载电流上跳, 图 3 中的  $Mn_5$  和  $Mp_3$  的电流分别上跳到  $13.79\mu\text{A}$  和下冲到  $0.17\mu\text{A}$ ; 当负载电流下跳时,  $Mn_5$  和  $Mp_3$  中的电流分别下冲到  $0.01\mu\text{A}$  和上跳到  $23.74\mu\text{A}$  [8].

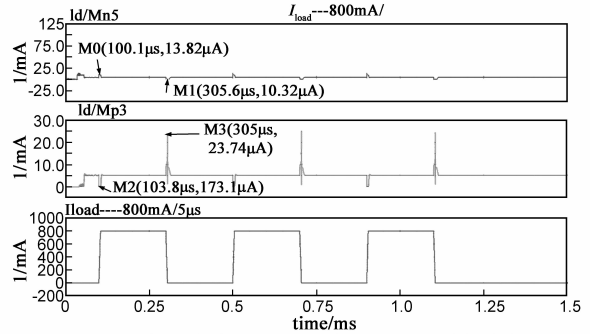


图8 高通滤波网络和AB类驱动级的瞬态响应

由图 9 所示, 当 LDO 系统处于空载条件下, 环路低频增益达到  $83.2\text{dB}$ , 单位增益带宽和相位裕度分别为  $220\text{KHz}$  和  $59.3^\circ$ , 提高精度的同时还确保了系统正常工作的稳定性和可靠性.

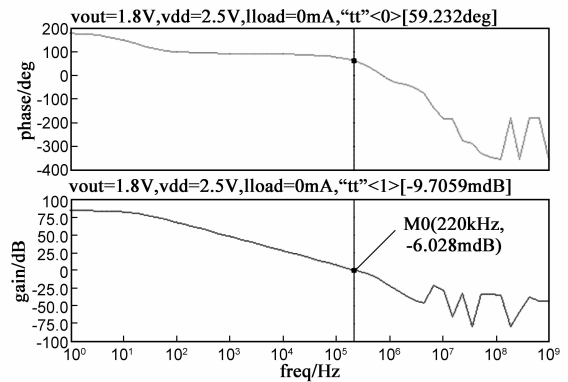


图9 空载下的频谱图

本文设计的片上 LDO 系统是基于  $0.35\mu\text{m}$  标准 CMOS 工艺条件. 包含 Pad 和 ESD 保护电路在内, 整块

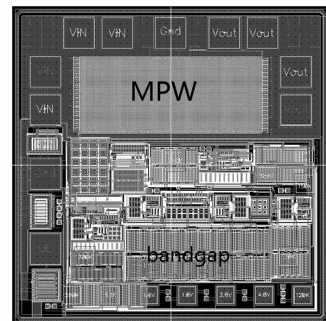


图10 片上LDO系统的版图

芯片版图设计如图 10, 面积为  $0.64\text{mm}^2$ .

表 1 给出了详细的性能参数总结, 结果表明, 本文设计的片上 LDO 系统综合性能较高.

表 1 无片外电容 LDO 系统的主要性能参数比较

参数	参考文献[3]	参考文献[9]	本文
工艺	$0.6\mu\text{m}$ CMOS	CSMC $0.5\mu\text{m}$ CMOS	CZ6H $0.35\mu\text{m}$ CMOS
芯片面积	$568\mu\text{m} \times 541\mu\text{m}$		$800\mu\text{m} \times 800\mu\text{m}$
电源电压	1.5V – 4.5V	3.5V – 5V	2.5V – 5V
最大负载 电流	100mA	150mA	800mA
静态功耗	$38\mu\text{A}$	$3.8\mu\text{A}$	$64\mu\text{A}$
压差	200mV@100mA	—	0.5V@800mA
线性	0.25%	140mV	516mV
调节率	(1.5V – 4.5V)	(3.5V – 4.5V)	(5V – 2.5V, $5\mu\text{s}$ )
负载	0.25%	140mV	400mV
调节率	(0 – 100mA, $5\mu\text{s}$ )	(150mA – 0, $1\mu\text{s}$ )	(1mA – 800mA, $5\mu\text{s}$ )
电源抑制比	-60dB@1KHz	-57.9 dB@10Hz	-60dB@1KHz

## 6 结论

本文详细给出了一种大负载电流的片上 LDO 系统方案, 在电源线负载电容  $100\text{pF}$  的前提下, 系统能够在在大负载电流跳变时表现出良好的瞬态响应效果. 与此同时, 当负载从空载到满载大范围变化时, 系统表现了很好的稳定性和可靠性. 实验表明, 上述结论在仿真中得到了很好的验证, 使其非常适合于电源管理系统中的应用.

### 参考文献

- [1] Allen P E, Holberg D R. CMOS 模拟集成电路设计(第二版)[M]. 北京: 电子工业出版社, 2005. 300 – 468.  
Allen P E, Holberg D R. CMOS Analog Circuit Design(Second Edition)[M]. Beijing: Publishing House of Electronics Industry, 2005. 300 – 468. (in Chinese)
- [2] 陈东坡, 何乐年. 一种低静态电流、高稳定性的 LDO 线性稳压器[J]. 电子与信息学报, 2006, 28(8): 1526 – 1529.  
Chen Dong-Po, He Le-nian. A Low-dropout regulator with low quiescent current and high stability[J]. Journal of Electronics and Information Technology, 2006, 28(8): 1526 – 1529. (in Chinese)
- [3] Leung K N, Mok P K T. A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation

[J]. IEEE Journal of Solid-State Circuits, 2003, 38(10): 1691 – 1702.

- [4] KWVKKC, MOKPKT. Pole-zero tracking frequency compensation for low dropout regulator[A]. IEEE International Symposium on Circuits and Systems[C]. Arizoma, USA: IEEE, 2002. 735 – 738.
- [5] RINCON G A. Active capacitor multiplier in Miller compensated circuits[J]. IEEE Journal of Solid-State Circuits, 2000, 35(1): 26 – 32.
- [6] Jianping Guo. A 6-uw chip-area-efficient output-capacitorless LDO in 90nm CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2010, 45(9): 1896 – 1905.
- [7] Pui Ying. An output-capacitorless low-dropout regulator with direct voltage-spike detection[J]. IEEE Journal of Solid-State Circuits, 2010, 45(2): 458 – 466.
- [8] A high slew-rate push-pull output amplifier for lowquiescent current low-dropout regulators with transient-response improvement[J]. IEEE Transactions on Circuits and Systems- II, 2007, 54(9): 755 – 759.
- [9] 宁志华, 何乐年. 一种低功耗、高稳定性的无片外电容线性稳压器[J]. 电路与系统学报, 2009, 14(2): 84 – 89.  
Ning Zhi-Hua, He Le-Nian. A low-power, high-stability and capacitor-free LDO[J]. Journal of Circuits and Systems, 2009, 14(2): 84 – 89. (in Chinese)

### 作者简介



胡佳俊 男, 1989 年生于上海市崇明县, 中科院上海微系统与信息技术研究所研究生, 主要从事于电源管理芯片和 PCRAM 存储器芯片的设计和研发.

E-mail: jiajunhu@mail.sim.ac.cn



陈后鹏(通讯作者) 男, 1964 年出生于江苏沛县, 中科院上海微系统与信息技术研究所研究员. 曾在上海交通大学、上海贝岭股份有限公司等单位任职. 主要从事模拟集成电路、存储器集成电路的设计工作.

E-mail: chp6468@mail.sim.ac.cn