

应用于变化条件下延时分析的反相器模型

王新胜^{1,2}, 喻明艳¹

(1. 哈尔滨工业大学航天学院, 黑龙江哈尔滨 150001; 2. 哈尔滨工业大学威海校区, 山东威海 264209)

摘 要: 本文提出了一个考虑衬底耦合效应的门延迟模型. 该模型在考虑衬底耦合效应下转换 CMOS 反相器的延迟为等效电阻和电容(RC)网络延迟. 考虑工艺参数扰动和衬底耦合效应对门延时的影响, 建立基于工艺扰动的简单开关电容门延迟模型, 结合随机配置法和多项式的混沌展开法分析门延时. 利用数值计算方法对本模型和分析方法进行验证, 结果表明与 HSPICE 精确模型仿真结果的相对误差小于 2%, 证明本模型和分析方法的有效性.

关键词: 工艺变化; 反相器门延时模型; 衬底耦合效应; 多项式混沌

中图分类号: TP211; TN402

文献标识码: A

文章编号: 0372-2112 (2013)07-1448-05

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2013.07.032

Distinctive Inverter Delay Model Applied to Variation Delay Analysis

WANG Xin-sheng^{1,2}, YU Ming-yan¹

(1. School of Astronautics, Harbin Institute of Technology, Harbin, Heilongjiang 150001, China; 2. School of Information and Electrical Engineering, Harbin Institute of Technology at Weihai, Weihai, Shandong 264209, China)

Abstract: This paper proposes an inverter gate delay model that is comprehensive for inverter gate delay analysis considering substrate coupling. The proposed model transforms the CMOS inverter delay to resistor and capacitance (RC) delay, and then computes the RC network delay under the process variation considering substrate coupling effect. The delay model analysis uses stochastic collocation methods combined with a polynomial chaos, which considers within-die process variation and substrate coupling effect. Experimental results are based on numerical calculation method. Simulation results show that the method's proportional error is less than 2% compared to HSPICE simulation.

Key words: process variation; inverter gate delay model; substrate coupling effect; polynomial chaos theory

1 引言

CMOS 反相器在数字系统中有广泛的应用例如延时单元、缓冲器和 SRAM 单元等, 所有这些应用都需要估计反相器的延时. 在数字电路中已有大量文献考虑工艺变化效应, 其中大部分是统计静态时序分析方面的研究^[1~3]. 统计静态时序分析是基于查找表模型, 其特点是精度比较高, 但是其不适合估计依赖于器件参数的电路行为分析. 一些门延时模型的解析公式已经被提出例如延时与流过门的电流成反比^[4], 但这些延时模型公式都没有考虑工艺变化, 所以开发一个考虑工艺变化下 CMOS 反相器延时模型的解析公式非常必要.

参考文献[5]第一个尝试建立工艺变化下的 CMOS 反相器延时模型, 其主要考虑工艺波动对电流变化的影响. 参考文献[6]给出了另一种方法, 其通过电流变化建模延时变化即 $\Delta t_d / t_d = -\Delta I_D / I_D$. 随着工艺技术的发展,

MOS 管之间的距离越来越近, 衬底耦合变得越来越重要, 但所有已有的延时模型都没有考虑此效应. 本文提出一个 CMOS 反相器延时模型, 其同时考虑工艺变化和衬底耦合效应. 本模型关键是变换 CMOS 反相器门延时为电阻电容网络延时.

2 CMOS 反相器延时基础

一种 CMOS 反相器延时模型如图 1 所示, 延时由对负载电容充放电决定, 式(1)给出了负载电容 C_L 的构

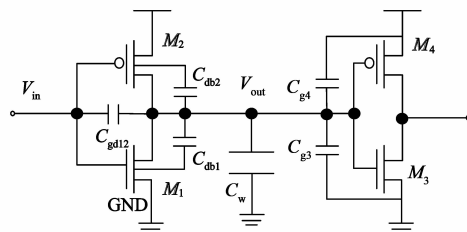


图1 级联反相器寄生参数

成,即由所有的寄生电容构成^[4].这种分析模型其输出节点电压的瞬态响应由所有的寄生电容决定.

$$C_L = C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w + C_{gd} \quad (1)$$

在集总模型中栅漏电容 C_{gdl2} 需要变换为对地电容,利用米勒效应 C_{gdl2} 变为 C_{gd} ,其电容大小是 C_{gdl2} 的两倍. C_{db1} 和 C_{db2} 是反偏 PN 结电容,其是电压依赖的非线性电容,在感兴趣的电压范围线性化这些电容: $C_{db} = KC_{j0}$,其中 C_{j0} 是零偏置电压下单位面积的结电容如式(2)所示,式(3)给出 K 的具体组成.式(2)和式(3)中的参数 A_D , N_A , N_D 和 φ_0 分别是二极管耗尽区面积,受主掺杂浓度,施主掺杂浓度和内建自电势.通过积分电容器的总充电或放电电流,我们能计算 CMOS 非门的上升延时或下降延时,具体如式(4)所示.

$$C_{j0} = A_D \sqrt{\frac{\epsilon_{si} q N_A N_D}{2(N_A + N_D)}} \varphi_0 - 1 \quad (2)$$

$$K = \frac{-\varphi_0^m}{(V_{high} - V_{low})(1-m)} \cdot [(\varphi_0 - V_{high})^{1-m} - (\varphi_0 - V_{low})^{1-m}] \quad (3)$$

$$t_p = \int_{v_1}^{v_2} \frac{C_L(v)}{i(v)} dv \quad (4)$$

另一种 CMOS 反相器延时模型,其主要基于简单的开关模型即利用简单的 RC 模型近似非门的瞬态输入跃迁响应.因此,非门的延时由导通电阻、负载电容和相关的常数决定.导通电阻在感兴趣的电压范围内以平均值的方式给定,其为 NMOS 从 V_{DD} 放电到 $1/2 V_{DD}$ 之间的平均电阻,具体形式由式(5)给出, λ 是 NMOS 管的沟道调制系数, I_{DSAT} 是 NMOS 管导通时的饱和电流,线性化的负载电容由式(1)给出.延时计算采用一阶线性 RC 网络模型如式(6)所示.

$$R_{avgn} = \frac{1}{V_{DD}/2} \int_{V_{DD}/2}^{V_{DD}} \frac{v}{I_{DSAT}(1+\lambda v)} dv \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} (1 - \frac{7}{9} \lambda V_{DD}) \quad (5)$$

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} = 0.69 C_L (\frac{R_{avgn} + R_{avgp}}{2}) \quad (6)$$

3 衬底耦合效应对电路性能的影响

衬底耦合影响电路性能是多方面的^[7],包括数字部分对模拟部分的影响和数字部分自身相互的影响.逻辑门延时 t_p 由很多因素决定包括负载、供电电压、晶体管尺寸、输入波形和电荷共享效应引起的过冲等.在某些合理近似下,门延时可以表示为 $t_p \propto 1/\sqrt{V_{SB}}$,其中 V_{SB} 是衬底与源端之间的偏置电压^[10].

4 简单而全面的反相器延时模型

我们将用一个简单而全面的方法建模反相器的门

延时.首先回顾一下 NMOS 和 PMOS 衬底的物理构成,在只考虑 N 阱工艺 NMOS 器件通过源、漏电容直接和衬底相互作用.热电子效应也能引起多数载流子向衬底的注入.容性耦合和热电子注入产生的电流注入特点是不同的,容性耦合注入电流的方向在两个不同的跃迁沿是不同的,而热电子注入的电流永远是注入到衬底.热电子注入的电流能被建模为漏到体的跨导 g_{db} 表示为 $g_{db} = K_2 I_{sub}/(V_{ds} - V_{DSAT})^2$ ^[8].热电子注入的主要效应是降低 NMOS 管的输入阻抗,等效为输入阻抗上并联了一个小电阻.噪声接收也表现为不同的形式:体效应的衬底相互作用;源漏耗尽结电容耦合.源漏结电容耦合在高频下变的显著,低频下主要是体效应的衬底相互作用在起作用.由于深亚微米下器件的工作频率都很高,所以本文只考虑源漏电容耦合的接收.

假设有两个临近的 CMOS 反相器如图 2 所示,其可以应用于 6T-SRAM 或者集成电路互连线中用于时序优化的缓冲器.其中 C_s 是所有的衬底耦合电容,“Victim”是噪声的接收者,“Aggressor”是噪声的制造者.首先,非线性 CMOS 反相器被建模为线性串联的电阻和电容.图 3 描述了考虑衬底耦合电容的 RC 网络模型,其为图 2 的 RC 等效模型. R_{on1} 和 R_{on2} 分别是“Victim”和“Aggressor”的输入电阻,式(5)给出其解析公式. C_{in1} 和 C_{in2} 分别是“Victim”和“Aggressor”的固有电容,在式(1)中 C_L 减去 C_{g3} 、 C_{g4} 和 C_w 即为反相器的固有电容.在本模型中衬底耦合电容表示为 $C_s = C_{db1} C_{db2}/(C_{db1} + C_{db2})$,其中 C_{db1} 和 C_{db2} 分别是“Victim”和“Aggressor”中的 NMOS 器件漏到衬底的电容.

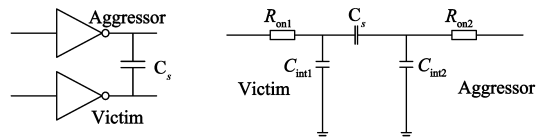


图2 衬底耦合反相器电路

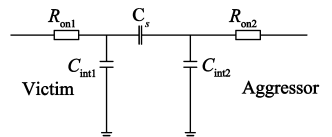


图3 考虑衬底效应的反相器RC网络模型

通常分析耦合电路比较困难,如图 3 所示,参考文献[9]中描述通过用米勒因子乘以耦合电容把耦合电路变成去耦电路.假定零初值电压并且感兴趣延时电压为 0.5 倍电源电压,用于耦合延时计算的最大米勒因子为 3.图 3 的近似响应电路如图 4 所示,其有效电压跃迁间隔为零到 0.5 倍电源电压,图 4 中的 $1 - \beta$ 为米勒因子.

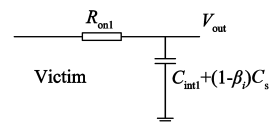


图4 去耦近似电路

基于预测技术模型 PTM^[13],在不同工艺节点下,利用本节提出的模型计算了非门延时与 HSPICE 仿真结果进行比较.详细结果见表 1,从中可以看出 RC 一阶模型能很好的预测衬底耦合效应降低非门延时的趋势.仿真用到的耦合电容在 22nm、32nm 和 45nm 分别为 0.03fF、0.01fF 和 0.04fF,其他参数见参考文献[10].

表 1 考虑衬底耦合模型计算结果和 Hspice 仿真结果对比

条件/工艺节点	22nm	32nm	45nm
RC 模型计算衬底耦合降低延时百分比	10%	4%	3%
HSPICE 仿真衬底耦合降低延时百分比	8%	6.5%	7.1%

5 考虑工艺变化门延时分析

随着工艺技术进入纳米范围,工艺变化已成为影响电路性能的重要因素.衬底耦合延时能被建模为 RC 电路如图 3 所示,其中的电气参数依赖于工艺几何尺寸如 NMOS 管的栅宽.几何尺寸受工艺影响,而工艺制造的非一致性使得其变化呈现一定的随机性,因此本文把电气参数建模为随机变量.考虑到一般性,假设一个随机序列 $\{\epsilon_1, \epsilon_2, \dots, \epsilon_n\}$ 表示 n 个感兴趣的几何参数,所有这些随机序列组成的空间表示为 $\Theta: \Omega \rightarrow \mathbf{R}^n$,其中 Ω 表示制造工艺的采样空间.工程实践中,高斯分布能很好的描述几何参数的随机变化.同时假定这些随机序列是标准高斯随机变量,一般来讲这些变化量是相关的,也就是这些参数彼此不是正交的.有很多种方法把非正交序列变为正交序列如主部件分析法^[11],所以本文只考虑随机变量不相关的情况.为了捕捉工艺变化效应对电子参数的影响,建模电子参数为工艺变化量的线性函数,大多数参考文献都是采用这种方法^[12,13],也就是 $v = \bar{v} + r_1\epsilon_1 + r_2\epsilon_2 + \dots + r_n\epsilon_n$,其中 v 在本文中为电阻或电容, $\bar{v}$ 是电阻或电容的均值, r_i 是几何参数变化对电气参数影响的权重.

对于如图 3 所示的两个临近的反相器建模为 RC 模型,通过假定 $\mathbf{U}_i = [V_{ia}, V_{iv}, I_{ia}, I_{iv}]^T$ 和 $\mathbf{U}_o = [V_{oa}, V_{ov}, I_{oa}, I_{ov}]^T$ 为“Aggressor”和“Victim”的输入输出电压和电流,在复频域我们能推导 $\mathbf{U}_o$ 与 $\mathbf{U}_i$ 的关系 $\mathbf{U}_i = \mathbf{E}(s) \cdot \mathbf{U}_o$,其中 $\mathbf{E}(s) = \begin{bmatrix} \mathbf{I} & \mathbf{R} \\ s\mathbf{C} & \mathbf{I} \end{bmatrix}$, $\mathbf{I}$ 是单位矩阵, $\mathbf{R}$ 和 $\mathbf{C}$ 分别是反相器考虑寄生耦合效应的电阻和电容矩阵.通过矩阵 $\mathbf{M}$ 分解电容矩阵 $\mathbf{C}$ 的耦合,具体如式(7)所示,详细推导过程文献参考[14,15].通过此

$$\begin{aligned} \mathbf{R}' &= \mathbf{R}, \\ \mathbf{C}' &= \mathbf{M}^{-1}\mathbf{C}\mathbf{M}, \end{aligned}$$

$$\mathbf{U}'_i = \begin{bmatrix} \mathbf{M}^{-1} & \mathbf{0} \\ \mathbf{0} & \mathbf{M}^{-1} \end{bmatrix} \mathbf{U}_i,$$

$$\mathbf{U}'_o = \begin{bmatrix} \mathbf{M}^{-1} & \mathbf{0} \\ \mathbf{0} & \mathbf{M}^{-1} \end{bmatrix} \mathbf{U}_o \quad (7)$$

变换,能得到新的输入与输出关系 $\mathbf{U}'_i = \begin{bmatrix} \mathbf{I} & \mathbf{R}' \\ s\mathbf{C}' & \mathbf{I} \end{bmatrix} \mathbf{U}'_o$,此时电容已经是完全去耦.通过解 RC 网络的基尔霍夫方程,能得到输入电压与输出电压之间的关系如式(8)所示.此时定义 $\mathbf{M} = \begin{bmatrix} 1 & 1 \\ -1 & 1 \end{bmatrix}$,则去耦的 RC 网络输入输出方程如式(9)所示.定义电阻和电容随机变量为 $r = \bar{r} + \sum_{i=1}^n r_i\epsilon_i$ 和 $c = \bar{c} + \sum_{i=1}^n c_i\epsilon_i$,式(9)的第一个方程能被表示为 $V'_{i1} = (1 + r \cdot c \cdot s) V'_{o1}$,根据埃尔米特多项式的正交特性^[16], V'_{o1} 能用一个无穷级数的埃尔米特多项式近似即 $V'_{o1}(s, \epsilon) = \sum_{j=1}^{\infty} a_j(s) H_j(\epsilon)$,这里 $H_j(\epsilon)$ 是第 j 阶埃尔米特多项式, $a_j(s)$ 是其相应的系数.实际应用中埃尔米特多项式一般要展成有限项,近似系数通过随机伽辽金方法得到.设截断误差为

$$\Delta_p(s, \epsilon) = \sum_{j=1}^m H_j(\epsilon) a_j(s) (1 + r \cdot c \cdot s) - V'_{i1}.$$

利用随机伽辽金方法即截断误差在某种条件下最小如式(10)所示.

$$\begin{aligned} V_{i1} &= V_{o1} [1 + R_{on1} (C_{int1} + C_s) s] - V_{o2} R_{on1} C_s s \\ V_{i2} &= V_{o2} [1 + R_{on2} (C_{int2} + C_s) s] - V_{o1} R_{on2} C_s s \quad (8) \\ V'_{i1} &= [1 + R_{on1} (C_{int1} + 2C_s) s] V'_{o1} \\ V'_{i2} &= [1 + R_{on2} C_{int2} s] V'_{o2} \quad (9) \end{aligned}$$

定义内积式(11),则式(10)能被重写为式(12). $a_i(s)$ 是将要确定的系数矢量, $W(\epsilon)$ 是概率密度函数, R 是积分变量 ϵ 的积分间隔,式(12)的最右半部分积分是常值.攻击者的输出电压时域响应能通过逆拉普拉斯变换得到即 $V'_{o1}(t, \epsilon) = \sum_{i=1}^m q_i e^{p_i t} H_i(\epsilon)$,其中 q_i 和 p_i 分别为传递函数的零点和极点.去耦的噪声受害者的时域响应也能够通过相同的方式得到.去耦之前攻击者的输出信号的电压为 $V_{half} = V'_{o1}(\tau, \epsilon) + V'_{o2}(\tau, \epsilon)$.由于信号上升过程中 V_{half} 是单调增加,所以门延时能通过快速的数值方法求得例如对分法.

$$\langle \Delta_p(s, \epsilon), H_i(\epsilon) \rangle = 0, i = 1, 2, \dots, m \quad (10)$$

$$\langle f(\epsilon), g(\epsilon) \rangle = \int_R f(\epsilon) g(\epsilon) W(\epsilon) d\epsilon \quad (11)$$

$$\begin{aligned} \sum_{j=1}^m a_i(s) \int_R H_j(\epsilon) H_i(\epsilon) W(\epsilon) (1 + r \cdot c \cdot s) d\epsilon \\ = \int_R v'_{i1} H_i(\epsilon) W(\epsilon) d\epsilon \quad (12) \end{aligned}$$

6 仿真结果及分析

为了验证本文提出的门延时模型的有效性,通过

与 HSPICE 仿真结果进行对比. 仿真所用电路为图 2 所示的电路,同时假定输入激励 V_{in1} 和 V_{in2} 是电压源, V_{in1} 是斜坡阶跃信号而 V_{in2} 为零输入信号,并且只考虑重要的几何变化即晶体管宽度 W 和沟道长度 L , $\epsilon_w(\epsilon_L)$ 是几何特征 $W(L)$ 归一化的变化量. 由于输入电阻 R_{on} 与宽长比有关而扩散电容 C 只与宽度有关,我们用一个线性化模型捕捉这种依赖关系如式(13)所示. 因此方程

$$R_{on} = \bar{r} + r_1 \epsilon_w + r_2 \epsilon_L$$
$$C = \bar{c} + c_1 \epsilon_w$$

(13)

式(12)能够表示为 $\mathbf{M} \times [a_0 \ a_1 \ a_2 \ a_3 \ a_4 \ a_5]^T$

$$\mathbf{M} = \begin{bmatrix} 2.93(1+s\bar{r}\bar{c})+0.85(sr_1c_1) & 0.85s(r_1\bar{c}+\bar{r}c_1) & 0.85(sr_2\bar{c}) & -2.08(1+s\bar{r}\bar{c})-0.37(sr_1c_1) & 0.25(sr_2c_1) & -2.08(1+s\bar{r}\bar{c})-0.60(sr_1c_1) \\ 0.85s(r_1\bar{c}+\bar{r}c_1) & 0.85(1+s\bar{r}\bar{c})+0.48(sr_1c_1) & 0.25(sr_2c_1) & -0.37s(r_1\bar{c}+\bar{r}c_1) & 0.25(sr_2\bar{c}) & -0.60s(r_1\bar{c}+\bar{r}c_1) \\ 0.85(sr_2\bar{c}) & 0.25(sr_2c_1) & 0.85(1+s\bar{r}\bar{c})+0.25(sr_1c_1) & -0.60(sr_2\bar{c}) & 0.25s(r_1\bar{c}+\bar{r}c_1) & -0.37(sr_2\bar{c}) \\ -2.08(1+s\bar{r}\bar{c})-0.37(sr_1c_1) & -0.37s(r_1\bar{c}+\bar{r}c_1) & -0.60(sr_2\bar{c}) & 0.22(sr_1c_1)+1.71(1+s\bar{r}\bar{c}) & -0.11(sr_2c_1) & 1.47(1+s\bar{r}\bar{c})+0.26(sr_1c_1) \\ 0.25(sr_2c_1) & 0.25(sr_2\bar{c}) & 0.25s(r_1\bar{c}+\bar{r}c_1) & -0.11(sr_2c_1) & 0.25(1+s\bar{r}\bar{c})+0.14(sr_1c_1) & -0.11(sr_2c_1) \\ -2.08(1+s\bar{r}\bar{c})-0.60(sr_1c_1) & -0.60s(r_1\bar{c}+\bar{r}c_1) & -0.37(sr_2\bar{c}) & 1.47(1+s\bar{r}\bar{c})+0.26(sr_1c_1) & -0.11(sr_2c_1) & 1.71(1+s\bar{r}\bar{c})+0.26(sr_1c_1) \end{bmatrix}$$

(14)

表 2 参数的平均值

参数	c/fF	r/Ω	$l/\mu\text{m}$	$w/\mu\text{m}$
数值	11.5616	134.8046	0.13	3

利用本文中提出的延时模型算得非门的延时在无工艺变化下为 2.5666ps, 3σ 工艺变化下为 4.6702ps. 表 3 给出了利用本文模型求的反相器延时与 HSPICE 仿真结果的对比,同时给出利用本模型在工艺变化下的相对误差,误差值小于 2%. 在系统级延时分析,此误差已经很精确.通过 RC 网络延时的高阶分析能提高精度,但复杂度会提高.

表 3 本文方法与 HSPICE 仿真结果对比

实验条件	本文方法(/ps)	HSPICE 方法(/ps)	相对误差
无工艺变化	2.5666	2.8538	10%
3σ 工艺变化	4.6702	4.7503	2%

7 结论

本文提出一个考虑衬底耦合效应的 CMOS 反相器门延时模型,同时利用该模型给出一个在工艺变化条件下计算 CMOS 门延时的通用架构.对于简单相邻的反相器电路,进行了对比研究即本文提出的门延时模型计算结果与 HSPICE 仿真结果进行对比.结果表明等效 RC 网络模型很精确,并且工艺变化对门延时的影响趋势与 HSPICE 仿真结果相一致,对于 3σ 工艺变化下相对于 HSPICE 仿真结果延时误差为 2%,这表明本模型十分有效.

参考文献

[1] Chang H, Sapatnekar S S. Statistical Timing analysis under spa-

$= \mathbf{B}$, 其中 $\mathbf{M}$ 是系数矩阵具体形式如式(14)所示, $\mathbf{B}$ 是常数矩阵 $\mathbf{B} = V[2.93 \ 0 \ 0 \ -2.08 \ 0 \ -2.08]$, 其中 V 是常量的阶跃信号,在复频域表示为 $V = \frac{V_{dd}}{2T_r s^2} \cdot [1 - e^{-s \cdot T_r}]$, V_{dd} 为阶跃信号的高电位, T_r 为上升时间.

实验条件类似参考文献[17], 3σ 最大宽度变化为均值的 7%, 3σ 最大长度变化为均值的 35%. 表 2 给出相关参数的均值,其中 l 和 w 分别为 MOS 管的沟道长度和宽度, r 和 c 是 MOS 管的等价电阻和电容,这些参数值与 SMIC13 典型工艺值相一致.

tial correlations[J]. IEEE Transactions on Computer Aided Design, 2005, 24(9): 1467 – 1482.

[2] Visweswariah C, Ravindra K, et al. First-order Incremental block-based statistical timing analysis[A]. ACM/EDAC/IEEE Design Automation Conference [C]. Massachusetts: MIT Press, 2004. 331 – 336.

[3] Le J, Li X, Pileggi L T. STAC: Statistical Timing analysis with correlation [A]. ACM/EDAC/IEEE Design Automation Conference[C]. Massachusetts: MIT Press, 2005. 343 – 348.

[4] Rabaey J M, Chandrakasan A, Nikolic B. Digital Integrated Circuits [M]. Upper Saddle River: Pearson Education, 1996.

[5] Shinkai K, Hashimoto M, et al. A gate delay model focusing on current fluctuation over wide-range of process and environmental variability[A]. Proc ICCAD [C]. Massachusetts: MIT Press, 2006. 47 – 53.

[6] Aoki M, Hasegawa K, Itayama K, et al. Variability Analysis of inverter delay time [J]. IEEE Transactions on Electrical and Electronic Engineering, 2010, 31(5): 646 – 650.

[7] Charbon E, Gharpure R, et al. Substrate Noise[M]. Norwell, MA: Kluwer, 2001.

[8] Gray P R, Meyer R G. Analysis and Design of Analog Integrated Circuits[M]. New York: Wiley, 1984.

[9] Chen P, Kirkpatrick D A, Keutzer K. Static Crosstalk-Noise Analysis[M]. New York: Kluwer Academic Publisher, 2004.

[10] Predictive Technology Model [OL]. <http://ptm.asu.edu>, 2013.

[11] Papoulis A. Probability, Random Variables and Stochastic Process[M]. New York: McGraw Hill, 1991.

[12] Liu P, Pileggi L T, Strojwas A J. Model order reduction or RC interconnect including variational analysis [A]. Design Au-

tation Conferenc[C]. Massachusetts: MIT Press, 1999. 201 – 206.

[13] Mehrotra V, Sam S, et al. A methodology for modeling the effects of systematic within-die interconnect and device variation on circuit performance [A]. Design Automation Conference [C]. Massachusetts: MIT Press, 2000. 172 – 175.

[14] Li X, Janet M, et al. Stochastic Analysis of interconnect delay in presence of process variations [J]. Journal of Semiconductors, 2008, 29(2): 304 – 309.

[15] Junmou Z, Eby G F. Decoupling Technique and crosstalk analysis for coupled RLC interconnects [A]. Proceeding IS-CAS[C]. Massachusetts: MIT Press, 2004. 521 – 524.

[16] Ghanta P, Vrudhula S, et al. Stochastic power grid analysis considering process variations [A]. IEEE Design, Automation, and Test[C]. Massachusetts: MIT Press, 2005. 21 – 25.

[17] Nassif S R. Modeling and Forecasting of manufacturing variations [A]. IEEE Custom Integrated Circuit Conference [C]. Massachusetts: MIT Press, 2001. 223 – 226.

作者简介



王新胜 男, 1978 年 10 月出生于山东省威海市. 现为哈尔滨工业大学(威海)讲师. 在国内发表学术论文 20 余篇. 主要研究方向为深亚微米下大规模集成电路建模与分析.

E-mail: xswang@hit.edu.cn



喻明艳 男, 1965 年 2 月出生于浙江省. 1988 年毕业于哈尔滨工业大学计算机系. 现为哈尔滨工业大学教授, 从事大规模集成电路和新型体系结构研究.

E-mail: myyu@hit.edu.cn