

# 复合量子点 MOSFET 结构存储器的电路模拟

阎 锦, 施 毅, 濮 林, 杨红官, 杨 铮, 郑 有

(南京大学物理系和固体微结构物理国家重点实验室, 江苏南京 210093)

**摘 要:** 本文采用准经典近似的 Monte Carlo 方法对复合量子点 MOSFET 结构存储器的等效单电子电路进行了模拟. 研究表明, 由于台阶状的复合隧穿势垒的作用, 存储器的存储时间特性可得到极大提高. 我们进一步研究了 N 沟道锗/硅复合量子点 MOSFET 结构存储器的时间特性, 得到其存储时间可长达数年, 同时写擦时间可分别为  $L_s$  和 ns 量级, 从而这种新型的器件结构可以有效解决快速编程和长久存储间的矛盾.

**关键词:** 复合量子点; 单电子存储器; 电路模拟

**中图分类号:** TN386.1 **文献标识码:** A **文章编号:** 0372-2112 (2004) 12-1792-03

## Circuit Simulation of MOSFET Memory Based on Composite Quantum Dots

LV Jin, SHI Yi, PU Lin, YANG Hongguan, YANG Zheng, ZHENG You2dou

(Department of Physics & National Laboratory of Solid State Microstructures, Nanjing University, Nanjing, Jiangsu 210093, China)

**Abstract:** The time characteristics of the composite quantum dots based MOSFET memory is simulated with the Monte Carlo method in quasiclassical approximation. It indicates that the retention time could be improved evidently owing to the stepwise compound potential barrier. As an example, the time characteristics of N channel Ge/Si heteronano crystal based MOSFET memory is investigated and the retention time could be as long as several years, at the same time, the writing and erasing time can be in the order of  $L_s$  and ns, respectively. Hence the conflict between high speed programming and long retention could be resolved satisfying.

**Key words:** composite quantum dots; single electron memory; circuit simulation

### 1 引言

硅基纳米量子点结构存储器作为新一代信息存储器件(特别是闪速存储器)引起了人们广泛的研究兴趣<sup>[1~4]</sup>. 与传统的浮栅 MOSFET 结构存储器相比, 硅基纳米量子点 MOSFET 结构存储器具有更高的器件密度、集成度和更低的功率损耗, 特别是与大规模集成电路技术相兼容, 被认为是最有可能在工业界首先获得应用的纳米电子器件. 在这种器件结构中, 硅纳米量子点嵌于控制栅极和导电沟道之间的隧穿氧化层中, 加以适当的栅极偏压, 直接隧穿的电荷通过超薄的氧化层进出量子点, 从而使阈值电压发生改变. 因此在器件物理原理上, 直接隧穿的氧化层厚度是影响浮栅结构 MOSFET 结构存储器的擦写和存储时间的重要因素. 减小隧穿氧化层厚度有利于缩短编程时间, 然而电荷的存储时间则减小. 反之, 增加隧穿氧化层厚度, 有利于增长存储时间, 然而编程时间也随之延长. 因此纳米量子点 MOSFET 结构存储器要达到实际应用要求, 必须首先解决其编程时间和电荷存储时间之间的矛盾.

为了解决 Si 量子点 MOSFET 结构存储器的编程时间和电荷存储时间之间的矛盾, 施毅等提出了采用 Ge/Si 复合量子点代替传统的 Si 量子点作为 MOSFET 结构存储器的电荷存储单元<sup>[5]</sup>. 由于锗的禁带宽度小于硅的禁带宽度, 从而形成台阶状的复合隧穿势垒, 导致编程和存储模式下电荷的隧穿过程

不同, 实现在快速编程的同时, 电荷的存储时间可有极大的增长. 本文采用准经典近似的 Monte Carlo 数值模拟方法对复合量子点 MOS 结构存储器的简化等效电路进行了研究. 器件结构上考虑单一量子点, 由于量子限制效应和库仑阻塞效应作用, 构成单电子存储器, 因此可将复合量子点 MOS 结构存储器等效简化为单电子电路处理.

### 2 器件结构模型和模拟方法

复合纳米量子点 MOSFET 结构存储器的基本结构及其简化等效电路如图 1 所示.

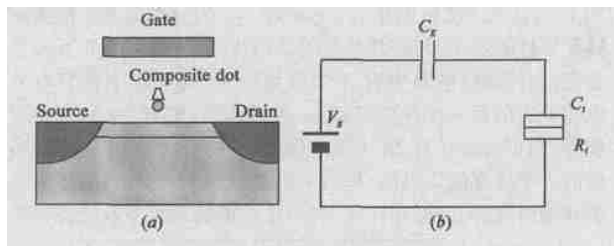


图 1 (a) 复合量子点 MOSFET 结构存储器的结构简图;  
(b) 简化等效电路图

在纳米量子点 MOSFET 结构存储器中, 量子点和沟道及之间的隧穿氧化层构成隧穿结. 隧穿结的动力学特性相当复杂, 根据半经典理论, 可等效简化为如图 2 所示的一个结电容

$C_i$  和表征量子隧穿效应的结电阻  $R_T$  并联的形式<sup>[9]</sup>, 从而电荷隧穿特性可用经典电学量, 如电流、电压参量等描述.

单电子隧穿的模型和隧穿中的库仑阻塞可简单地用半经典限制表示<sup>[6, 7]</sup>

$$R_T m R_K = \dot{U} / e^2 \quad (1)$$

其中  $R_T$  是隧穿结的隧穿电阻,  $\dot{U}$  是普朗克常数,  $e$  是电子电量.

根据半经典理论, 单电子隧穿率  $\#$  由隧穿前后系统自由能的增量决定

$$\Delta F = F_{\text{after}} - F_{\text{before}} \quad (2)$$

$$\# = \frac{1}{e^2 R_T} \frac{1 - \exp(-\Delta F / K_B T)}{\Delta F} \quad (3)$$

其中, 隧穿电阻  $R_T = \frac{\dot{U}}{2P e^2 |T|^2 Q Q} \quad (4)$

$|T|^2$  是电子隧穿过势垒的几率,  $Q$  和  $Q$  分别是电子在隧穿结左右两边电极中 Fermi 能级处的态密度,  $\dot{U}$  是普朗克常数,  $e$  是电子电量.

分析式(4)可知, 电子隧穿几率  $|T|^2$  随隧穿结上压降的变化决定着隧穿电阻的数值,  $|T|^2$  的计算可采用 WKB 近似<sup>[8]</sup>

$$|T|^2 = \exp \left[ - \frac{2}{\dot{U}} \left| \int_a^b \sqrt{2m(E - V(x))} dx \right| \right] \quad (5)$$

Monte Carlo 方法在单电子电路的数值模拟中广为采用<sup>[7, 9]</sup>, 其依据一定的概率模型直接模拟单电子系统中实际的电子输运过程. 在模拟计算中若给定一个隧穿事件的隧穿率  $\#$ , 则在时间  $t$  内发生隧穿的几率为

$$R(t) = 1 - \exp(-\#t) \quad (6)$$

因此, 隧穿事件的间隔时间由下式决定

$$S t = - \frac{1}{\#} \ln(1 - r) \quad (7)$$

本文在采用 Monte Carlo 方法进行数值模拟中, 根据单电子系统目前所处的状态  $S_0$ , 获得发生一次随机隧穿后系统可能出现的所有状态  $S_1, S_2, \dots, S_m$ , 以及相应隧穿事件的发生时刻  $t_1, t_2, \dots, t_m$ . 然后选择  $t_k = \min\{t_1, t_2, \dots, t_m\}$  作为下一次实际隧穿事件的发生时刻; 其对应的状态  $S_k$  也就是系统的下一个状态. 当(等效)电路中有  $n$  个隧穿结时, 则电路中各节点的电荷分布的每一次改变都有  $2n$  种可能性, 即有  $2n$  种隧穿可能性, 所以需要计算  $2n$  个隧穿间隔的时间  $t$ , 然后比较得到最短的一个隧穿间隔时间, 即为实际发生的两次相邻隧穿事件的间隔时间. 如此循环往复, 每一步结束后单电子系统都要根

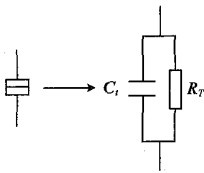


图2 隧穿结的等效简化

据新状态进行调整, 然后进入下一步的计算, 具体过程如图 3 程序计算流程图所示.

### 3 模拟结果和讨论

本文在数值模拟中采用复合量子点 MOSFET 存储器结构, 器件结构的能带简图如图 4 所示. 器件中隧穿结层为二氧化硅, 沟道为硅材料, 则复合势垒中的较高势垒  $5_1 = 3.15 \text{ eV}$ . 相应的参数取值分别为:  $C_g = 0.13 \text{ aF}$ ,  $C_i = 0.15 \text{ aF}$ . 图 5 给出了器件保留时间  $t_r$  随低势垒高度  $5_2$  的变化关系曲线, 其中复合量子点的高度均取为  $5 \text{ nm}$ , 隧穿氧化层的厚度取为  $2.5 \text{ nm}$ . 由此可见, 器件保留时间  $t_r$  随  $5_2$  数值增加而迅速增长, 因此复合势垒中较低势垒的高度  $5_2$  对器件的保留时间  $t_r$  有着决定性的影响.

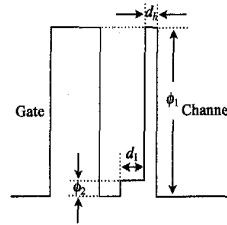


图4 复合量子点 MOSFET 存储器结构的能带简图

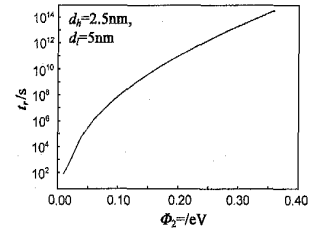


图5 复合量子点存储器随不同复合势垒的存储特性

同时当低势垒的高度  $5_2$  变化范围较小时, 器件的写入时间  $t_w$  和擦除时间  $t_c$  只随栅压数值变化, 如图 6 所示. 因而可适当选择材料使复合势垒中较低势垒的数值较大, 从而可以在擦写时间特性不变的前提下提高器件的保留时间特性. 在微电子工业中, Si 和 Ge 已广为应用, 故本文对 Ge/Si 复合量子点 MOS 结构存储器的存储特性作了模拟研究.

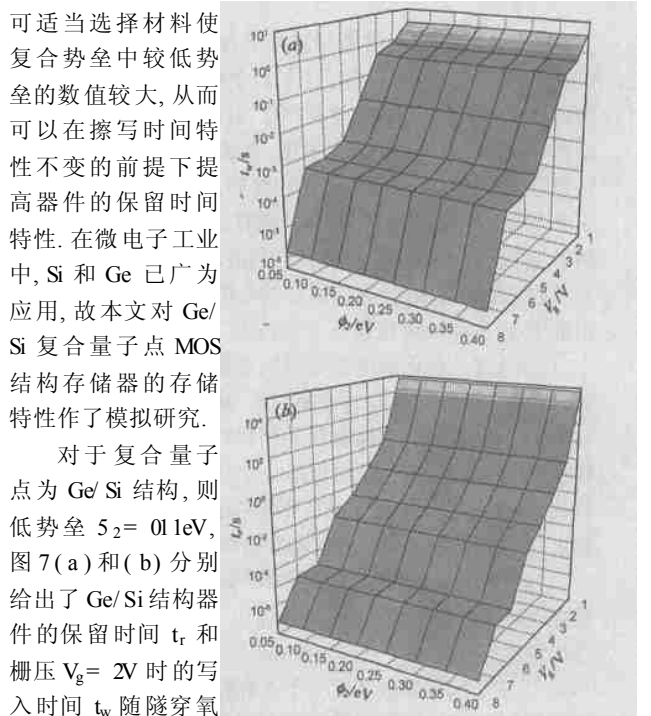


图6 (a) 复合量子点 MOS 结构存储器的写入时间  $t_w$  随低势垒  $5_2$  和栅压的变化特性; (b) 擦除时间  $t_c$  随低势垒  $5_2$  和栅压的变化特性

由图可见, 在 Si

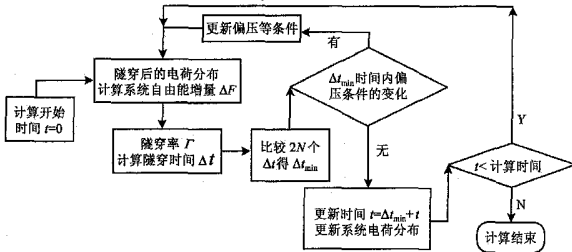


图3 程序计算流程图

量子点高度  $d_1$  一定时, 保留时间  $t_r$  和写入时间  $t_w$  都随隧穿氧化层厚度  $d_h$  迅速增长, 而两者时间之比  $t_r/t_w$  变化较小; 在隧穿氧化层厚度  $d_h$  一定时, 写入时间  $t_w$  随 Si 量子点高度  $d_1$  变化很小, 可见达到一定的栅压阈值时, 写入时间  $t_w$  受 Si 量子点高度的影响已经很小; 同时保留时间  $t_r$  和两者时间之比  $t_r/t_w$  随 Si 量子点高度  $d_1$  变化较大, 因此可通过调制 Si 量子点高度  $d_1$  来实现良好的存储效应. 但当 Si 量子点高度增加时, 擦除时间  $t_e$  也将随之增加, 故为了获得良好的存储效应和编程时间, 隧穿氧化层厚度  $d_h$  和 Si 量子点高度  $d_1$  均应取适当的数值. 计算结果表明, 在隧穿氧化层厚度  $d_h$  取 21.5nm 和 Si 量子点高度  $d_1$  取 5nm 时, 存储时间可达数年.

我们进一步研究了编程时间与工作栅压的关系. 图 8(a) 和 (b) 分别给出了写入时间  $t_w$  和擦除时间  $t_e$  随栅压  $V_g$  的变化的模拟结果. 当栅压  $|V_g|$  为 4V 时的写入时间  $t_w$  和擦除时间  $t_e$  均为 ms 量级, 而当栅压  $|V_g|$  增加到 8V 时的写入时间  $t_w$  进入 Ls 量级, 擦除时间  $t_e$  达到 ns 量级. 由此可见, 复合量子点 MOS 存储器结构可实现极高速的编程.

### 4 结论

我们对复合量子点 MOSFET 结构存储器的 Monte Carlo 模拟研究结果表明, 由于台阶状复合隧穿势垒的作用, 其存

储特性可有极大提高, 且 N 沟道锗/硅复合量子点 MOSFET 结构存储器存储时间可长达数年, 同时写擦时间可分别为 Ls 和 ns 量级, 有效解决快速擦写编程和长久存储之间的矛盾可以作为一种性能优异的存储器.

**致谢:** 本文作者对中国科学院半导体研究所吴南建教授所给予的指导和帮助表示衷心感谢.

### 参考文献:

- [ 1 ] S Tiwari, F Rana, H Harafi, A Hartstein, E F Grabbe, K Chan. A sil2 con nanocrystals based memory[ J ]. Appl. Phys. Lett, 1996, 68(10): 1377- 1379.
- [ 2 ] L J Guo, E Leobandung, S Y Chou. A silicon singleelectron transistor memory operating at room temperature[ J ]. Science, 1997, 275: 649- 651.
- [ 3 ] K Yano, T Ishii, T Sano, T Mine, F Murai, T Hashimoto, T Kobayashi, T Kure, K Seki. Single electron memory for gig2t2tera bit storage[ J ]. Proc. IEEE, 1999, 87(4): 633- 651.
- [ 4 ] 施毅, 袁晓利, 吴军, 杨红官, 顾书林, 韩平, 郑有 . 硅纳米晶粒基 MOSFET 存储器的荷电特征研究[ J ]. 电子学报, 2001, 29(2): 145- 147.
- [ 5 ] Shi Y, Yuan X L, Wu J, et al. Silicon2Based Nanocrystal Memories in Proc of SODC 2000[ C ]. Nanjing, 2000. 142- 145.
- [ 6 ] G L Ingold, Yu V Nazarov. Charge Tunneling Rates in Ultrasmall Jun2 tions, in SingleCharge Tunneling[M]. ed. By H. Grabert and M. H. De2 voret. New York: Plenum, 1992. 21- 108.
- [ 7 ] S Amakawa, H Majima, H Fukui, M Fujishima, K Hoh. Single electron circuit simulation[ J ]. IEICE Trans on Electronics, 1998, E81C(1): 21 - 29.
- [ 8 ] 曾谨言. 量子力学 (卷 0) (第三版)[ M ]. 北京: 科学出版社, 2002. 114.
- [ 9 ] C Washuber, H Koima, S Selberher. SMON))) A Simul2ou for sin2 gl2electron tunne2kdevices and circuits[ J ]. IEEE Transactions on Con2 pute2Aided Design of Integrated Circuits and Systems, 1997, 16(9): 937- 944.

### 作者简介:



阎 锦 男, 1980 年出生, 2002 年进入南京大学物理系微电子与固体电子学专业攻读博士学位, 主要研究领域为硅基纳米结构物理及器件.



郑有 男, 1935 年出生, 1957 年毕业于南京大学物理系, 现为中国科学院院士, 主要从事新型半导体异质结构材料物理与器件研究.

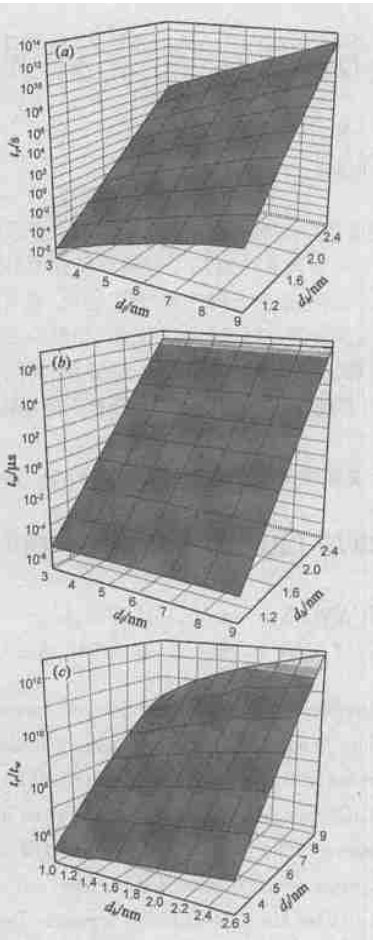


图 7 (a) Si/ Ge 量子点存储器随隧穿氧化层厚度  $d_h$  和 Si 量子点高度  $d_1$  的存储特性; (b)  $V_g = 2V$  时的写入特性; (c) 保留时间和写入时间的比值

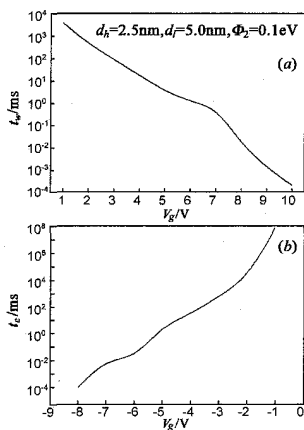


图 8 (a) Si/ Ge 量子点 MOS 存储器随栅压  $V_g$  的写入时间; (b) 擦除时间特性