

# 一种新型高精度 DLL 鉴相器设计

冀 蓉<sup>1,2</sup>, 冯颖劼<sup>1</sup>, 曾献君<sup>1</sup>, 陈 亮<sup>1</sup>, 张峻峰<sup>2</sup>, 罗 钢<sup>1</sup>

(1. 国防科技大学计算机学院, 湖南长沙 410073; 2. 西安卫星测控中心, 陕西西安 710043)

**摘 要:** 本文从研究静态相位误差对 DLL(Delay-Locked Loop)环路的影响入手, 基于 Hogge 和 Alexander 结构鉴相器, 设计了一款用于 30 相 500MHz DLL 的新型高精度鉴相器. 与传统的线性鉴相器和二进制鉴相器相比, 文中提出的新型鉴相器电路既具有理想线性鉴相器的特点, 又解决了电荷泵开启死区的问题, 消除了电流舵结构的电荷泵因电流失配带来的静态相位误差. 对该鉴相器电路进行 0.13 $\mu\text{m}$  CMOS 工艺下的版图实现, 版图之后的仿真结果显示: 该鉴相器能正确鉴别 1ps 以上的相位延迟差, 鉴相的精度高达 0.18°, 完全满足设计要求.

**关键词:** 鉴相器; 延迟锁相环; 相位误差; 时钟相位; 时钟抖动

**中图分类号:** TN43 **文献标识码:** A **文章编号:** 0372-2112 (2009) 08-1694-05

## The Design of a Novel High-Resolution DLL Phase Detector

Ji Rong<sup>1,2</sup>, FENG Ying-jie<sup>1</sup>, ZENG Xian-jun<sup>1</sup>, CHEN Liang<sup>1</sup>, ZHANG Jun-feng<sup>2</sup>, LUO Gang<sup>1</sup>

(1. School of Computer Science, National University of Defense Technology, Changsha, Hunan 410073, China;

2. Xi'an Satellite Control Center, Xi'an, Shaanxi 710043, China)

**Abstract:** In this paper, based on an analysis of the effects of static phase errors on delay-locked loop (DLL), a novel high-resolution phase detector (PD) in use for a 30-phase 500MHz DLL, is proposed. It incorporates the feature of the Hogge PD with the feature of the Alexander PD. Compared with conventional linear and binary PDs, the proposed PD not only has advantages of a perfect linear PD, but also solves the problem of dead zone in course of charge pump's switch transition, which exists in linear PDs, and eliminates static phase errors caused by current mismatch in the charge pump. Furthermore, the layout of the proposed PD in a 1.2-V 0.13 $\mu\text{m}$  CMOS process is implemented. Finally, the HSPICE post-layout simulation is performed. The simulation results show that the proposed PD can detect the delay difference between two phases no less than 1ps, and achieve the resolution of 0.18 degree.

**Key words:** phase detector; delay-locked loop; static phase error; clock phase; clock jitter.

### 1 引言

鉴相器是通过对输入信号的相位进行比较, 输出脉宽与相位差对应的脉冲信号, 驱动电荷泵使 DLL 完成对相位跟踪的电路. 由于鉴相器的非理想因素如输入信号的延迟失配和输入脉冲宽度盲区等, 鉴相器的输出会有一定的静态相位误差<sup>[1,2]</sup>. 本文将从静态相位误差对 DLL 环路的影响分析入手, 基于 Hogge 和 Alexander 结构鉴相器特点, 设计一款用于 30 相 500MHz DLL 的新型高精度鉴相器.

### 2 静态相位误差对 DLL 环路影响的分析

与锁相环 PLL(Phase-Locked Loop)不同, DLL 的鉴相

结果对最终的输出结果有更加直接的影响, 在 PLL 环路中静态相位误差的存在不会造成 PLL 的失锁, 即对输出频率的影响, 只是会增加控制电压的抖动. 但是在 DLL 中静态相位误差会造成输出相位的偏移<sup>[3~5]</sup>. 考虑 30 相的 DLL 存在周期 1% 的静态相位误差的情况(无其他非理想因素), 其相位轮图如图 1 所示.

设一个周期的时间为  $T$ , 静态相位误差为  $\Delta\varphi$ , 则理想情况下每两个相邻相位间的时间间隔  $PI_1$  为:

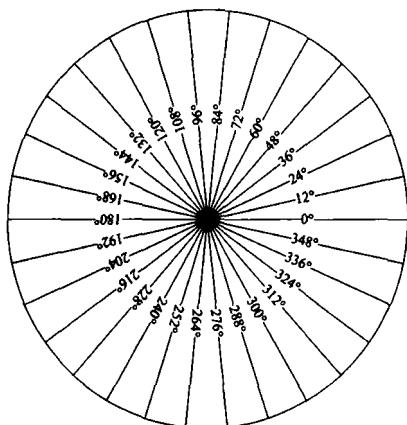
$$PI_1 = \frac{T}{30} \quad (1)$$

周期误差 1% 的情况下两个相邻相位间的时间间隔  $PI_2$  为:

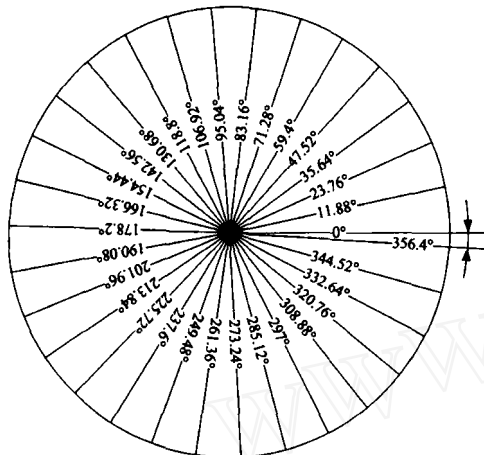
$$PI_2 = \frac{T}{30} \left(1 - \frac{\Delta\varphi}{2\pi}\right) \quad (2)$$

收稿日期: 2008-01-10; 修回日期: 2008-12-29

基金项目: 国家自然科学基金(No. 60676016)



(a) 理想30相DLL的相位轮图



(b) 相位误差1%的30相DLL的相位轮图

图1 30相DLL的相位轮图

因为无其它非理想因素,则两种情况输出相位中第一相相差为0,第二相相差  $PI_1 - PI_2$ ,第三相相差  $2(PI_1 - PI_2)$ ,以此类推,可以计算出相位的均方根抖动:

$$Jitter_{RMS} = \sqrt{\frac{\sum_{i=1}^{30} \left[ (i-1) \frac{\Delta\varphi T}{2\pi \cdot 30} \right]^2}{30}} \quad (3)$$

将  $\frac{\Delta\varphi}{2\pi} = 0.01$ ,  $T = 2000ps$  代入式(3),则有:

$$Jitter_{RMS} = \frac{2}{3} \sqrt{\frac{\sum_{i=1}^{29} i^2}{30}} ps \approx 11.258ps \quad (4)$$

由于该均方根抖动已经接近系统对于  $10^{-12}$  误码率 (对应采样时钟的  $Jitter_{RMS} \approx 11.373ps$ ) 要求的极限,在 DLL 环路中微小的静态相位误差都会引起很大的抖动,所以,鉴相精度对环路输出的抖动和锁定时间具有重要影响。

除了鉴相器精度以外,电荷泵的电流失配也会带来静态相位误差.假设电荷泵的充电电流为  $I_{ch}$ ,放电电流  $I_{dis} = -(I_{ch} + \Delta I)$ ,鉴相器输出的 UP 和 DN 信号脉宽分别为  $W_{UP}$  和  $W_{DN}$ .当相位锁定时,控制电压不变,环路滤波器的充电电荷等于放电电荷,即:

$$I_{ch}W_{UP} + I_{dis}W_{DN} = 0 \quad (5)$$

此时的静态相位误差即为:

$$W_{UP} - W_{DN} = \frac{\Delta I}{I_{ch} + \Delta I} W_{UP} = \frac{\Delta I}{I_{ch}} W_{DN} \quad (6)$$

可见电荷泵的失配电流与静态相位误差成正比例关系.然而由于电荷泵电流失配是由开关管的匹配、输出电压、温度、工艺等各个方面的因素引起的,要完全消除电流失配基本不可能,因此要求在鉴相器的设计中考虑能够减小电荷泵的非理想因素。

### 3 传统鉴相器的设计方法

根据鉴相器的输出与相位差之间的关系,通常将鉴相器分为线性鉴相器<sup>[6]</sup>和二进制鉴相器<sup>[7]</sup>两种.大部分的线性鉴相器基于的是 Hogge 结构,该结构输出一个宽度与相位差成正比的 HU 或 SD 信号;而二进制鉴相器基于的是 Alexander 结构,它根据输入数据和时钟信号之间超前或滞后的关系,输出一个等宽度的 LD 或 COMP 信号。

#### 3.1 线性鉴相器

线性鉴相器通过比较输入数据和反馈时钟之间的相位关系,产生一个宽度等于两者相位误差的输出信号,图2给出了一种线性鉴相器的实现方法。

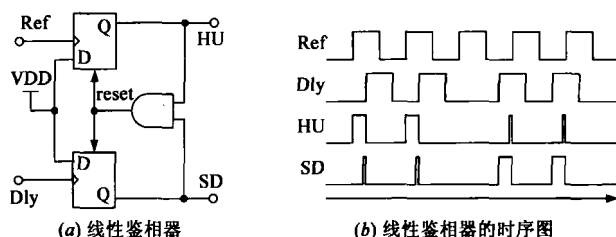


图2 线性鉴相器的实现

线性鉴相器由两个带置位的触发器、一个与门和两个输出缓冲器组成,触发器的 D 端输入都接逻辑“0”,输入参考时钟和环路反馈时钟分别为 Ref 和 Dly,它们作为触发器的时钟输入.设最初两个触发器被置位,则输出端为低.假设 Ref 的上升沿先于 Dly 到来,则 HU 先输出为高,接着 Dly 也从低变为高,SD 也输出为高.但是通过一个与门的传播延时,两个触发器被置位, HU 和 SD 再次输出为低,回到初态。

对于线性鉴相器来说,每个周期能根据相位差的大小正比地输出鉴相信号,加快了锁定速度,并且在相位差缩小到一定的范围后仍然能保证相当高的鉴相精度.在锁定情况下,压控延迟线控制电压产生的抖动较小.但是这种鉴相器存在一个明显的缺点:每个周期既有充电信号也有放电信号,并且输出信号的脉宽必须保证大于一个定值,以保证输出能够避开电荷泵的“死区”,开启电荷泵的电流开关.通过公式(6)的推导可以

知道:在这种情况下,当电荷泵电流失配时会引入静态相位误差.

### 3.2 二进制鉴相器

与线性鉴相器不同,二进制鉴相器的输出只能表征输入数据和反馈时钟之间的超前/滞后关系.

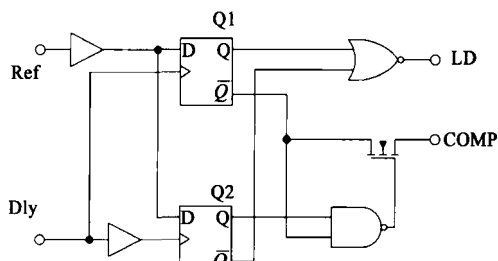


图3 二进制鉴相器

二进制鉴相器电路如图3所示,其工作原理是:Ref端口输入标准参考时钟,Dly端输入反馈时钟,缓冲器单元为单位延迟单元,一方面对标准时钟进行单位延迟,另一方面将参考时钟与后级负载隔离,降低参考时钟自身的偏斜.单位延迟后的参考时钟信号由无延迟的反馈信号和单位延迟后的反馈信号通过两个D触发器分别采样,通过对采样结果Q1和Q2进行逻辑运算,得出参考时钟与反馈时钟的相位比较输出信号LD和COMP.鉴相结果的真值表如表1所示.

表1 二进制鉴相器真值表

Q <sub>1</sub>	Q <sub>2</sub>	LD	COMP	说明
0	0	0	1	Dly 相位超前
0	1	1	高阻	相位锁定,无需补偿
1	0	0	0	Dly 相位滞后
1	1	0	0	Dly 相位滞后

与线性鉴相器不同,二进制鉴相器的输出只能反映时钟和数据之间超前或滞后的相位关系,不能反映出相位差的大小,所以锁定速度慢,在锁定的条件下会产生较大的抖动.但其优点是在每个周期中不会有同时充电和放电的情况,这等价于在环路锁定时将不受电荷泵电流失配的影响.

目前对于高精度鉴相器的研究主要有:在基本原理不变的情况下,为了提高Hogge结构鉴相器精度,文献[8]提出了一种能自动调整时钟跳变沿至最佳采样点的改进型Hogge鉴相器;为了实现线性的相位向数字的转换,文献[9]提出了一种具有面积和功耗小等优点的修正型Hogge鉴相器.此外,为了提高Alexander鉴相器的精度,研究者们对Alexander结构也进行了不少改进,例如:为了减小抖动来提高精度,文献[10]提出了一种半速bang-bang结构的Alexander鉴相器,文献[11]提出了一种线性半速Alexander鉴相器.但是,无论是上述的改进型Hogge结构鉴相器<sup>[8,9]</sup>还是优化后的Alexander鉴相器<sup>[10,11]</sup>均无法超越其所基于的基本结构

本身的局限性,从而影响了对其精度的进一步提高.

## 4 一种新型高精度鉴相器的设计

### 4.1 总体设计思想

鉴于采用单一的Hogge鉴相器和Alexander鉴相器无法超越各自固有缺陷对精度提高的桎梏,本文提出并设计了一款新型高精度混合型鉴相器,该鉴相器结合线性鉴相器和二进制鉴相器优点,实现了较低的输出相位均方根抖动,使得其具有较高的鉴相灵敏度和精度,该鉴相器的总体电路结构如图4所示.

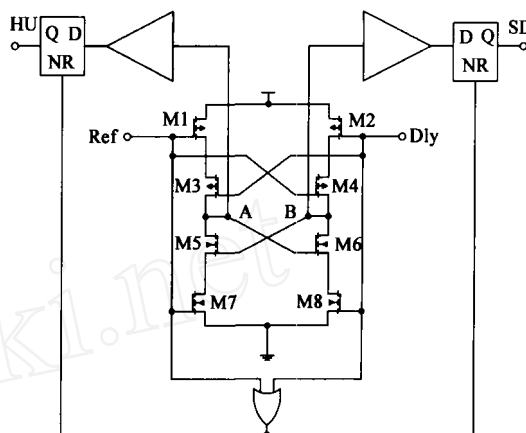


图4 本文提出的新型鉴相器

该鉴相器电路由两个交叉耦合的C<sup>2</sup>MOS反相器、一个或门、两个延迟缓冲器和两个负边沿敏感的锁存器组成.其基本设计原理是:先到来的输入信号通过控制C<sup>2</sup>MOS反相器的钟控端阻止后到来的输入信号改变输出,使每周期不同时产生充电和放电过程,这里类似二进制鉴相器的工作方式,避免了电荷泵电流失配的影响.同时,脉冲的宽度受相位差的控制,相位差越大,输出脉冲越宽,这里又借鉴了线性鉴相器的优点,加快了环路锁定速度,减小了控制电压的抖动.

### 4.2 工作原理及时序分析

图4所示的新型鉴相器电路的工作原理如下:

在两个输入信号Ref和Dly的上升沿到来之前M1、M2、M3、M4都导通,M7和M8截止,电源对A、B两点充电为高,M5和M6导通.A、B两点通过缓冲器连接到锁存器,即锁存器输入为高.但由于锁存器的复位端是低电平有效,所以输出一直保持为低,即输出HU和SD都为低.

假设Ref的上升沿先于Dly的上升沿到达,M1、M4首先截止,M7导通,B点的电位保持不变,M5导通,此时A点放电,电位由高变低,M6随之截止.至此先到达的Ref在A点给出了一个下降沿,同时B点所在的支路被M4和M6两管封锁,处于高阻态,无论Dly的输入如何,B点将不发生变化.

在 A 点发生变化的同时,由于输入 Ref 变为高,或门的输出端也由低变为高,此时锁存器的复位端被撤销,锁存器的输出将响应输入的变化.这里值得注意的是:从输入 Ref 的正跳变到锁存器 D 端的负跳变之间的延时一定要大于从 Ref 的正跳变到锁存器 NR 端正跳变的延时,以保证在锁存器 D 端的数据输入时复位信号已经撤销.

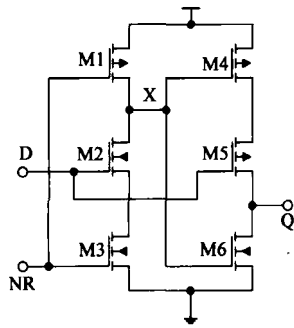


图5 用于鉴相器的锁存器

图 5 给出了负边沿敏感的锁存器的电路结构图.当 NR 端为低时,无论 D 端为何值,输出总是通过 M4 截止和 M6 导通而输出低电平.当 NR 无效为高时,M1 截止,M3 导通,X 点在输入 D 为高时通过 M2、M3 放电为低,此时 M4 导通,M6 截止.但由于 M5 处于截止态,所以输出 Q 不发生变化.当 D 端的下降沿到来,M2 截止,X 点保持为低,M5 导通,输出 Q 通过 M4、M5 管充电跳变为高,这个状态将一直持续到 NR 再次有效.

鉴相器输出脉冲的宽度是由相位差和输入信号的脉宽共同决定的.往往在输入信号之间的相位差很小时,其时间间隔也很小,如果鉴相器输出的脉冲宽度太小,则没有足够的时间打开电荷泵的充放电开关.为了解决这个问题,可以将输出脉冲宽度增加一个固定值,我们在设计中将该固定值选为半个时钟周期.

在图 4 中,或门控制的复位信号实现了将相位差延长半周期的功能.如图 6 所示,输出信号的下降沿由复位信号决定,而复位信号来自输入信号的下降沿,因此输出脉冲宽度的范围是  $T/2$  到  $T$ ,其中  $T$  是输入信号周期.

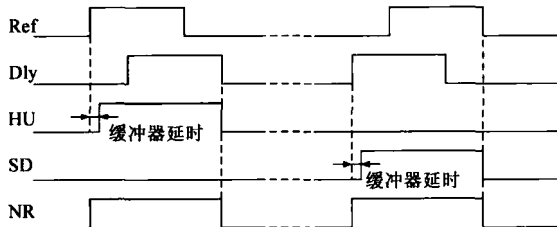


图6 新型鉴相器的时序图

尽管该新型鉴相器采用交叉耦合的  $C^2MOS$  反相器保证了鉴相器的精度.但是当两输入信号相位严格对齐或者相位差小于鉴相器的最小鉴相精度时,A 点和 B

点将无法通过  $C^2MOS$  的钟控端相互阻止信号输出,在输入相位上升沿都将有一个下降沿产生,即在输出端输出两个宽度相等的高电平,这一点使得该款鉴相器在相位对齐时仍然会受一定的电荷泵电流失配影响.不过,由于鉴相精度很高,电荷泵失配造成的静态相位误差影响将被大大减小.

### 5 版图后 HSPICE 模拟及分析

在充分验证了该电路的有效性和准确性后,我们对该电路进行了  $0.13\mu m$  CMOS 工艺下的版图实现.由于应用该鉴相器的 DLL 对静态相位误差有严格的要求,因此在版图布局设计时需要严格的几何对称,鉴相器的版图布局几乎是左右镜像的.此外,在作信号跳线、接线时尽量保持一致且对称,同时尽量使用同层金属,进一步降低静态相位误差的产生.该鉴相器的版图如图 7 所示.

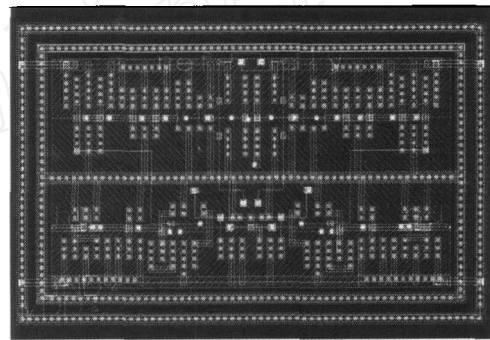


图7 新型鉴相器的版图

实现版图后,我们针对该鉴相器进行了大量的版图后寄生参数反标仿真,图 8 给出了在典型情况下 DLL 锁定时鉴相器的输出.通过测量可知在相位间延迟相差为  $1ps$  时该鉴相器也可正确鉴别,这种高的相位鉴别灵敏度保证了 DLL 在锁定时几乎不会出现静态相位误差.此外,由于该鉴相器采用交叉耦合的  $C^2MOS$  逻辑结构,晶体管尺寸也经过仿真优化,版图设计时又严格保证了对称性,所以实现版图后该款鉴相器的性能优异,

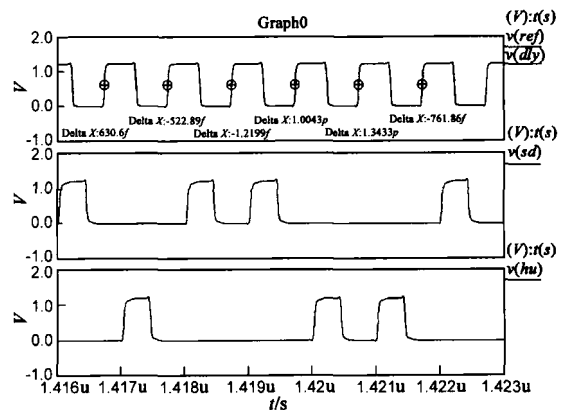


图8 寄生参数反标后的鉴相器仿真波形

鉴相精度可达到  $0.18^\circ$ . 因此, 应用该新型鉴相器的 30 相 DLL 工作在 500MHz 时将不会产生  $1\text{ps}/2\text{ns} = 0.05\%$  以上的静态相位误差, 输出相位的均方根抖动仅为:

$$Jitter_{RMS} = \frac{1}{30} \sqrt{\sum_{i=1}^{30} i^2} \text{ps} \approx 0.5629\text{ps}$$

文献[9~11]中采用的鉴相器是目前应用于高速时钟恢复电路的三款高精度鉴相器, 其输出相位均方根抖动分别为  $1.2\text{ps}$ <sup>[9]</sup>、 $1.35\text{ps}$ <sup>[10]</sup>、 $0.96\text{ps}$ <sup>[11]</sup>. 因此, 与上述三种高精度鉴相器相比, 文中设计实现的鉴相器在输出相位均方根抖动方面具有更明显的优势, 充分体现了该款鉴相器的高精度特性.

## 6 结论

本文从研究静态相位误差对 DLL 环路的影响入手, 基于 Hogge 和 Alexander 鉴相器结构特点, 设计了一款用于 30 相 500MHz DLL 的新型高精度鉴相器. 与传统的线性 and 二进制鉴相器相比, 该鉴相器既有理想线性鉴相器的特点, 又解决了电荷泵开启死区的问题, 消除了电流舵结构的电荷泵因电流失配带来的静态相位误差. HSPICE 版图后模拟结果表明: 该鉴相器性能稳定, 鉴相精度高, 较大程度地降低了静态相位误差, 达到了预定的设计要求.

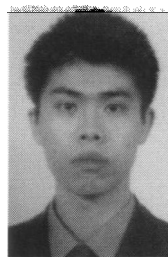
## 参考文献:

- [1] Fahim Amr M. Clock generators for SOC processors: circuits and architecture[M]. New York: Kluwer Academic Publishers, 2005.
- [2] Jari Nurmi. Processor design: system-on-chip computing for ASICs and FPGAs[M]. Berlin: Springer, 2007.
- [3] Ramin Farjad-Rad, William Dally, et al. A low-power multiplying DLL for low-jitter multigigahertz clock generation in highly integrated digital chips[J]. IEEE Journal of Solid-State Circuits, 2002, 37(12): 1804 - 1812.
- [4] Byung-Guk Kim and Lee-Sup Kim. A 250-MHz-2-GHz wide-range delay-locked loop[J]. IEEE Journal of Solid-State Circuits, 2005, 40(6): 636 - 642.
- [5] 何小威, 陈亮, 等. 基于相位合成的时钟 50% 占空比调节电路设计[J]. 电子学报, 2007, 35(8): 1572 - 1576.  
He Xiao-wei, Chen Liang, et al. Design of 50% duty-cycle correction based on phase-blending[J]. Acta Electronica Sinica, 2007, 35(8): 1572 - 1576. (in Chinese)
- [6] Behzad Razavi. 模拟 CMOS 集成电路设计(影印版)[M]. 北京: 清华大学出版社, 2005.
- [7] Behzad Razavi. Design of analog CMOS integrated circuits (Gravure)[M]. Beijing: Tsinghua University Press, 2005.
- [7] Guang-Kaai Dehng, June-Ming Hsu et al. Clock-deskew buffer using a SAR-controlled delay-locked loop. IEEE Journal of Solid-State Circuits, 2000, 35(8): 1128 - 1136
- [8] 李学初, 高清运, 陈浩琼, 秦世才. CMOS 集成时钟恢复电路设计[J]. 电子与信息学报, 2007, 29(6): 1496 - 1499.  
Li Xuechu, Gao Qingyun, et al. The design of monolithic CMOS clock recovery[J]. Journal of Electronics & Information Technology. 2007, 29(6): 1496 - 1499. (in Chinese)
- [9] Michael H. Perrott, Yunteng Huang, et al. A 2.5-Gb/s multi-rate 0.25- $\mu\text{m}$  CMOS clock and data recovery circuit utilizing a hybrid analog/digital loop filter and all-digital referenceless frequency acquisition[J]. IEEE Journal of Solid-State Circuit, 2006, 41(12): 2930 - 2944.
- [10] Che-Fu Liang, Sy-Chyuan Hwu and Shen-Iuan Liu. A 10Gbps burst-mode CDR circuit in 0.18 $\mu\text{m}$  CMOS [A]. Proceedings of the 2006 IEEE Custom Intergrated Circuits Conference [C]. San Jose: IEEE Computer Press, 2006. 599 - 602.
- [11] Christian Kromer, Gion Sialm, Christian Menolfi, Martin Schmatz, Frank Ellinger, and Heinz Jäckel. A 25-Gb/s CDR in 90-nm CMOS for High-Density Interconnects [J]. IEEE Journal of Solid-State Circuit, 2006, 41(12): 2921 - 2929.

## 作者简介:



冀 蓉 女, 1976 年生于陕西商州, 国防科技大学计算机学院博士研究生, 研究方向为微处理器设计、大规模集成电路设计。  
E-mail: rongji@nucl.edu.cn



冯颖勃 男, 1980 年生于湖南湘潭, 国防科技大学计算机学院硕士毕业, 现在华为海思半导体, 从事网络转发芯片开发. 主要研究方向为微处理器设计、大规模集成电路设计.

曾献君 男, 1966 年生于湖南衡阳, 国防科技大学计算机学院教授、博士生导师. 主要研究方向为高速时钟产生与处理及锁相环设计、大规模集成电路设计.