

基于人工智能算法的单级全差分折叠式共源共栅运算放大器的多目标设计方法

李照希, 苏震宇, 田宇浩, 侯琛雪, 杨银堂*

(西安电子科技大学集成电路学部, 陕西西安 710126)

摘要: 随着集成电路制造技术的发展, 模拟集成电路设计面临着功耗、增益等性能指标折中的挑战。传统的设计方法依赖于近似方程和反复迭代, 导致效率低下。本文提出了一种基于人工智能算法的多目标设计策略, 用于单级全差分折叠式共源共栅运算放大器的设计。该方法采用神经网络模型来表征设计参数与8个性能指标之间的映射关系, 并通过适应度函数和约束条件设定运放所需达成的目标性能, 再使用粒子群优化(Particle Swarm Optimization, PSO)算法搜寻最佳适应度。实验结果表明, 多项指标均优于设计目标, 其中最大电压增益达到了65 dB, 相位裕度为74°。利用该方法, 能够快速且准确地获得满足设计要求的运放参数。与手工计算相比, 该方法的运行时间仅为906 s, 显著提高了设计效率, 未来可应用于更多大规模电路设计中。

关键词: 人工智能算法; 全差分折叠式共源共栅运算放大器; 多目标设计; 神经网络模型; 粒子群优化

基金项目: 国家自然科学基金(No.62304165); 中国博士后科学基金专项资金(No.2024T170691); 中国博士后科学基金(No.2023M732745); 国家博士后资助计划(No.GZC20232024); 陕西省博士后科研项目(No.30102230001)

中图分类号: TN40; TN43

文献标识码: A

文章编号: 0372-2112(2025)06-1784-08

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20250055

第二十七届中国科协年会学术论文

Multi-Objective Design Method for Single-Stage Fully Differential Folded Cascode Operational Amplifiers Based on the Artificial Intelligence Algorithm

LI Zhao-xi, SU Zhen-yu, TIAN Yu-hao, HOU Chen-xue, YANG Yin-tang*

(Department of Integrated Circuits, Xidian University, Xi'an, Shaanxi 710126, China)

Abstract: With the advancement of integrated circuit manufacturing technology, analog integrated circuit design faces the challenge of trade-offs between performance metrics such as power consumption and gain. Traditional design methods, reliant on approximate equations and iterative refinement, are inefficient. This paper presents an artificial intelligence algorithm-based multi-objective design strategy for the design of a single-stage fully differential folded cascode operational amplifier. This method employs a neural network model to characterize the mapping relationship between design parameters and eight performance metrics, and sets the target performance for the operational amplifier to achieve through fitness functions and constraint conditions, then utilizes particle swarm optimization (PSO) algorithm to search for the optimal fitness. Experimental results show that multiple metrics exceed design targets, with a maximum voltage gain of 65 dB and a phase margin of 74°. Using this method, we can quickly and accurately obtain operational amplifier parameters that meet design specifications. Compared to manual calculations, this method reduces the running time to merely 906 seconds, significantly improving the design efficiency. It can be applied to more large-scale circuit designs in the future.

Key words: artificial intelligence algorithms; fully differential folded cascode operational amplifier; multi-objective design; neural network model; particle swarm optimization

Foundation Item(s): National Natural Science Foundations of China (No.62304165); China Postdoctoral Science Foundation Special Funding (No.2024T170691); China Postdoctoral Science Foundation (No.2023M732745); National Funded Postdoctoral Program of China (No.GZC20232024); Shaanxi Province Postdoctoral Scientific Research Project Grant (No.30102230001)

1 引言

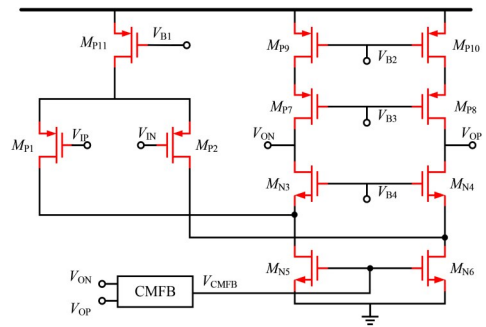
运算放大器是模拟系统以及众多混合信号系统的重要组成部分. 随着集成电路制造工艺的进步, 特征尺寸不断缩小, 传统的一阶或二阶模型已无法准确描述晶体管的工作特性^[1]. 在模拟集成电路设计的“八边形法则”制约下, 对运放的功耗、增益等性能指标的权衡越来越困难. 使用传统的设计方法, 设计者只能基于近似方程得出器件尺寸的值, 然后根据性能表现反复调整, 迭代设计^[2].

模拟电路设计过程中的困难与挑战, 促使多种解决方案的提出. 一种基于 g_m/i_d 参数的电路移植方法, 能够在不同制造工艺下使运算放大器的性能基本相同^[3]. 但是对于性能指标的需求未作考虑. 近年来, 随着人工智能 (Artificial Intelligence, AI) 技术的迅速发展, 遗传算法、粒子群优化 (Particle Swarm Optimization, PSO) 算法等全局优化算法已被用于对特定电路结构的优化设计, 特别是两级密勒补偿运放的面积优化^[4-6]. 然而, 由于仍然依赖仿真软件, 运行效率较低. 部分研究聚焦于运用诸如蝴蝶算法、混合花授粉算法等新型算法, 对模拟电路进行优化以提升其性能^[7,8]. 然而, 优化过程需要人工预先分析, 并不适用于大规模复杂电路的设计. 基于机器学习的两步设计法, 能够辅助设计者对模拟电路的结构和行为进行分析^[9]. 不过, 该方法在训练数据的准备工作方面较为繁琐. 另有研究基于增量强化学习, 通过减少在耗时的电路参数调整步骤中设计师与模拟器之间不必要的交互来加速设计过程^[10]. 已有研究利用改进的 PSO 算法优化折叠式共源共栅运放中的晶体管尺寸, 在性能指标提高的同时减小了总面积^[11]. 此外, 神经网络模型的非线性拟合能力能够有效代替仿真软件, 显著提高优化算法的求解速率^[12]. 根据深度学习网络与进化算法搭建的模拟设计框架能够完成对 3 种运放的尺寸选取, 然而在仅有 1 000 组训练数据以及复杂的网络层数下, 训练精度达到 90% 左右, 完成单个电路设计的时间接近 1 h^[13]. 由此可见, AI 技术在电路设计领域相较于传统方法有巨大的优势. 然而, 目前仍缺乏能够权衡各项指标并满足性能要求, 且兼顾精度与速度的 AI 设计方法.

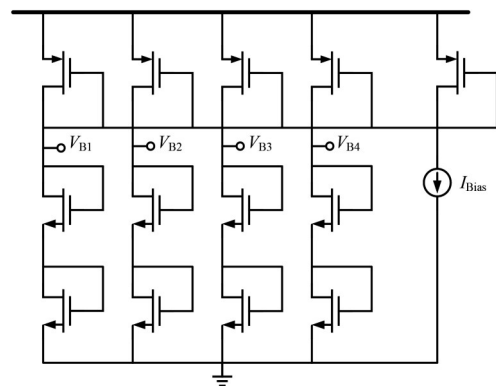
本研究提出了一种基于 AI 算法的多目标设计方法, 用于单级全差分折叠式共源共栅运算放大器的设计. 与传统的仿真软件与手工计算结合的设计流程不同, 该方法结合神经网络模型和 PSO 算法, 能够根据适应度函数快速高效地寻找最佳设计参数以满足目标性能. 利用 AI 方法所求解的电路实现了面积、增益、相位裕度、压摆率等指标的自动权衡, 在 906 s 的运行时间内完成尺寸的选取.

2 运放基本原理与性能指标

与传统套筒式结构相比, 折叠式共源共栅运算放大器具有更大的输出摆幅, 使其适用于随工艺节点缩小而降低的电源电压^[1]. 单级全差分折叠式共源共栅运算放大器电路结构如图 1 所示. 图 1(a) 展示了该运放的核心电路, 包括折叠式输入端和共源共栅结构, 通过共模负反馈 (Common Mode Feed Back, CMFB) 电路来确定 N 型场效应管 (N-channel Metal-Oxide-Semiconductor, NMOS) M_{N5} , M_{N6} 的栅极电压, 以稳定输出节点 V_{ON} 和 V_{OP} 的直流电平. $M_{P1,2}$ 是放大管, M_{P11} 用于偏置放大管, M_{P7-10} 和 M_{N3-6} 组成的共源共栅结构用于提供足够的增益. 图 1(b) 展示了所采用的偏置电路. 通过电流镜复制偏置电流 I_{Bias} , 调整 P 型场效应管 (P-channel Metal-Oxide-Semiconductor, PMOS) 的宽长比, 可以对各个支路的电流进行分配, 以获得合适的偏置电压 V_{B1} 、 V_{B2} 、 V_{B3} 和 V_{B4} .



(a) 核心放大电路



(b) 偏置电路

图 1 单级全差分折叠式共源共栅运算放大器电路结构示意图

根据 MOS 小信号等效电路, 可以计算得到该电路的主要性能指标^[14]. 为了便于后续的优化设计, 以下对各项性能指标及其计算公式进行简要介绍. 小信号电压增益 A_v 的计算表达式如下:

$$A_v = g_{m1} \left\{ \left[g_{m3} r_{o3} (r_{o5} \| r_{o1}) \right] \parallel (g_{m7} r_{o7} r_{o9}) \right\} \quad (1)$$

其中, g_m 表示 MOS 的跨导, r_o 表示输出电阻. 用分贝 (dB) 数表示为 $20\lg A_v$.

相位裕度 (PM) 反映了系统的稳定性, 其计算公式如下:

$$PM = \angle \left(\frac{\pi}{2} - \tan^{-1} \frac{f_c}{f_2} \right) \quad (2)$$

其中, f_c 为放大器的电压增益为 1 时的频率, 称作截止频率, 即单位增益带宽 (UGB); f_2 为次极点. 其计算公式分别为

$$f_c = UGB = \frac{g_{m1}}{2\pi C_L} \quad (3)$$

$$f_2 = \frac{g_{m7}}{C_{gs7} \left[1 + (C_{d1} + C_{d9} + C_{sb7}) / C_{gs7} \right]} \quad (4)$$

其中, C_{gs} 为 MOS 的栅源电容, C_d 表示漏极总电容, C_{sb} 表示源衬电容.

对于差分输入的运放, 常常需要考虑其共模增益的影响. 共模抑制比 (Common Mode Rejection Ratio, CMRR) 表示差模增益对共模增益的抑制效果, 计算公式为

$$CMRR = 20\lg \frac{A_{v,DM}}{A_{v,CM}} \quad (5)$$

电源抑制比 (Power Supply Rejection Ratio, PSRR) 则用于表示差模增益对电源增益的抑制效果, 其表达式如下:

$$PSRR = 20\lg \frac{A_{v,DM}}{A_{v,VDD}} \quad (6)$$

在大信号情况下, 还需要考虑电路的除外, 还常常关注运放对于输入变化的响应速度, 即压摆率 (SR), 其计算公式为

$$SR = \frac{I_{DS,11}}{C_L} \quad (7)$$

除了上述指标, 功耗 (电流消耗, I_c)、噪声 (Noise) 和面积 (Area) 通常也是运放设计的重要考虑因素. 本文关注的所有指标如表 1 所示. 表中的 $Area = \Sigma(WL)$. 运放的面积对降低单个芯片成本、设备小型化有着重要意义. 在保证性能的前提下, 设计时应尽可能减小晶体管面积.

表 1 运放的 9 项性能指标

| 性能指标 | 设计目标 |
|-------------|----------------|
| $A_{v,max}$ | >60 dB |
| UGB | >50 MHz |
| PM | >60° |
| SR | >15 V/ μ s |
| CMRR | Max |
| PSRR | Max |
| Noise | Min |
| I_c | Min |
| Area | Min |

3 运放的多目标 AI 设计方法

手工设计过程繁琐且耗时: 首先从 SR 入手, 确定各支路分配电流的大小; 再根据 UGB 确定 M_{P1} 和 M_{P2} 的 $g_{m1,2}$ 、 $W_{P1,2}$; 之后设定剩余晶体管的过驱动电压, 确定 W_{N3-6} 以及 W_{P7-9} [15]. 在这一设计过程中, 过驱动电压的选取和电流的大小分配依赖于经验, 初步设计的结果往往无法满足需求, 因此需要进行反复迭代.

引入 AI 算法可显著提高设计效率. 运放设计方法的具体步骤如图 2 所示, 展示了基于 AI 算法的多目标设计方法的具体流程. 首先定义设计参数, 然后利用仿真软件扫描得到相应性能指标, 获取数据. 经过训练与验证, 得到拟合性能优良的神经网络模型, 使得后续对设计参数的求解过程不再依赖仿真软件. 接着, 定义适应度函数并对各项性能指标的需求进行设定. 最后, 根据神经网络模型与适应度函数, PSO 算法能够快速寻找最高适应度的设计参数, 从而得到最优的电路设计方案.

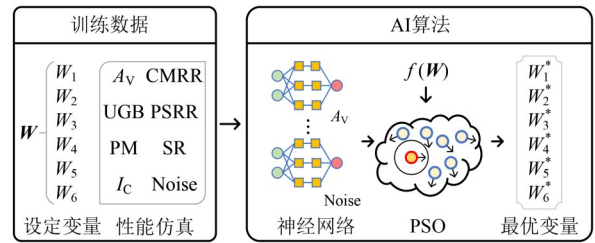


图 2 运放设计方法的具体步骤

3.1 神经网络模型的构建与拟合

3.1.1 设计参数的定义与训练数据的来源

图 1(a) 中的晶体管对电路的性能有着显著影响. M_{P11} 作为电流管, 其偏置和尺寸影响尾电流的大小, 影响电路的 A_v 和 SR. 而 M_{P1} 和 M_{P2} 作为输入管, 其尺寸直接影响最终的 A_v . M_{N3-6} 和 M_{P7-10} 则影响运放的 A_v 、CMRR 等指标. 为了便于后续的建模分析, 定义电路中各个晶体管的尺寸.

运放核心电路中晶体管的栅宽 (W) 与栅长 (L) 如表 2 所示. 定义各晶体管的 W 为变量, 用向量 W 表示, $W = [W_1, W_2, W_3, W_4, W_5, W_6]$. 各晶体管的 L 依据其在电路中的作用而设定. 为了减少输入等效噪声, 用作放大信号的晶体管, L 较大; 用作提供电流的晶体管, L 较小. 通过仿真软件, 获取不同的 W 下各项性能指标的数据, 用于神经网络模型的训练.

表 2 运放的设计参数

| | M_{P1}, M_{P2} | M_{P9}, M_{P10} | M_{P7}, M_{P8} | M_{N3}, M_{N4} | M_{N5}, M_{N6} | M_{P11} |
|-----|------------------|-------------------|------------------|------------------|------------------|--------------|
| W | W_1 | W_2 | W_3 | W_4 | W_5 | W_6 |
| L | 0.5 μ m | 1 μ m | 1 μ m | 1 μ m | 1 μ m | 0.25 μ m |

3.1.2 神经网络模型的结构

神经网络模型由大量节点构成,分为输入层、隐含层和输出层.模型通过学习数据中的模式来调整节点之间的连接权重,从而实现电路的有效拟合^[12].隐含层的层数以及其中所包含的节点数量,需依据训练数据呈现出的特征来判定.设置两层隐含层结构具备拟合非线性函数的能力,这一特性契合对晶体管尺寸与性能之间复杂关系的描述需求.而在确定节点数目时,采用逐步递增节点的策略,持续这一过程直至达成最佳训练效果,同时规避过拟合现象的出现.

图3所示的神经网络模型结构中,输入层、两个隐藏层和输出层分别包含6个、12个、12个和1个神经元.针对每个性能指标构建独立的神经网络模型,得到除面积外的8个性能指标神经网络模型.模型训练采用贝叶斯优化算法,初始学习率设置为0.01,通过梯度下降法更新网络权重和偏置参数,隐含层的激活函数选用sigmoid函数.训练过程以均方误差(Mean Squared Error, MSE)作为损失函数,采用70%训练集与30%测试集的分层抽样策略,有效规避过拟合与欠拟合现象.

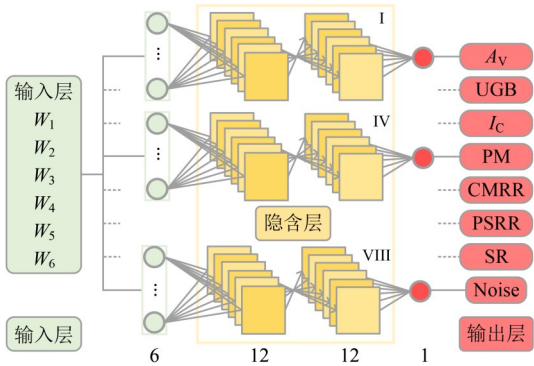


图3 各项指标的神经网络模型及结构

决定系数(R^2)用于衡量预测值与真实值之间的吻合程度,反映出模型对数据的拟合效果.MSE用于衡量预测值与真实值之间的差异,反映预测的准确性:

$$R^2 = 1 - \frac{\sum (\hat{y}_i - y_i)^2}{\sum (y_i - \bar{y}_i)^2} \quad (8)$$

其中, \hat{y}_i 是样本预测值, \bar{y}_i 是样本平均值, y_i 是真实值, $R^2 \in (0, 1)$. R^2 越大, 拟合效果越好.

$$MSE = \frac{1}{n} \sum_{i=1}^n (x_i - y_i)^2 \quad (9)$$

其中, x_i 为预测值, y_i 为实际值. MSE 的值越小, 模型的预测效果越好.

3.2 PSO 算法设置与求解过程

3.2.1 适应度函数的建立

在 PSO 中, 适应度函数是评估每个粒子位置优劣

的关键. 它决定了算法的优化目标, 即粒子群将如何搜索最优解. 综合考虑各项性能指标与器件尺寸, 把对面积以及各项性能的要求以不同的方式体现在适应度函数中, 其表达式 $f(\mathbf{W})$ 如下:

$$\begin{aligned} \min f(\mathbf{W}) = & \omega_1 \left(\sum W_i L_i \right)^2 + \omega_2 \left(A_V - A_{V,E} \right)^2 \\ & + \omega_3 \left(UGB - UGB_E \right)^2 \\ & + \omega_4 \left(PM - PM_E \right)^2 \\ & + \omega_5 \left(SR - SR_E \right)^2 \\ & + \omega_6 \left(1 - CMRR^* \right)^2 \\ & + \omega_8 \left(Noise^* \right)^2 + \omega_9 \left(I_C^* \right)^2 \end{aligned} \quad (10)$$

约束条件如下:

$$\text{s.t.} \begin{cases} W_1 \in [120 \mu\text{m}, 720 \mu\text{m}] \\ W_2 \in [60 \mu\text{m}, 180 \mu\text{m}] \\ W_3 \in [150 \mu\text{m}, 270 \mu\text{m}] \\ W_4 \in [50 \mu\text{m}, 290 \mu\text{m}] \\ W_5 \in [40 \mu\text{m}, 60 \mu\text{m}] \\ W_6 \in [70 \mu\text{m}, 120 \mu\text{m}] \end{cases} \quad (11)$$

适应度函数的第一项为各器件尺寸的总和, 目的是在保证最小面积的同时实现性能目标. 带下标 E 的变量为该指标的期望值. A_V 、 UGB 、 PM 和 SR 各项的公式意味着距离最近, 可能会导致实际值小于目标值, 所以期望值适当上调, 以留出余量. 式(10)中, $A_{V,E} = 70 \text{ dB}$, $UGB_E = 80 \text{ MHz}$, $PM_E = 80^\circ$, $SR_E = 30 \text{ V}/\mu\text{s}$. $CMRR$ 、 $PSRR$ 、 $Noise$ 和 I_C 均经过归一化处理, 并进行正向化调整, 以确保适应度函数的计算值越小, 适应度越高. ω_{1-9} 代表各项指标的权重. 约束条件中的尺寸范围是基于仿真软件中预先进行的参数扫描得到的大致范围.

3.2.2 PSO 寻优

PSO 算法是一种模仿鸟类觅食行为的智能优化方法, 旨在寻找全局最优解, 其算法流程如图4所示^[5].

首先, 在群初始化过程中, 生成众多包含设计参数

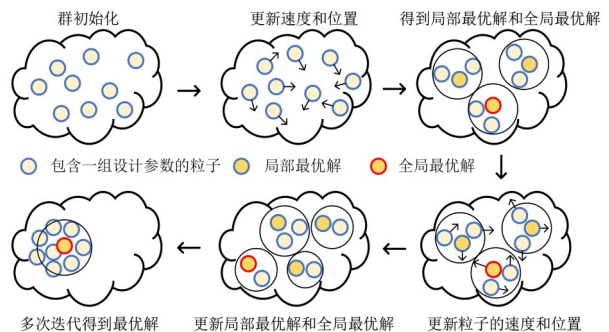


图4 PSO 算法流程图

的粒子,并初始化粒子的位置和速度.然后每个粒子根据其当前位置评估适应度,记录找到的最佳位置,得到局部最优解.同时,整个群体记录所有粒子中的最佳位置,作为全局最优解.随后,粒子根据局部最优解和全局最优解更新自己的速度和位置.如果新位置适应度更优,则更新局部和全局最优解.此过程不断重复,直到满足终止条件.最终整个群体将收敛到一个最优解.

针对本文设计的运放,PSO算法的设置如下:初始粒子群大小为60,运行的最大迭代次数为150次,迭代停滞限值为15次.同时,调整惯性权重的范围为 $[0.2, 0.8]$,以平衡该算法局部与全局搜索能力.

4 结果分析与验证

为了验证方法的有效性,本研究使用Cadence软件搭建运放电路,并采用SMIC 180 nm工艺.运放电路的电源电压 $V_{DD}=1.8$ V,负载 $C_L=6$ pF.扫描核心放大器中的6个变量,获取相应的性能指标,共收集了22 500组数据.经过筛选剔除无效数据后,最终得到20 352组有效数据.将上述数据用于神经网络模型的拟合,分析拟合效果.适应度函数中的权重 ω_{1-9} 根据对各项指标的要求的调整.多次运行PSO算法,检验结果是否全局收敛.最后,通过Cadence验证求解结果是否有效,并展示该方法得到的运放设计参数与性能指标.

4.1 神经网络模型的拟合效果

依据第3节中的结构与训练方式,为8个性能指标构建神经网络模型,其平均训练时间为113.43 s.各项指标所对应的神经网络模型拟合效果如表3所示.

表3 各项指标所对应的神经网络模型拟合效果

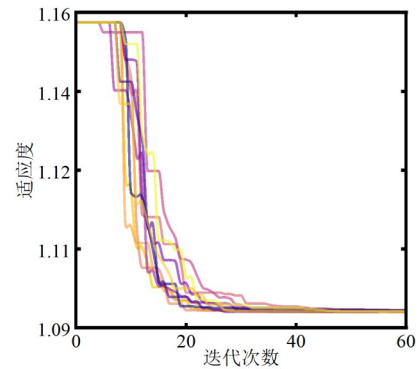
| 指标 | A_V | UGB | PM | I_C |
|---------|---------|---------|---------|---------|
| MSE(训练) | 0.031 9 | 0.356 3 | 0.124 0 | 0.014 3 |
| MSE(测试) | 0.136 8 | 0.382 6 | 0.160 3 | 0.013 3 |
| R^2 | >0.99 | >0.99 | >0.99 | >0.99 |
| 指标 | CMRR | PSRR | SR | Noise |
| MSE(训练) | 0.024 2 | 0.586 4 | 0.014 0 | 0.000 4 |
| MSE(测试) | 0.161 6 | 0.510 0 | 0.014 4 | 0.000 4 |
| R^2 | >0.99 | >0.99 | >0.99 | >0.99 |

表3显示,神经网络模型对各性能指标的拟合效果优异, R^2 均在0.99以上.经过至多3 000次迭代,各指标的MSE均收敛至全局最小.PSRR的MSE值大于0.5,对比其他指标偏大.不过,在测试过程中发现该指标的范围为25~96 dB,MSE值对量程的相对误差仅有0.8%.此外,对于测试集MSE略高于训练集的现象(平均增幅2.3%),是由于设置了统一的隐含层节点数,没有对每个指标单独优化,由局部过拟合现象存在导致的.虽然一定程度上减弱了模型的泛化能力,但仍在可接受的范围内,表面神经网络模型整体性能依然稳健、可靠.

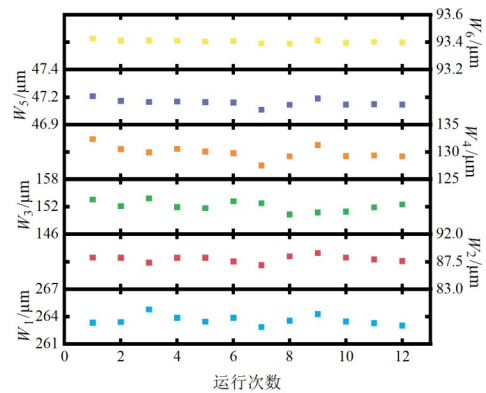
4.2 PSO算法结果分析与验证

利用PSO算法寻找最优解,并独立运行12次.最终得到如图5所示的结果.

如图5(a)所示,PSO算法的12次运行在60次迭代后基本收敛,平均运行时间为2.02 s.如图5(b)所示,求解得到的设计参数在多次运行后波动较小,判断PSO算法能够有效收敛至全局最优解.得到晶体管最优的尺寸如下: $W_1/L_1=263.33$ $\mu\text{m}/0.5$ μm , $W_2/L_2=88.16$ $\mu\text{m}/1$ μm , $W_3/L_3=153.55$ $\mu\text{m}/1$ μm , $W_4/L_4=132.29$ $\mu\text{m}/1$ μm , $W_5/L_5=47.16$ $\mu\text{m}/1$ μm , $W_6/L_6=93.42$ $\mu\text{m}/0.25$ μm .对应的性能指标 $A_V=69.05$ dB, $PM=75.46^\circ$, $UGB=96.04$ MHz, $SR=34.75$ V/ μs ,均满足设计要求,运放核心电路的晶体管的面积之和为112 9.005 μm^2 .适应度函数的权重在性能指标归一化的基础上确定,Noise、 I_C 两项的变化很小,但是在归一化后更显著,所以 ω_8 、 ω_9 比其他权重略小.



(a) 适应度收敛情况



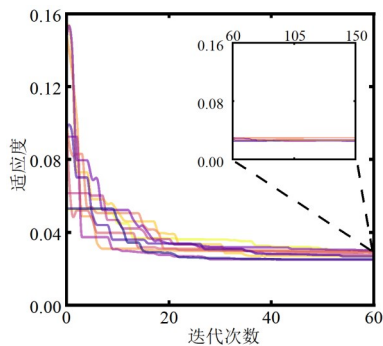
(b) 设计参数稳定性

图5 12次独立运行的结果

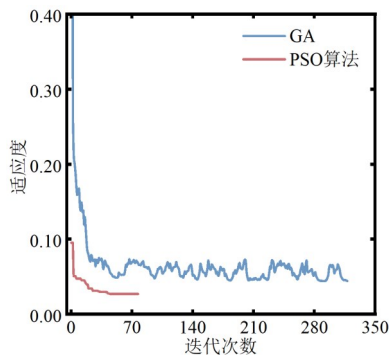
下面进一步验证PSO算法的有效性.首先对适应度函数中的权重归一化处理,得到 $\omega_{1-7}=1/7.6$, $\omega_{8,9}=0.3/7.6$,并随机设置初始粒子.PSO算法10次运行的结果如图6(a)所示.在迭代过程中,适应度逐步收敛,但收

敛速度要比图 5(a)中慢. 其中, 5 次运行在 120 次之内终止, 其余的在 150 次迭代后终止. 在 100 次迭代之后, 适应度均趋近 0.027.

遗传算法(Genetic Algorithms, GA)也是常见的优化算法. 根据 PSO 算法的设置, GA 的种群大小为 60, 使用相同的适应度函数. 与 PSO 算法的运行结果对比, 如图 6(b)所示. 在不限制最大迭代次数的情况下, 单次 PSO 算法在 78 次迭代后收敛, 适应度达到 0.267 7; 单次 GA 在 319 次迭代后收敛, 适应度为 0.044 18. 在两种算法的运行过程中, 都未设置初始值. PSO 算法对初始值的依赖较小, 收敛速度更快, 搜索能力也更强. GA 虽然有较强的全局搜索能力, 但是比较依赖初始值的选取, 且计算速度仅有 PSO 的一半(相同迭代次数的情况下). 对于本文所要解决的多目标设计问题, PSO 算法更具优势. 通过合理设置惯性权重的范围, 实现全局搜索能力与局部搜索能力的均衡.



(a) 随机初始值下 PSO 算法的适应度收敛情况



(b) GA 与 PSO 算法对比

图 6 有效性的进一步验证

4.3 仿真验证

将 PSO 算法所得的最优设计参数代入 Cadence 进行验证, 如表 4 所示. AI 算法得到的结果与仿真结果相差无几. 分析 Cadence 的仿真结果, 发现 A_v 、PM、UGB、SR 这 4 项指标分别比设计目标高出 8.55%、23.43%、94.96% 和 132.07%.

表 4 Cadence 仿真验证结果

| 性能指标 | AI 算法 | 仿真结果 |
|--------------------------|--------|--------|
| $A_{v,max}/dB$ | 69.05 | 65.13 |
| UGB/MHz | 96.04 | 97.48 |
| PM/(°) | 75.46 | 74.06 |
| $I_c/\mu A$ | 871.00 | 872.22 |
| CMRR/dB | 42.14 | 33.14 |
| PSRR/dB | 119.19 | 113.35 |
| SR/(V/ μs) | 34.75 | 34.81 |
| noise/(nV/ \sqrt{Hz}) | 12.39 | 12.53 |

此外, 对各项指标作进一步展示, 如图 7 所示.

图 7(a)展示了该运放的频率响应特性. 如图 7(b)所示, CMRR 和 PSRR 在截止频率之内较高, 对共模信号和电源噪声的抑制能力较好. 图 7(c)展示了运放的输入参考噪声, 频率较低时, 闪烁噪声较为显著; 在截止频率之后, 噪声降低至 20 nV/ \sqrt{Hz} 以下. 图 7(d)则展示了运放在大信号下对输入信号的响应.

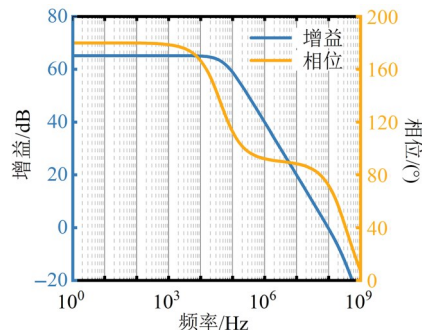
4.4 工艺波动下设计方法可靠性分析

上述设计过程均在 TT 工艺角下进行. 为验证模型对工艺波动的可靠性, 保证所提出的设计方法在工艺波动时仍有较好的效果, 在本节中重新获取 FF、SS 工艺角下运放的设计参数、性能指标相关数据, 分析 AI 设计方法在工艺波动下的设计能力. 获取仿真数据的过程中, 扫描 6 个设计参数, 使用相同的偏置条件, 获取表 1 中除面积外的 8 个性能指标, FF 工艺角下的数据为 10 678 组, SS 工艺角下的数据量为 8 375 组(剔除了晶体管不饱和和导致增益为负的情况).

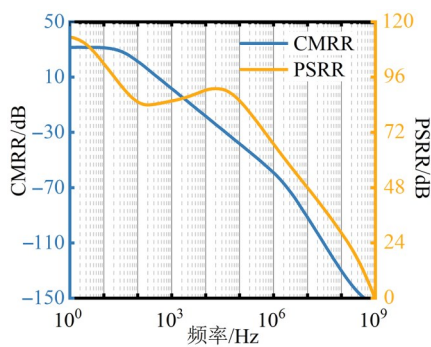
在使用 AI 算法设计的过程中, 神经网络的配置、PSO 算法的参数都相同, 目标函数也依据表 1 的设定. 算法的运行时间与 TT 工艺角下相同. 表 5 给出使用 AI 算法在 FF 工艺角下的设计结果, 并使用 Cadence 软件验证.

由表 5 可知, AI 算法运用于 FF 工艺角同样能够准确地拟合电路的性能. 但具体的指标要求并没有完成得很好. 这是由于在 TT 工艺角下确定的扫描范围的限制. 此外, TT 工艺角下的偏置条件也会对运放在 FF 工艺角下的性能有所限制. SS 工艺角的情况与 FF 工艺角相似. 虽然部分指标存在细微差异, 但仍体现了该方法在工艺波动下的设计能力, 验证了模型对核心性能的预测可靠性, 以及寻找最优设计参数的能力.

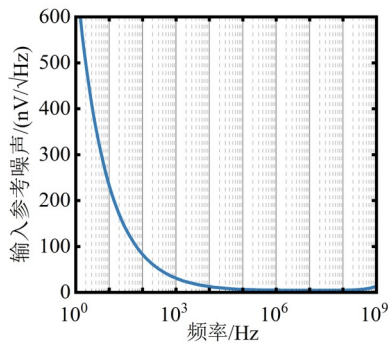
综上所述, 该运放不仅能够满足表 1 中所需要的性能目标, 且具有优良的性能. 同时, 该设计方法所使用的神经网络模型与 PSO 算法的整体运行时间为 906 s. 如果需要调整性能指标, 只要不超出电路结构限制, 只需调整适应度函数的期望值和权重, 重新运行 PSO 算法即可实现快速设计. PSO 算法的运行时间平均仅需



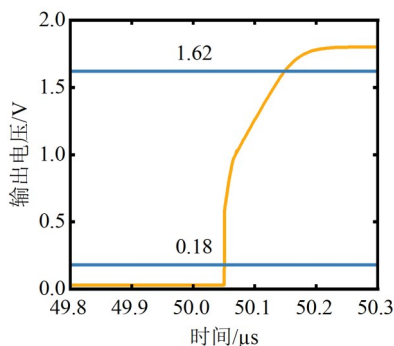
(a) A_v 和相位



(b) CMRR 和 PSRR



(c) 各频率下的输入参考噪声



(d) 输出电压随输入电压的变化情况

图7 各项性能指标

表5 FF工艺角下的设计结果

| 求解得到的设计参数 | | 性能指标对比 | | |
|-------------------|--------|------------------------------|----------|----------|
| 参数 | 值 | 指标 | AI算法 | 仿真实证 |
| $W_1/\mu\text{m}$ | 393.09 | | | |
| $W_2/\mu\text{m}$ | 116.74 | $A_{V,\text{max}}/\text{dB}$ | 55.61 | 55.97 |
| $W_3/\mu\text{m}$ | 173.49 | UGB/MHz | 134.84 | 127.43 |
| $W_4/\mu\text{m}$ | 50.00 | PM/° | 72.87 | 75.00 |
| $W_5/\mu\text{m}$ | 40.00 | $I_c/\mu\text{A}$ | 1 131.40 | 1 129.51 |
| $W_6/\mu\text{m}$ | 75.35 | CMRR/dB | 81.77 | 80.96 |
| — | — | PSRR/dB | 215.88 | 215.88 |
| — | — | SR/(V/μs) | 32.89 | 32.61 |
| — | — | noise/(nV/√Hz) | 10.66 | 10.06 |

设计流程可以推广到其他结构电路的设计中. 未来, 对于复杂、大规模电路的设计与性能权衡, 有广阔的应用前景.

5 结论

本文提出了一种基于人工智能算法的多目标设计方法, 同时对单级全差分折叠式共源共栅运算放大器的多项性能指标进行设计. 与现有的方法相比, 该方法在设计参数的求解过程中不依赖仿真软件, 能有效提高设计效率. 利用该方法在设定所需性能后, PSO算法利用神经网络模型来搜索指标的大小并计算适应度, 寻找最优结果. 最后通过仿真软件进行验证, 4项主要指标: 增益、相位裕度、压摆率和单位增益频率都能够满足设计要求, 且至少有 8.55% 的提升. 整个过程中, 单个神经网络模型的平均拟合时间为 113.43 s, 而 PSO 算法的平均寻优时间仅为 2.02 s. 本研究提出的可重用设计流程为其他电路结构的高效设计提供了有力工具, 展现出巨大的应用潜力.

参考文献

- [1] 毕查德·拉扎维. 模拟CMOS集成电路设计[M]. 陈贵灿译. 2版. 西安: 西安交通大学出版社, 2018.
- [2] BEHZAD RAZAVI. Design of Analog Cmos Integrated Circuits[M]. CHEN G C, translate. 2nd ed. Xi'an: Xi'an Jiaotong University Press, 2018. (in Chinese)
- [3] MALLYA S, NEVIN J H. Design procedures for a fully differential folded-cascode CMOS operational amplifier[J]. IEEE Journal of Solid-State Circuits, 1989, 24(6): 1737-1740.
- [4] 于浩, 郭裕顺, 李康. 基于 g_m/I_d 参数的 CMOS 运算放大器设计重用方法[J]. 电子学报, 2019, 47(8): 1626-1632.
- [5] YU H, GUO Y S, LI K. A g_m/I_d based methodology for design reuse of CMOS operational amplifiers[J]. Acta Electronica Sinica, 2019, 47(8): 1626-1632. (in Chinese)
- [6] FAYAZI M, COLTER Z, AFSHARI E, et al. Applications of artificial intelligence on the modeling and optimization for analog and mixed-signal circuits: A review[J]. IEEE

2.02 s. 除此之外, 该方法能够应对工艺波动, 在不同工艺角下也有良好的设计表现. 该方法普适性较强, 整个

Transactions on Circuits and Systems I: Regular Papers, 2021, 68(6): 2418-2431.

- [5] RASHID R, NAMBATH N. Area optimisation of two stage miller compensated op-amp in 65 nm using hybrid PSO[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2022, 69(1): 199-203.
- [6] CHEVALIER M, TROCHUT S, GUIZZETTI R, et al. Reinforcement learning for analog sizing optimization[C]// 2023 19th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design. Piscataway: IEEE, 2023: 1-4.
- [7] LBERNI A, MARKTANI M A, AHAITOUF A, et al. Efficient butterfly inspired optimization algorithm for analog circuits design[J]. Microelectronics Journal, 2021, 113: 105078.
- [8] SASIKUMAR A, SUBRAMANIASWAMY V, JANNALI R, et al. Design and area optimization of CMOS operational amplifier circuit using hybrid flower pollination algorithm for IoT end-node devices[J]. Microprocessors and Microsystems, 2022, 93: 104610.
- [9] IVANOVA M, STOŠOVIĆ M A. Machine learning and rules induction in support of analog amplifier design[J]. Computation, 2022, 10(9): 145.
- [10] ABUELNASR A, RAGAB A, AMER M, et al. Incremental reinforcement learning for multi-objective analog circuit design acceleration[J]. Engineering Applications of

Artificial Intelligence, 2024, 129: 107426.

- [11] DE B P, KAR R, MANDAL D, et al. An efficient design of CMOS comparator and folded cascode op-amp circuits using particle swarm optimization with an aging leader and challengers algorithm[J]. International Journal of Machine Learning and Cybernetics, 2016, 7(2): 325-344.
- [12] YANG Y Q, YIN X Y, CHEN D D, et al. The high-efficiency optimization design method for two-stage miller compensated operational amplifier[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2024, 71(4): 2029-2033.
- [13] LBERNI A, MARKTANI M A, AHAITOUF A, et al. Analog circuit sizing based on evolutionary algorithms and deep learning[J]. Expert Systems with Applications, 2024, 237: 121480.
- [14] 王嘉奇, 吕高崇, 郭裕顺. 一种折叠式共源共栅运算放大器的准确设计方法[J]. 电子科技, 2023, 36(3): 50-54, 68. WANG J Q, LÜ G C, GUO Y S. An accurate design approach for the folded cascode operational amplifier[J]. Electronic Science and Technology, 2023, 36(3): 50-54, 68. (in Chinese)
- [15] 朱治鼎, 彭晓宏, 吕本强, 等. 高性能折叠式共源共栅运算放大器的设计[J]. 微电子学, 2012, 42(2): 146-149. ZHU Z D, PENG X H, LÜ B Q, et al. Design of high performance folded-cascode operational amplifier[J]. Microelectronics, 2012, 42(2): 146-149. (in Chinese)

作者简介



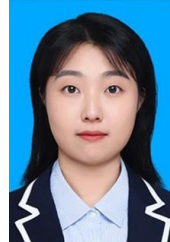
李照希 男, 1996年1月出生于陕西省西安市. 现为西安电子科技大学副教授. 主要研究方向为压电传感器集成电路设计、超声波高频声场控制和超声换能器优化设计.
E-mail: lizhaoxi@xidian.edu.cn



苏震宇 男, 2001年2月出生于山西省吕梁市. 现为西安电子科技大学集成电路科学与工程专业2025级直博生. 主要研究方向为超声模拟前端电路及模拟电路优化设计.
E-mail: suzhenyu@stu.xidian.edu.cn



田宇浩 男, 2004年10月出生于山西省孝义市. 现为西安电子科技大学集成电路设计与集成系统专业本科生. 主要研究方向为模拟集成电路设计、遗传算法.
E-mail: 22009100726@stu.xidian.edu.cn



侯琛雪 女, 1997年1月出生于陕西省西安市. 现为西安电子科技大学助理研究员、博士后. 主要研究方向为复合压电超声换能器仿真与制备、声学阻抗匹配技术. 中国电子学会会员编号: E190161716M.
E-mail: houchenxue@xidian.edu.cn



杨银堂 男, 1962年10月出生于河北省邯郸市. 现为西安电子科技大学教授. 主持完成多项国家级科研工作, 获得国家科学技术进步奖等多项奖项. 主要研究方向为SOC与混合信号集成电路设计. 中国电子学会会员编号: E190011537F.
E-mail: ytyang@xidian.edu.cn