

基于原子阈值开关的二维沟道材料 场效应晶体管解析模型研究

蒋春生¹, 霍亦康¹, 化麒麟², 宋树祥¹, 潘立阳³, 许 军³

(1. 广西师范大学电子与信息工程学院, 广西桂林541004; 2. 北京理工大学集成电路与电子学院, 北京100081;
3. 清华大学集成电路学院, 北京100084)

摘 要: 基于原子阈值开关的二维沟道材料场效应晶体管(Two-Dimensional Atomic Threshold Switching Field-Effect-Transistor, 2D ATS-FET)凭借其超低关态电流、极小亚阈值摆幅、极低工作电压、紧凑的器件结构以及与主流CMOS(Complementary Metal-Oxide-Semiconductor)工艺相兼容等优势,在后摩尔时代低功耗逻辑计算、选通器和神经形态计算等领域具有重要的应用前景. 2D ATS-FET可以视为由一个原子阈值开关(Threshold Switching, TS)器件和一个基准2D FET器件串联而成. 本研究首先基于导电细丝(Conductive Filament, CF)演化动力学和隧穿机制建立了TS器件的电流-电压(current-Voltage, I-V)特性模型. 其次,基于漂移-扩散运输机制,构建了基准2D FET器件的I-V特性模型. 最后,基于两串联器件的导通电流必然相等的原理,使用Verilog-A编程语言,获得了与主流商业电路仿真器相兼容的标准SPICE(Simulation Program with Integrated Circuit Emphasis)模型. 解析模型的计算结果与实验测试数据具有良好的 consistency,验证了本文所提出理论模型的正确性. 此外,基于这一解析模型,本文系统地研究了2D ATS-FET的电学特性及其工作机理. 该解析模型为2D ATS-FET器件的工作机理研究、性能优化设计和电路仿真设计提供了可靠的理论基础和有效的研究工具.

关键词: 原子阈值开关(TS);二维(2D)沟道材料;场效应晶体管;亚阈值摆幅;解析模型

基金项目: 国家自然科学基金(No.U24A20296, No.62464001);北京超弦存储器研究院资助项目(No.SAMT-QH-KT-22030101);广西类脑计算与智能芯片重点实验室开放基金(No.BCIC-23-K5);广西研究生教育创新计划项目(No.YCSW2025152)

中图分类号: TN386.1

文献标识码: A

文章编号: 0372-2112(2025)09-3163-10

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20250400

Research on Analytical Modeling of Two-Dimensional Atomic-Threshold-Switching FETs

JIANG Chun-sheng¹, HUO Yi-kang¹, HUA Qi-lin², SONG Shu-xiang¹, PAN Li-yang³, XU Jun³

(1. School of Electronic and Information Engineering, Guangxi Normal University, Guilin, Guangxi 541004, China;

2. School of Integrated Circuits and Electronics, Beijing Institute of Technology, Beijing 100081, China;

3. School of Integrated Circuit, Tsinghua University, Beijing 100084, China)

Abstract: Two-dimensional atomic-threshold-switching field-effect-transistors (2D ATS-FETs) offer great promise for low-power applications in logic computing, selectors, and neuromorphic systems in the post-Moore era, thanks to their ultra-low off-state current, extremely small subthreshold swing, ultra-low operating voltage, compact device structure, and compatibility with mainstream complementary metal-oxide-semiconductor (CMOS) process. A 2D ATS-FET can be regarded as a series connection of an atomic threshold switching (TS) device and a baseline 2D FET. In this study, we first developed a current-voltage (I-V) model for the TS device based on conductive filament (CF) evolution dynamics and tunneling mechanisms. Then, we propose a current-voltage model for the baseline 2D FET based on drift-diffusion transport mechanisms. Finally, by leveraging the fact that the conduction current of the two series-connected devices must be equal, we implemented a standard simulation program with integrated circuit emphasis (SPICE) model compatible with mainstream commercial circuit simulators using the Verilog-A language. The calculated results from the analytical model show good agree-

ment with experimental data, validating the correctness of the proposed theoretical model. Furthermore, we systematically investigated the electrical characteristics and working mechanisms of 2D ATS-FETs based on this analytical model. This analytical model provides a reliable theoretical foundation and an effective research tool for the study of device mechanisms, performance optimization, and circuit design of 2D ATS-FETs.

Key words: atomic-threshold-switching (TS); two-dimensional (2D) channel material; field effect transistor; sub-threshold swing; analytical model

Foundation Item(s): National Natural Science Foundation of China (No.U24A20296, No.62464001); Beijing Superstring Academy of Memory Technology (No.SAMT-QH-KT-22030101); Guangxi Key Laboratory of Brain-inspired Computing and Intelligent Chips (No.BCIC-23-K5); Innovation Project of Guangxi Graduate Education (No.YCSW2025152)

1 引言

在过去几十年里,传统金属-氧化物-半导体场效应晶体管(Metal-Oxide-Semiconductor Field-Effect-Transistor, MOSFET)的尺寸微缩一直是提高其性能的关键驱动力,目前,MOSFET的特征尺寸已缩小至亚 10 nm 阶段. 由短沟道效应(Short Channel Effects, SCEs)导致的功耗密度过大问题,目前已成为制约小尺寸 MOSFET 器件特征尺寸进一步微缩的主要挑战^[1-3]. 降低晶体管的工作电压是降低其静态和动态功耗最有效的方法^[4]. 对于场效应晶体管而言,其最小工作电压($V_{dd,min}$)与亚阈值摆幅(Subthreshold Swing, SS)、开态导通电流(I_{on})以及关态漏电流(I_{off})之间存在以下数学关系式: $V_{dd,min} = SS \times \lg(I_{on}/I_{off})$. 为了维持晶体管的开态驱动能力,需要维持一定的沟道电流开关比(I_{on}/I_{off}). 从上式可以观察到,对于一定的导通电流开关比,MOSFET 器件的 $V_{dd,min}$ 与 SS 成正比. 然而,受限于载流子运输的玻尔兹曼热力学极限,传统 MOSFET 器件在室温下的 SS 最小值为 60 mV/dec,且随着尺寸缩短而不断恶化^[5]. 因此,目前传统 MOSFET 器件的尺寸微缩规则已逼近物理极限. 为持续推进摩尔定律,实现晶体管功耗的进一步降低与性能的持续提升,亟须探索新型沟道材料与新原理器件结构.

为了从根本上解决小尺寸 MOSFET 器件静态功耗过大的问题,学术界提出了“超陡亚阈值斜率器件(Steep Slope Devices)”的概念^[4-6],超陡亚阈值斜率器件是指室温下 SS 小于 60 mV/dec 的新型半导体器件. 超陡亚阈值斜率器件克服了传统 MOSFET 器件遇到的玻尔兹曼热力学限制,能够显著降低晶体管的亚阈值摆幅、关态漏电流和工作电压. 超陡亚阈值斜率器件目前主要包括隧穿场效应晶体管(Tunnel Field-Effect-Transistor, TFET)^[7]、负电容场效应晶体管(Negative-Capacitance Field-Effect-Transistor, NC-FET)^[8]、纳米机电晶体管(Nano-Electro-Mechanical Field-Effect-Transistor, NEM-FET)^[9]、碰撞电离晶体管(Impact-Ionization MOS, IMOS)^[10]和基于原子阈值开关的场效应晶体管(Atomic Threshold Switching Field-Effect-Transistor, ATS-FET)^[11]. 然而,NEM-FET 器件存在较严重的可靠性问题;IMOS

器件需要较高的工作电压,使其不适用于低压低功耗的集成应用. TFET 具有较低的导通电流与显著的双极导通效应. NC-FET 则存在难以克服的电滞回线特性,导致其阈值电压不稳定,并限制了其最高工作频率.

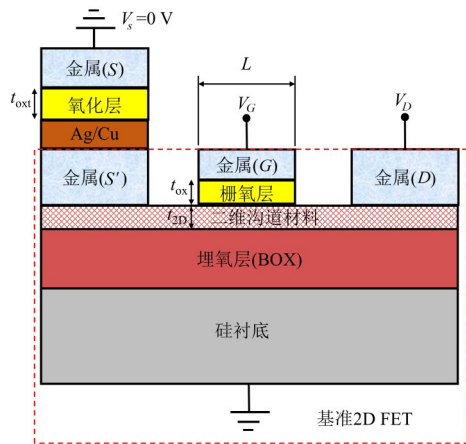
ATS-FET 具有超低压阈值摆幅、皮安级关态漏电流、极低工作电压、简单的器件结构以及与传统 CMOS (Complementary Metal-Oxide-Semiconductor) 工艺相兼容等优点,近年来引起了学术界的广泛关注^[11-13]. 如图 1(a) 所示,一个 ATS-FET 可以视为由一个原子阈值开关(Threshold Switching, TS)器件和一个基准 MOSFET 器件串联而成,TS 器件串联在 MOSFET 器件的源端(或漏端). ATS-FET 的核心是一种基于 Ag(或 Cu)/氧化物介质层的 TS. 其中,Ag/Cu 为易于扩散的活性金属,氧化物介质层(如 HfO_2) 作为阻变开关层. 因此,TS 器件也被称为挥发型忆阻器或者扩散型忆阻器^[14,15]. 此外,二维过渡金属二硫化物(Transition Metal Dichalcogenides, TMDs) 半导体作为沟道材料,具有高载流子迁移率、原子级厚度、光滑且无悬挂键的表面以及优异的沟道静电控制能力^[16,17]. 因此,基于 TS 的二维沟道材料场效应晶体管(Two-Dimensional Atomic Threshold Switching Field-Effect-Transistor, 2D ATS-FET) 理论上具有极佳的低功耗性能,在低功耗集成电路领域具有巨大的应用前景.

目前,关于 2D ATS-FET 的研究尚处于起步阶段,文献报道主要集中在实验制备领域^[11-13],而对其解析模型的研究几乎没有. 然而,器件解析模型对于理解 2D ATS-FET 的工作机理、优化器件性能以及指导电路仿真设计都具有重要意义. 为此,本文基于导电细丝(Conductive Filament, CF) 演化动力学和量子隧穿机制等基础物理理论,首次建立了 2D ATS-FET 的解析电流-电压(current-Voltage, I-V) 模型,并利用该模型深入研究了器件的工作机理和优化设计方法.

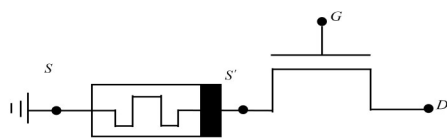
2 2D ATS-FET 器件解析模型构建

图 1(a) 和图 1(b) 分别展示了 2D ATS-FET 器件的几何结构剖面图和等效电路图. 为了提高器件集成密度,实验制备中一般采用纵向集成结构. 容易观察到,

一个 2D ATS-FET 器件可以看作是由一个 TS 器件和一个基准 2D FET 器件串联而成. 主要器件工艺参数说明如下: $t_{\text{ox}t}$ 代表 TS 器件中阻变开关层 (即扩散氧化层) 的厚度; t_{ox} 和 $t_{2\text{D}}$ 分别为基准 2D FET 器件栅氧化层和二维沟道层的厚度; L 为器件栅长. 本文采用分步建模的策略, 即首先分别建立 TS 器件和基准 2D FET 的 I-V 模型, 然后基于两串联器件的导通电流必然相等的原理以及基尔霍夫电压定律, 基于 Verilog-A 编程语言, 获得整个 2D ATS-FET 器件的解析 I-V 模型.



(a) 几何结构剖面图



(b) 等效电路图

图 1 2D ATS-FET 器件的几何结构

2.1 TS 器件 I-V 特性解析建模及参数提取

基于目前的实验报道^[14, 15, 18, 19], 基于 Ag (或 Cu)/氧化物介质层的 TS 器件的工作原理源于其内部 CF 的形成与断裂机制. 以 Ag/HfO₂ 阈值开关为例, 其工作原理可以概括如下几点.

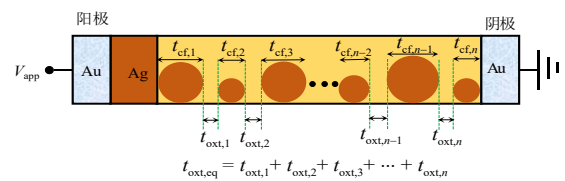
(1) 当在阳极施加一个不断增加的电压 (V_a) 时, 活性银原子在阳极附近发生氧化反应, 转变为可移动的银离子 (Ag^+), 可表示为: $\text{Ag} \rightarrow \text{Ag}^+ + \text{e}$.

(2) 这些 Ag^+ 离子随后在外加电场 (E) 的作用下, 漂移至 HfO₂ 阻变开关层中, 其中大量 Ag^+ 与来自阴极的电子发生还原反应, 生成尺寸不同的金属 Ag 纳米团簇. 金属 Ag 纳米团簇离散地分布在 HfO₂ 阻变开关层中, 如图 2(a) 所示^[18, 19]. 这些金属 Ag 纳米团簇构成了离散电子势阱, 而它们之间的间隙氧化层则形成了一个电子势垒. 随后, 电子通过多种隧穿机制形成导通电

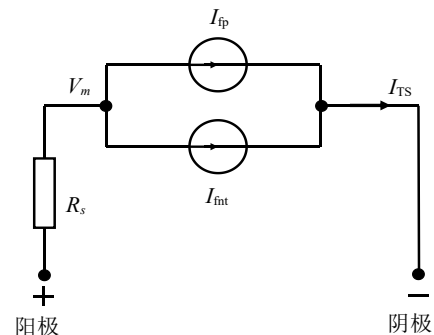
流^[18, 19]. 在图 2(a) 中, t_{cf} 为所有 Ag 纳米团簇的长度之和, 而 $t_{\text{ox}t, \text{eq}}$ 为所有间隙氧化层的等效厚度.

(3) 随着 V_a 越来越大, 这些导电金属团簇数量和尺寸都不断增加. 最后, 离散的 Ag 纳米团簇连在一起, 形成了连续的 CF, 这时 Ag/HfO₂ 阈值开关由高阻态 (High-Resistance State, HRS) 转变为低阻态 (Low-Resistance State, LRS).

(4) 而当外加电压 V_a 撤去时, 根据瑞利不稳定和界面能最小原理, Ag 原子的本征扩散效应将非常显著, 导致原有的 CF 破裂^[14]. 此时, Ag/HfO₂ 阈值开关则由 LRS 回到 HRS, 如图 3(a) 所示.



(a) HfO₂ 阻变开关层中 Ag 纳米团簇的分布示意图



(b) TS 器件的 Spice 等效电路

图 2 TS 器件中 CF 的形成过程与等效电路

因此, TS 器件中 CF 的形成过程实际上受到外加电场诱导的离子迁移和原子本征扩散双重机制的共同影响. 为了描述以上两种机制的相互竞争现象, 参照文献^[14, 19], 本文假定 CF 的等效长度 t_{cf} 满足以下动力学方程:

$$\frac{dt_{\text{cf}}}{dt} = \mu_i E - D_s \frac{t_{\text{cf}}}{t_{\text{ox}t}^2} \quad (1)$$

式中, μ_i 为离子迁移率; E 为氧化层中的有效电场; D_s 为原子扩散系数; $t_{\text{ox}t}$ 为阻变开关层的总厚度, 与 t_{cf} 的数学关系为: $t_{\text{cf}} = t_{\text{ox}t} - t_{\text{ox}t, \text{eq}}$, $t_{\text{ox}t, \text{eq}}$ 为图 2(a) 中, 所有间隙氧化层的等效厚度. 本文假定当电场强度较小时, TS 器件工作在高阻态, 这时器件的主要导电机制为 Frenkel-Poole (F-P) 发射^[14, 20]:

$$I_{\text{fp}} = \alpha_{\text{fp}} \sinh \left(\gamma_{\text{fp}} \sqrt{E} \right) \quad (2)$$

式中, α_{fp} 和 γ_{fp} 为需要通过实验测试数据获得的拟合参数, 与 HfO_2 阻变开关层中的缺陷密度、缺陷间平均距离以及器件有效导通面积等有关. 当电场较大时, 器件的主要导电机制假定为 FN (Fowler-Nordheim) 隧穿机制^[19]:

$$I_{\text{fnt}} = \beta_{\text{fnt}} E^2 \exp\left(-\frac{k}{E}\right) \quad (3)$$

$$k = \frac{8\pi\phi_B \sqrt{2qm' \phi_B}}{3h} \quad (4)$$

$$E = \frac{V_m}{t_{\text{ox}, \text{eq}}} \quad (5)$$

式中, β_{fnt} 为模型拟合参数, 与 ϕ_B 和器件有效导通面积等有关; ϕ_B 为阻变开关层与活性金属电极之间的接触电势, 这源自它们的功函数差; q 为电子的基本电荷量, m' 为电子隧穿有效质量; h 为普朗克常数^[21]; V_m 为间隙氧化层上的总压降. 在图 1 中, V_a 等于 ATS-FET 内部源极 (S') 与外部源极 (S) 之间的电势差. 最后, 我们进一步考虑了电极接触引入的寄生串联电阻 (R_s) 对 TS 器件性能的影响, 器件的 Spice 等效电路如图 2(b) 所示, 相应的数学关系表示为

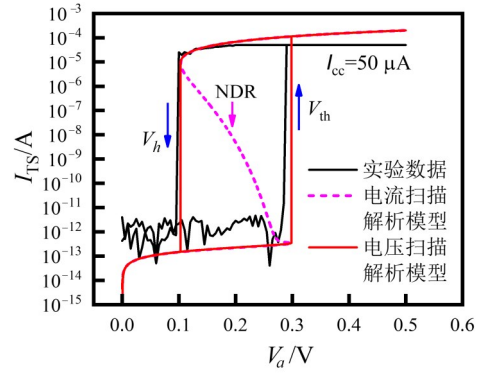
$$V_a = I_{\text{TS}} \times R_s + V_m, I_{\text{TS}} = I_{fp} + I_{\text{fnt}} \quad (6)$$

式中, V_a 为 TS 器件两端的总外加电压; I_{TS} 为通过 TS 器件的导电电流.

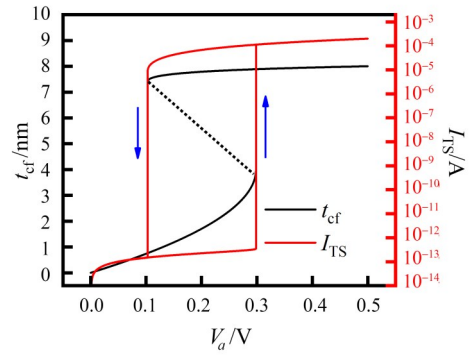
下面通过与实验数据拟合的方法来提取模型参数, 拟合曲线如图 3(a) 所示. 在图 3(a) 的开态区域, 模型仿真结果与测试数据之间存在一定差异的原因: 在实际的器件 I-V 特性实验测试过程中, 为了保护器件不会因导电电流过大而损坏, 我们使用了限制电流 I_{cc} , 即将器件的最大导电电流限制在了 $50 \mu\text{A}$. 而在解析模型里, 为了更加真实反映器件的电学特性, 没有使用限制电流. 图 3(b) 为使用解析模型计算的 CF 长度 (t_{cf}) 和沟道导电电流 (I_{TS}) 随外加电压的变化曲线. 可以观察到, t_{cf} 和 I_{TS} 随 V_a 的变化均呈现出陡峭的电滞回线特性, 且两者具有相同的阈值电压 ($V_{\text{th}} = 0.295 \text{ V}$) 和保持电压 ($V_h = 0.102 \text{ V}$).

在图 3(a) 和图 3(b) 中, TS 器件表现出明显的电滞回线特性, 这源于其本征的负微分电阻 (Negative Differential Resistance, NDR) 效应. SPICE 仿真和实验测试均表明: 在电流扫描模式下, NDR 效应表现出稳定的负阻特性 [图 3(a) 粉色虚线], 而在电压扫描模式下则呈现出显著的电滞回线特征 [图 3(a) 红色实线]. NDR 效应则源于动力学方程式 (1) 预测的“S”型 $t_f - V_a$ 曲线, 如图 3(b) 所示.

在实验制备中, 我们采用原子层淀积 (Atomic Layer Deposition, ALD) 和高温热退火 (Rapid Thermal Annealing, RTA) 等半导体工艺, 制备了基于 Au/Ag/ HfO_2 /Au 叠层结构的 TS 器件, 其中 Au 为惰性电极, 厚度



(a) 解析模型计算和实验测量的 I-V 特性曲线对比图



(b) CF 长度和沟道导电电流随外加电压的变化曲线

图 3 Au/Ag/ HfO_2 /Au 结构 TS 器件的电学特性

为 40 nm . Ag 和 HfO_2 分别作为活性金属与阻变开关层, 其厚度分别为 3 nm 和 8 nm . 详细的工艺制备流程可参考文献 [11]. 由于 Frenkel-Poole 发射电流决定了 TS 器件的高阻态电流, 因此参数 α_{fp} 和 γ_{fp} 需要从 TS 器件的 HRS 电流中提取. 离子迁移率 μ_i 和扩散系数 D_s 决定了 TS 器件的阈值电压 (V_{th}): $V_{\text{th}} = 0.25D_s/u_i$ ^[22]. 接触电势 ϕ_B 和电子隧穿有效质量 m' 的取值, 我们参考了文献 [19, 23] 中的取值, 并根据实验数据进行了微调. 模型参数 β_{fnt} 和 R_s 主要决定 TS 器件的开态电流和保持电压 (V_h), 但由于在实际的器件 I-V 特性测试过程中, 使用了限制电流 (I_{cc}), 无法获得 TS 器件准确的开态特性. 因此, 我们只能得到这两个模型参数的合理取值, 但不是唯一值. 从实验数据中提取的 TS 器件各模型参数具体见表 1.

2.2 基准 2D FETI-V 特性建模与参数提取

文献 [24, 25] 基于载流子的漂移-扩散输运机制, 使用 Pao-Sah 双积分电流公式^[26], 建立了长沟道 2D FET 器件的沟道电流 (I_D) 解析模型:

$$I_D = \frac{\mu_n C_{\text{ox}} W}{L} \left(1 + \frac{q^2 D_{\text{it}}}{C_{\text{ox}}}\right) \left[\omega\phi - \frac{\phi^2}{2}\right]_{\phi_s}^{\phi_d} \quad (7)$$

表 1 2D ATS-FET 器件默认模型参数

参数	物理含义	数值
$\alpha_{\text{fp}}/\text{A}$	F-P 发射模型第一拟合参数	2.922×10^{-11}
$\gamma_{\text{fp}}/(\text{V}^{-0.5} \cdot \text{m}^{0.5})$	F-P 发射模型第二拟合参数	1.344×10^{-6}
$\mu_n/(\text{m}^2 \cdot (\text{V} \cdot \text{s})^{-1})$	离子迁移率	7.645×10^{-11}
$D_s/(\text{m}^2 \cdot \text{s}^{-1})$	扩散系数	9.122×10^{-11}
t_{ox}/m	阻变开关层厚度	8×10^{-9}
$\beta_{\text{FN}}/(\text{A} \cdot \text{m}^{-2} \cdot \text{V}^{-2})$	F-N 隧穿拟合参数	2.136×10^{-8}
ϕ_{B}/V	功函数差值	1.30
m^*/kg	隧穿电子有效质量	5.497×10^{-32}
q/C	电子电荷量	1.60×10^{-19}
$\hbar/(\text{J} \cdot \text{s})$	约化普朗克常数	1.054×10^{-34}
R_s/Ω	接触串联电阻	2 500
L/m	沟道栅长	2×10^{-6}
W/m	沟道栅宽	1×10^{-5}
t_{ox}/m	HfO ₂ 栅介质厚度	8×10^{-9}
V_{FB0}/V	平带电压	-1.28
T/K	器件工作温度	300
$\mu_n/(\text{m}^2 \cdot (\text{V} \cdot \text{s})^{-1})$	电子有效迁移率	1.1×10^{-5}
N_d/m^{-2}	沟道的单位面积掺杂浓度	1.5×10^{16}
$T_{2\text{D}}/\text{m}$	MoS ₂ 沟道层的厚度	0.68×10^{-9}
$D_{\text{it}}/(\text{eV}^{-1} \cdot \text{cm}^{-2})$	MoS ₂ 沟道层/HfO ₂ 介质层界面陷阱态密度	1.2×10^{13}

$$\varphi(x) = V_{\text{GS}'} - V_{\text{TH0}} - v_{\text{th}} W_0 \left[\frac{q N_{2\text{D}}}{(1 + q^2 D_{\text{it}}/C_{\text{ox}}) C_{\text{ox}} v_{\text{th}}} \times \exp \left(\frac{V_{\text{GS}'} - V_{\text{TH0}} - V_{\text{ch}}(x)}{v_{\text{th}}} \right) \right] \quad (8)$$

式中, μ_n 为电子有效迁移率; C_{ox} 为栅氧层单位面积电容; W 和 L 分别为基准 2D FET 的栅宽和栅长; $\varphi(x)$ 为沟道任意位置 (x) 处的静电势; $V_{\text{GS}'}$ 为图 1 中 ATS-FET 器件栅极 (G) 与内部源极 (S') 之间的电压差; v_{th} 为热电压, 定义为 $k_{\text{B}} T/q$, k_{B} 为玻尔兹曼常量; T 为绝对温度; q 为基本电子电荷量. $N_{2\text{D}}$ 为二维沟道材料的二维有效电子态密度, 定义为 $m^* k_{\text{B}} T/(2\pi\hbar^2)$. 其中, m^* 为沟道电子有效质量, \hbar 为约化普朗克常数. $V_{\text{ch}}(x)$ 为沟道准费米势. φ_s 和 φ_d 分别是沟道源端和漏端静电势, 在式 (8) 中, 当 $V_{\text{ch}}(x)$ 分别取 $V_{\text{S}'}$ 和 V_{D} 时, 计算得到的 φ 值. ω 为与栅压有关的中间变量:

$$\omega = V_{\text{GS}' - V_{\text{TH0}} + v_{\text{th}}} \quad (9)$$

式中, V_{TH0} 为长沟道器件阈值电压, 具体数学表达式为

$$V_{\text{TH0}} = V_{\text{FB0}} - \frac{q N_d}{C_{\text{ox}} (1 + q^2 D_{\text{it}}/C_{\text{ox}})} \quad (10)$$

式中, V_{FB0} 为平带电压, 取决于栅金属与沟道的功函数差及氧化层中的固定电荷密度; N_d 为沟道单位面积掺杂浓度; D_{it} 为栅介质与沟道的界面陷阱态密度, 单位为 $\text{cm}^{-2} \cdot \text{eV}^{-1}$.

基于文献 [11] 中的实验制备工艺, 我们制备了基于 Ag/HfO₂ 阈值开关的 ATS-FET 原型器件, 为了提高器件集成度, 器件采用了垂直集成方式, 如图 1(a) 所示. 其中, 器件的栅长 (L) 和栅宽 (W) 分别为 $2 \mu\text{m}$ 和 $10 \mu\text{m}$. MoS₂ 作为沟道材料, 其厚度为 0.67 nm . 栅氧化层为 HfO₂, 其厚度为 8 nm . 将内部源极 (S') 接地, 漏端 (D) 接漏压 V_{D} 和栅极 (G) 接 V_{G} 后, 我们测量了基准 2D MoS₂ FET 器件的转移特性曲线, 用于提取 μ_n 、 N_d 和 D_{it} 等模型参数. 图 4 对比了基准 2D MoS₂ FET 器件的转移特性实验测试结果和解析模型计算结果. 其中, 符号表示实验数据, 实线表示解析模型计算结果. 可以看出, 解析模型与实验结果吻合良好, 验证了本文所提出解析模型的正确性. 通过实验拟合得到的基准 2D MoS₂ FET 器件的模型参数取值, 如表 1 所示.

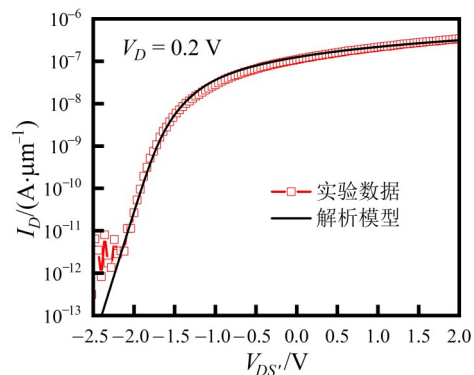


图 4 基准 MoS₂ FET 器件在 V_{D} 为 0.2 V 时的实验测量和解析模型计算得到的转移特性曲线

2.3 2D ATS-FET 器件 I-V 特性建模

由图 1 可知, 一个完整的 2D ATS-FET 器件可以看成由一个 TS 器件与一个基准 2D FET 器件串联而成. 由于两个器件串联, 其沟道中流过的电流必然相等, 即有:

$$I_{\text{TS}} = I_{\text{D}} \quad (11)$$

此外, 根据基尔霍夫电压定律, 我们可以得到:

$$V_{\text{D}} = V_{\text{DS}'} + V_{\text{SS}} = V_{\text{DS}'} + V_{\text{a}} \quad (12)$$

因此, 通过耦合求解方程组式 (2)~(8) 和式 (11)~(12), 便可得到 2D ATS-FET 器件完整的 I-V 特性. 我们进一步基于 Verilog-A 编程语言, 建立了 2D ATS-FET 器件的标准 SPICE 模型, 并在 Hspice 仿真平台中, 实现了上述方程组的耦合求解.

3 仿真结果与讨论

接下来, 我们将基于已建立的 2D ATS-FET 器件解

析模型,深入研究其电学特性和工作原理.在下文的所有仿真中,除非另有说明,器件模型参数均采用表1中的默认值.表中模型参数取值均来自实验数据提取.

3.1 2D ATS-FET 器件的基本工作原理

为了深入理解 ATS-FET 的设计思路,我们首先来考察 TS 器件的 NDR 效应.本研究采用了一种 1 TS-1 R 串联测试结构,通过输入电流三角波并监测内部节点电压 V_b 的响应,来观察 NDR 效应,即采用了电流扫描模式.值得注意的是:NDR 效应只有在电流扫描模式下才能被观察到,因为在电压扫描模式下,NDR 效应是不稳定的,从而导致 TS 器件出现电滞回线现象^[11],如图3所示.

如图5所示,随着输入电流的增加,我们观察到了清晰的 NDR 效应.在发生 NDR 效应过程中,容易观察到 TS 器件和负载电阻 R_L 两端的电压都发生了突变:分别由原来的 V_{TS} 和 V_L 突变为了 $V_{TS} - \Delta V_{NDR}$ 和 $V_L + \Delta V_{NDR}$,即 NDR 效应引起了负载电阻 R_L 两端电压的突变放大,这同时引起了其导通电流的突变增加(ΔI).我们有充分的理由相信,若将负载电阻 R_L 替换为二维沟道材料晶体管,依然能够实现内部节点的电压放大效应和导通电流的突变效应,从而有望设计出一种全新的超陡亚阈值斜率晶体管,即本文所研究的 2D ATS-FET 器件.

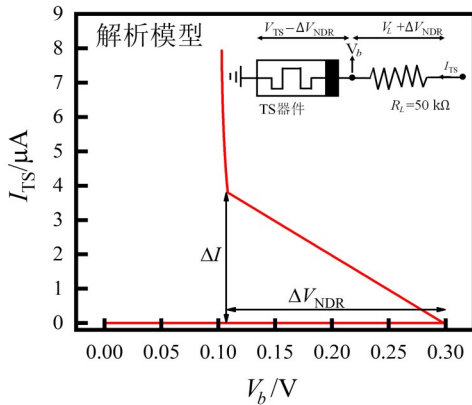


图5 在电流扫描模式下 TS 器件表现出的 NDR 效应

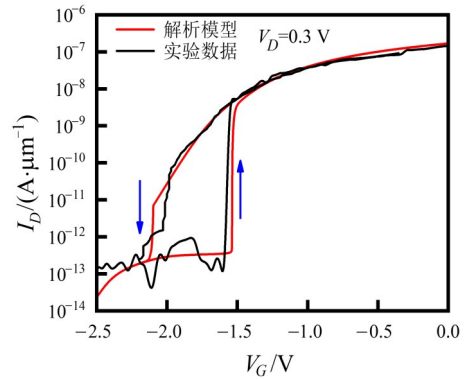
3.2 2D ATS-FET 器件的电学特性

图6(a)展示了实验测量和解析模型计算的 MoS₂ 沟道 ATS-FET 器件的转移特性曲线.红实线代表解析模型计算结果,黑实线代表实验测试结果.可以观察到:实验结果与测试结果吻合良好,说明了解析模型的正确性.2D ATS-FET 器件的工作过程可以简要描述如下.

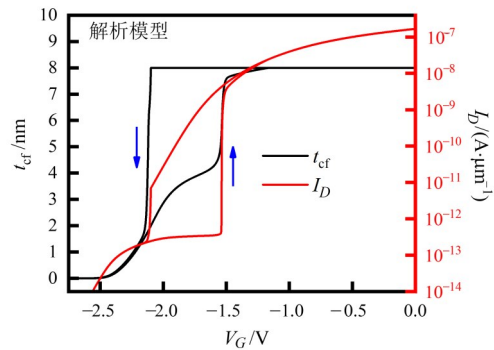
(1)在正向扫描过程中,当初始阶段栅压(V_G)较小时,整个 ATS-FET 器件处于关态,由于 TS 器件的 HRS 电阻可高达 1 TΩ 左右,因此 ATS-FET 器件的关态漏电流可低至 0.1 pA/μm.同时,因为基准 2D MoS₂ FET 的沟道关态电阻也较大,导致 TS 器件上的分压小于其阈值电压(即 $V_{SS} < V_{th}$),不足以触发 TS 器件的开启.随着 V_G

的进一步增加,2D MoS₂ FET 的沟道电阻逐渐减小,TS 器件上的分电压逐渐增大.一旦 TS 器件两端的电压超过其阈值电压(V_{th}),TS 器件内部的离散 Ag 纳米团簇将迅速形成连续的 CF,如图6(b)所示.TS 器件固有的 NDR 效应,这进一步导致了 TS 器件从 HRS 突变为 LRS,整个 2D ATS-FET 器件的导道电流发生了突变增加.

(2)在反向扫描过程中, V_G 持续减小,导致基准 2D FET 的沟道电阻逐步增加,这进一步导致 TS 器件两端的分压减小.当 TS 器件两端的电压降到 TS 器件的保持电压(V_h)以下时,TS 器件内部的连续 CF 开始断裂,如图6(b)所示,器件由 LRS 回到了 HRS.因此,2D ATS-FET 的超陡亚阈值斜率特性源于 TS 器件内部连续 CF 的快速形成与断裂机制.



(a) 解析模型计算和实验测量的转移特性曲线



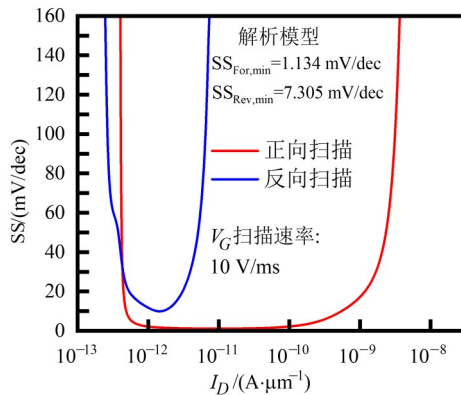
(b) 转移特性曲线及其对应的 CF 长度随栅压的变化曲线

图6 2D ATS-FET 器件的电学特性

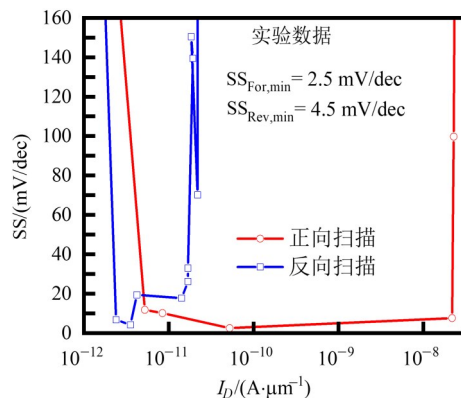
图7(a)和图7(b)分别为基于图6(a)所示器件的转移特性曲线,提取的正向和反向 SS 随沟道 I_D 的变化规律.其中,图7(a)为解析模型计算结果.从图中不难发现,解析模型计算得到的正向和反向室温亚阈值摆幅最小值分别为 1.134 mV/dec 和 7.305 mV/dec,均接近于 0 mV/dec.而在图7(b)所示的实验测试结果中,器件的最小正向和反向室温 SS 值分别为 2.5 mV/dec 和 4.5 mV/dec,

与图 7(a)中解析模型的计算结果非常接近. 我们还观察到,无论是解析模型预测结果,还是实验测量得到的正向室温 SS 曲线,其值均在大约 4 个量级的沟道电流范围内小于 60 mV/dec,克服了传统 MOSFET 器件面临的玻尔兹曼热力学极限.

此外,在图 7 所示的反向扫描 SS- I_D 特性曲线中,解析模型的计算结果与实验测试结果存在一定偏差. 这一差异主要是由于在实验测试的负栅压条件下,存在较为显著的栅致漏极漏电 (Gate Induced Drain Leakage, GIDL) 效应,而当前的解析模型尚未对这一非理想效应进行理论建模. 特别指出的是,从理论上来说,2D ATS-FET 器件在正向和反向电压扫描过程中,其最小 SS 值均应为 0 mV/dec,但因为在实际的 SPICE 仿真和实验测量过程中,均存在有限大的电压扫描步长,所以无法真正获得这一理想数值. 在本文 3.3 节,我们将从器件物理的角度,详细分析 2D ATS-FET 器件具有近零亚阈值摆幅特性的原因.



(a) 解析模型计算结果



(b) 实验测量结果

图 7 2D ATS-FET 器件的亚阈值摆幅随沟道电流的变化曲线

图 8(a)为在不同栅压 (V_G) 下,由解析模型计算得到的 2D ATS-FET 器件的输出特性曲线. 可以观察到,

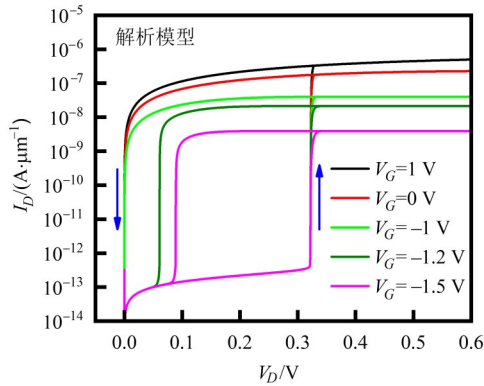
与传统 MOSFET 器件不同,2D ATS-FET 器件的输出特性曲线也会出现沟道电流突变的情况. 此外,当 V_G 较小时,随着 V_G 的增加,器件输出特性曲线的正向阈值电压和反向阈值电压均逐渐降低. 这是因为 V_G 的增加降低了基准 2D FET 的沟道导通电阻,从而增加了 TS 器件两端的分压,使其更容易开启. 而当 V_G 较大时,2D ATS-FET 器件的反向阈值电压接近于 0 V 和正向阈值电压接近 TS 器件本身的阈值电压 (V_{th}),且两者均表现出饱和趋势. 这一现象与图 8(b)所示的实验测试结果以及文献[27]中的实验观察基本一致. 其原因是,一方面,TS 器件的保持电压 (V_h) 会随着外接负载电阻 (即基准 2D FET 的沟道电阻) 减小而减小,直至接近 0 V^[22]. 另一方面,当 V_G 继续增大,基准 2D FET 的沟道电阻相较于 TS 器件的 HRS 电阻变得可忽略时,整个 ATS-FET 器件的正向输出特性便接近于 TS 器件本身的导通特性,此时 ATS-FET 器件的正向阈值电压几乎接近于一个常量: $V_{th} = 0.25D_s/u_i$ ^[22].

值得说明的是,图 8(a)中解析模型计算得到的正向阈值电压对栅压 (V_G) 的灵敏度低于图 8(b)所示的实验测试结果. 这实际上取决于 TS 器件与基准 2D FET 器件之间沟道等效电阻的相对大小. 当仅有 TS 器件的 HRS 电阻与基准 2D FET 的沟道电阻相比拟时, V_G 对 ATS-FET 器件正向阈值电压的调控才具有较高灵敏度. 例如,我们可以通过增加 α_{fp} 的值来适当降低 TS 器件 HRS 电阻,从而凸显 V_G 对器件正向输出特性曲线的调控灵敏度,如图 9 所示. 此外,TS 器件的 CF 形成过程本身是一个高度随机的过程,多次实验测试结果间往往表现出显著的统计波动^[28],这在一定程度上也会导致解析模型与实验数据之间出现偏差. 因此,图 8(a)与图 8(b)之间存在的少量定量差异,并不影响本文在对 2D ATS-FET 器件工作原理研究中所得出的定性结论.

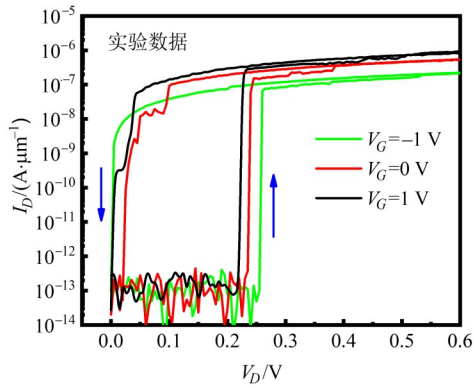
3.3 2D ATS-FET 器件近零亚阈值摆幅产生的物理根源

为了更好地理解图 6(a)中 2D ATS-FET 器件近零亚阈值摆幅产生的原因,本文首先检测了其内部源极电压 V_S 随栅压 V_G 变化的曲线,如图 10 所示. 在正向扫描过程中,TS 器件在上电过程中会有短暂的导通,因此 V_S 的初始电压接近 0 V. 随后, V_S 先会随着 V_G 的增加而增加,这是因为 V_G 减小了基准 2D FET 的沟道导通电阻,导致 TS 器件两端分压增加. 而当 TS 器件两端的分压达到其阈值电压 (V_{th}) 时,由于 TS 器件固有的 NDR 效应,2D ATS-FET 器件会突然导通,由高阻态转变为低阻态,且在这个过程中 V_G 的变化量为零. 不管是实验测试结果,还是解析模型都呈现了这一规律.

下面从器件物理的角度,解释图 6(a)中 2D ATS-FET 器件亚阈值摆幅接近零的物理根源. 在亚阈值区,

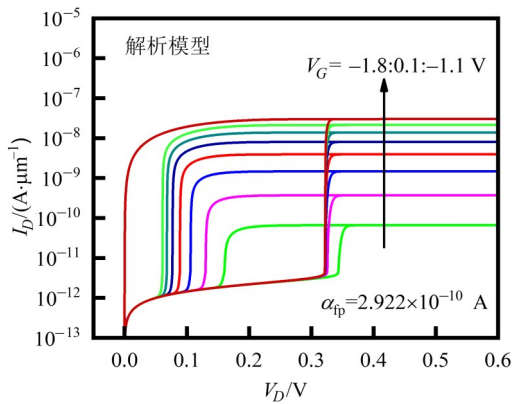


(a) 解析模型计算结果



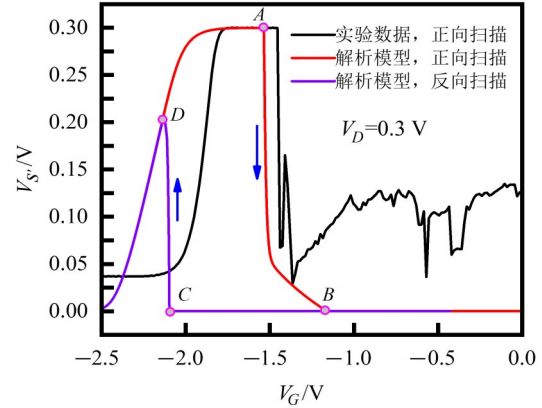
(b) 实验测试结果

图8 不同栅压下2D ATS-FET器件输出特性曲线

图9 仅增加模型参数 α_{ip} 的取值而保持其他模型参数不变的情况下的2D ATS-FET器件的输出特性曲线

沟道电流表达式(7)可以简化为^[29]

$$I_{\text{sub}} = \frac{qu_n N_{2D} W}{L} \exp\left[\frac{V_G - V_{S'} - V_{\text{TH0}}}{nv_{\text{th}}}\right] \cdot \left[\exp\left(\frac{-V_{S'}}{v_{\text{th}}}\right) - \exp\left(\frac{-V_D}{v_{\text{th}}}\right) \right], \quad n = 1 + \frac{q^2 D_{\text{it}}}{C_{\text{ox}}} \quad (13)$$

图10 解析模型计算和实验测量的2D ATS-FET器件内部源极电压 $V_{S'}$ 随栅压的变化曲线

由于漏端电压 V_D 需大于TS器件的阈值电压(V_{th}), ATS-FET器件才能导通. 在本仿真中, $V_D = 0.3 \text{ V}$, 即有表达式 $\exp\left(\frac{-V_D}{v_{\text{th}}}\right) \approx 0$ 成立, I_{sub} 可以进一步简化为

$$I_{\text{sub}} \approx I_0 \cdot \exp\left[\frac{V_G - V_{S'}}{nv_{\text{th}}}\right] \cdot \exp\left(\frac{-V_{S'}}{v_{\text{th}}}\right) \quad (14)$$

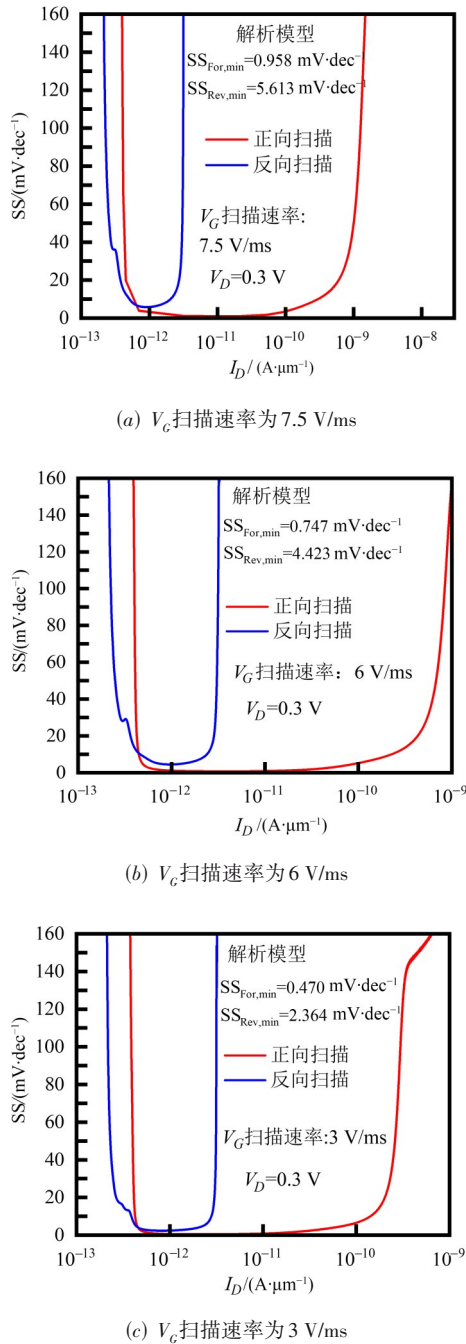
式中, $I_0 = \frac{qu_n N_{2D} W}{L} \exp\left[\frac{-V_{\text{TH0}}}{nv_{\text{th}}}\right]$, 为与偏压无关的常量. 此处, 记 β 为内部源极电压 $V_{S'}$ 相对于栅压 V_G 的电压放大倍数, 则SS可以计算为

$$\begin{aligned} \text{SS} &= \frac{\partial V_{\text{GS}}}{\partial \lg I_{\text{sub}}} = \frac{\partial V_G}{\partial V_{S'}} \cdot \frac{\partial V_{S'}}{\partial \lg I_{\text{sub}}} \\ &\approx -\frac{1}{\beta} \cdot \frac{2.3nv_{\text{th}}}{(n+1)} \approx 0 \text{ mV/dec}, \quad \beta \rightarrow -\infty \end{aligned} \quad (15)$$

以正向扫描为例, 如图10所示, 在ATS-FET的陡峭开启过程($A \rightarrow B$)中, V_G 的变化量理论上为零. 因此, 其内部电压放大倍数($\beta = \Delta V_{S'} / \Delta V_G$)接近于负无穷大. 同理, 在反向扫描陡峭关闭的过程($C \rightarrow D$), β 也接近于无穷大. 因此, 反向最小亚阈值摆幅的理想值也是0 mV/dec. 然而, 在实际的SPICE仿真和实验测量过程中, 直流(Direct Current, DC)扫描过程实际是一个动态过程, 存在有限的电压扫描步长, 因此无法真正获得零亚阈值摆幅特性, 但通过减小扫描电压步长(即降低栅压扫描速率), 可以使SS的最小值尽可能接近0 mV/dec, 如图11所示.

4 结束语

本文基于CF的演化动力学、量子隧穿以及漂移-扩散等物理机制, 首次建立了基于TS的二维沟道材料场效应管的解析I-V模型. 进一步的, 本文基于Verilog-A编程语言, 开发了该器件的标准SPICE仿真模型, 该模型能较好地复现实验测试结果. 此外, 基于该模型, 本文系统地研究了2D ATS-FET器件的电学特性, 并揭示

图 11 不同栅压扫描速率下,ATS-FET器件的SS- I_D 曲线

了其近零亚阈值摆幅产生的物理根源. 研究结果表明: 2D ATS-FET具有超低关态电流、极小亚阈值摆幅和低工作电压等特性,在下一代低功耗集成电路领域展现出重要的应用潜力.

参考文献

[1] 沈书逸. 碳纳米管在后摩尔时代的机遇与挑战[J]. 信息记录材料, 2021, 22(6): 215-216.

SHEN S Y. Opportunities and challenges of carbon nanotubes in the post-Moore era[J]. Information Recording Materials, 2021, 22(6): 215-216. (in Chinese)

- [2] 李鸿, 徐琳, 邱晨光, 等. 超越硅基器件的二维晶体管: 从理论到实验[J]. 物理学进展, 2025, 45(3): 118-131.
LI H, XU L, QIU C G, et al. Two-dimensional transistors beyond silicon counterparts: From theory to experiment[J]. Progress in Physics, 2025, 45(3): 118-131. (in Chinese)
- [3] LI M. Review of advanced CMOS technology for post-Moore era[J]. Science China Physics, Mechanics and Astronomy, 2012, 55(12): 2316-2325.
- [4] QIN L X, TIAN H, LI C L, et al. Steep slope field effect transistors based on 2D materials[J]. Advanced Electronic Materials, 2024, 10(8): 2300625.
- [5] YANG Q Y, LUO Z D, DUAN H L, et al. Steep-slope vertical-transport transistors built from sub-5 nm Thin van der Waals heterostructures[J]. Nature Communications, 2024, 15: 1138.
- [6] GNANI E, BARAVELLI E, MAIORANO P, et al. Steep-slope devices: Prospects and challenges[J]. Journal of Nano Research, 2016, 39: 3-16.
- [7] IONESCU A M, RIEL H. Tunnel field-effect transistors as energy-efficient electronic switches[J]. Nature, 2011, 479(7373): 329-337.
- [8] SALAHUDDIN S, DATTA S. Use of negative capacitance to provide voltage amplification for low power nanoscale devices[J]. Nano Letters, 2008, 8(2): 405-410.
- [9] AKARVARDAR K, ELATA D, PARSA R, et al. Design considerations for complementary nanoelectromechanical logic gates[C]//2007 IEEE International Electron Devices Meeting. Piscataway: IEEE, 2008: 299-302.
- [10] CHOI W Y, SONG J Y, LEE J D, et al. A novel biasing scheme for I-MOS (impact-ionization MOS) devices[J]. IEEE Transactions on Nanotechnology, 2005, 4(3): 322-325.
- [11] HUA Q L, GAO G Y, JIANG C S, et al. Atomic threshold-switching enabled MoS₂ transistors towards ultralow-power electronics[J]. Nature Communications, 2020, 11: 6207.
- [12] MAO J Y, JIN T Y, HOU X Y, et al. Steep slope threshold switching field-effect transistors based on 2D heterostructure[J]. SmartMat, 2024, 5(6): e1283.
- [13] JEONG S, HAN S, LEE H J, et al. Abruptly-switching MoS₂-channel atomic-threshold-switching field-effect transistor with AgTi/HfO₂-based threshold switching device[J]. IEEE Access, 2021, 9: 116953-116961.
- [14] WANG W, LAUDATO M, AMBROSI E, et al. Volatile resistive switching memory based on Ag ion drift/diffusion: Part II: Compact modeling[J]. IEEE Transactions on Electron Devices, 2019, 66(9): 3802-3808.
- [15] YOON J H, WANG Z R, KIM K M, et al. An artificial nociceptor based on a diffusive memristor[J]. Nature Communications, 2018, 9: 417.

- [16] CAO W, KANG J H, SARKAR D, et al. 2D semiconductor FETs: Projections and design for sub-10 nm VLSI[J]. IEEE Transactions on Electron Devices, 2015, 62(11): 3459-3469.
- [17] CHHOWALLA M, JENA D, ZHANG H. Two-dimensional semiconductors for transistors[J]. Nature Reviews Materials, 2016, 1: 16052.
- [18] SUN H T, LIU Q, LI C F, et al. Direct observation of conversion between threshold switching and memory switching induced by conductive filament morphology[J]. Advanced Functional Materials, 2014, 24(36): 5679-5686.
- [19] DAI Y H, ZOU J X, FENG Z, et al. Modeling of a diffusive memristor based on the DT-FNT mechanism transition[J]. Semiconductor Science and Technology, 2022, 37(9): 095001.
- [20] IELMINI D, ZHANG Y G. Analytical model for subthreshold conduction and threshold switching in chalcogenide-based memory devices[J]. Journal of Applied Physics, 2007, 102(5): 054517.
- [21] TOUMI S, OUENNOUGHI Z, STRENGER K C, et al. Determination of Fowler-Nordheim tunneling parameters in Metal-Oxide-Semiconductor structure including oxide field correction using a vertical optimization method[J]. Solid-State Electronics, 2016, 122: 56-63.
- [22] HUO Y K, JIANG C S, XIE Q. Modeling of the switching characteristics of Ag/HfO₂-based volatile memristors[C]// Proceedings of the 9th IEEE Electron Devices Technology & Manufacturing Conference. Piscataway: IEEE, 2025: 1-3.
- [23] WANG Z R, JOSHI S, SAVEL'EV S E, et al. Memristors with diffusive dynamics as synaptic emulators for neuromorphic computing[J]. Nature Materials, 2017, 16(1): 101-108.
- [24] JIANG C S, SI M W, LIANG R R, et al. A closed form analytical model of back-gated 2-D semiconductor negative capacitance field effect transistors[J]. IEEE Journal of the Electron Devices Society, 2018, 6: 189-194.
- [25] JIANG C S, ZHONG L, XIE L. Impact of interface trap charges on the electrical characteristics of back-gated 2D negative capacitance (NC) FET[J]. IEEE Transactions on Nanotechnology, 2019, 18: 1204-1207.
- [26] PAO H C, SAH C T. Effects of diffusion current on characteristics of metal-oxide (insulator)-semiconductor transistors[J]. Solid-State Electronics, 1966, 9(10): 927-937.
- [27] GRISAFE B, DATTA S. Investigation of threshold switch OFF-state resistance on performance enhancement in 2D Mos2 phase-FETs[C]//Proceedings of the 76th Device Research Conference. Piscataway: IEEE, 2018: 1-2.
- [28] JIANG H, BELKIN D, SAVEL'EV S E, et al. A novel true random number generator based on a stochastic diffusive memristor[J]. Nature Communications, 2017, 8: 882.
- [29] DUARTE J P, CHOI S J, CHOI Y K. A full-range drain current model for double-gate junctionless transistors[J]. IEEE Transactions on Electron Devices, 2011, 58(12): 4219-4225.

作者简介



蒋春生 男,1990出生于广西省桂林市。现为广西师范大学电子与信息工程学院副教授、博士生导师。主要研究方向为新型低功耗纳米器件制备与建模。在国内外发表学术论文60余篇。中国电子学会会员编号:E190035968S。
E-mail: 20210038@gxnu.edu.cn



宋树祥 男,1970年出生于湖南省娄底市。现为广西师范大学教授、博导和副校长。主要研究方向为大规模模拟集成电路设计。
E-mail: songshuxiang@mailbox.gxnu.edu.cn



霍亦康 男,1998年出生于山东省泰安市。现为广西师范大学集成电路学院在读硕士研究生。主要研究方向为忆阻器的建模与仿真。
E-mail: 18846046224@163.com



潘立阳 男,1975年出生于安徽省黄山市。现为清华大学集成电路学院副研究员、博士生导师。主要研究方向为新型半导体存储器技术。
E-mail: panly@tsinghua.edu.cn



化麒麟 男,1987年出生于云南省玉溪市。现为北京理工大学集成电路与电子学院特别研究员、博士生导师。主要研究方向为柔性微纳器件与系统研究。
E-mail: huaqilin@bit.edu.cn



许军 男,1963年出生于安徽合肥市。现为清华大学集成电路学院研究员、博士生导师。主要研究方向为半导体器件物理、新型纳米尺度MOS器件以及超大规模集成电路新工艺。中国电子学会会员编号:E190196960M。
E-mail: junxu@mail.tsinghua.edu.cn