

一种用于片上时钟系统的单粒子不敏感振荡器

桑 浩^{1,2}, 袁珩洲^{1,2*}, 郭 阳^{1,2}, 刘 胜^{1,2}, 陈小文^{1,2}, 徐炜遐¹

(1. 国防科技大学计算机学院, 湖南长沙 410073; 2. 国防科技大学先进微处理器芯片与系统重点实验室, 湖南长沙 410073)

摘要: 随着先进半导体工艺的持续演进, 芯片集成度与复杂度显著提升, 系统时钟设计正逐步从片外晶振向片上时钟系统转变. 基于LC压控振荡器(Inductor-Capacitor Voltage-Controlled Oscillator, LCVCO)的锁频环(Frequency-Locked Loop, FLL)时钟基准产生电路凭借其优异的噪声抑制特性和强抗辐照能力, 成为高可靠性电子系统的关键技术. 然而, 现有LCVCO架构中的电容阵列与尾电流源对单粒子效应高度敏感, 这在太空辐射环境中极易引发系统故障, 严重制约了其在航天领域的应用前景. 本文针对上述问题, 提出一种新型LCVCO架构, 旨在提升高可靠片上时钟系统的鲁棒性. 该架构引入动态自偏置反馈技术, 通过振荡信号实时动态调节尾电流源的偏置电压, 有效抑制 $1/f$ 噪声并实现输出幅度的自稳定控制. 基于脉冲灵敏度函数(Impulse Sensitivity Function, ISF)对振荡器的相位噪声和单粒子敏感性进行评估和对比, 仿真结果表明, 本文设计的LCVCO在关键节点处的ISF曲线具有更低的幅值和良好的对称性, 显著提升了噪声性能与抗SET特性. 此外, 谐振腔采用低阻抗泄放路径的NMOS型电容阵列单元, 该单元结构能快速泄放单粒子瞬态电流, 降低其带来的频率波动. 本设计基于鳍形场效应晶体管(Fin Field-Effect Transistor, FinFET)工艺实现, 芯片面积为 0.06 mm^2 , 功耗为 9.6 mW . 在 26 MHz 输出时钟条件下, 相位噪声优化为 $-136 \text{ dBc/Hz}@1 \text{ MHz}$, 品质因数(Figure of Merit, FoM)值为 $154.5 \text{ dBc/Hz}@1 \text{ MHz}$, 周期抖动均方根值为 5.93 ps . 激光实验结果表明, 本文设计的LCVCO激光触发阈值提升至 1.5 nJ , 较传统结构提高 114.3% , 大幅降低了单粒子效应的影响, 重离子辐照实验在 $86.1 \text{ MeV}\cdot\text{cm}^2/\text{mg}$ 的线性能量转移(Linear Energy Transfer, LET)值下进行, 结果显示最大频率偏移低于 4.5% . 仿真和实测结果充分验证了该电路在太空辐射环境中的高可靠性, 为航天电子设备提供了更稳健的时钟解决方案.

关键词: 振荡器; 锁相环; 时钟; 相位噪声; 单粒子瞬态; 脉冲灵敏度函数

基金项目: 国家自然科学基金(No.62174180)

中图分类号: TN402

文献标识码: A

文章编号: 0372-2112(2025)09-3202-09

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20250667

A Single-Event Immune Oscillator for On-Chip Clock Systems

SANG Hao^{1,2}, YUAN Heng-zhou^{1,2*}, GUO Yang^{1,2}, LIU Sheng^{1,2}, CHEN Xiao-wen^{1,2}, XU Wei-xia¹

(1. College of Computer Science and Technology, National University of Defense Technology, Changsha, Hunan 410073, China;

2. Key Laboratory of Advanced Microprocessor Chips and Systems, National University of Defense Technology,

Changsha, Hunan 410073, China)

Abstract: With the continuous evolution of advanced semiconductor processes, chip integration and complexity have significantly increased. System clock design is gradually shifting from off-chip crystal oscillators to on-chip clock systems. frequency-locked loop (FLL) clock reference generation circuits based on Inductor-Capacitor voltage-controlled oscillators (LCVCOs) have become a key technology for high-reliability electronic systems due to their excellent noise suppression characteristics and strong radiation resistance capabilities. However, existing LCVCO architectures are highly sensitive to single-event effects in capacitor arrays and tail current sources, which can easily cause system failures in space radiation environments, severely limiting their application prospects in aerospace. To address these issues, this paper proposes a novel LCVCO architecture aimed at enhancing the robustness of reliable on-chip clock systems. This architecture introduces dynamic self-bias feedback technology, dynamically adjusting the bias voltage of the tail current source through real-time oscillation signals to effectively suppress $1/f$ noise and achieve self-stabilization control of output amplitude. The phase noise and single-event sensitivity of oscillators are evaluated and compared based on the impulse sensitivity function (ISF). Simulation results show that the ISF curve of the LCVCO designed in this paper has lower amplitude and better symmetry at criti-

cal nodes, significantly improving noise performance and single event transient (SET) tolerance. Additionally, the resonant tank uses an NMOS-type capacitor array unit with low-impedance discharge paths, which can quickly discharge single-event transient currents, reducing frequency fluctuations caused by them. The design is implemented using fin field-effect transistor (FinFET) technology, occupying an area of 0.06 mm^2 and consuming 9.6 mW of power. At a 26 MHz output clock, the phase noise is optimized to $-136 \text{ dBc/Hz}@1\text{MHz}$, with a figure of merit (FoM) value of $154.5 \text{ dBc/Hz}@1\text{MHz}$, and the root mean square (RMS) value of cycle jitter is 5.93 ps . Laser experiments show that the laser triggering threshold of the LCVCO designed in this paper has been increased to 1.5 nJ , an improvement of 114.3% compared to traditional structures, greatly reducing the impact of single-event effects. Heavy-ion irradiation experiments were conducted at a linear energy transfer (LET) value of $86.1 \text{ MeV}\cdot\text{cm}^2/\text{mg}$, showing that the maximum frequency deviation is less than 4.5% . The simulation and experimental results fully validate the high reliability of this circuit in the space radiation environment, which provides a more robust clocking solution for spaceborne electronic equipment.

Key words: oscillator; phase-locked loop; clock; phase noise; single event transient; impulse sensitivity function

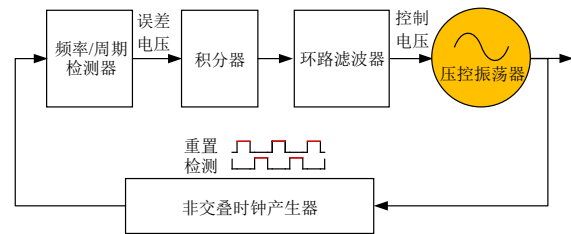
Foundation Item(s): National Natural Science Foundation of China (No.62174180)

1 引言

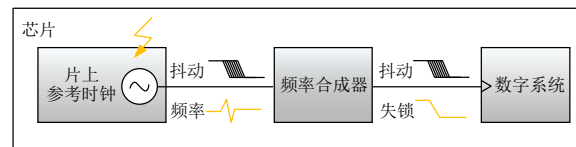
在深空探测任务复杂度持续提升的背景下, 宇航用处理器的微型化设计正成为缓解载荷系统能源效率瓶颈的重要技术路径. 随着集成电路工艺的持续进步, 处理器芯片的集成度不断提升, 然而受限于印制电路板 (Printed Circuit Board, PCB) 布局约束, 电路系统的微型化进程难以同步缩小. 传统时钟生成方案中, 处理器需通过片外晶振提供 MHz 级参考时钟, 再经锁相环 (Phase-Locked Loop, PLL) 倍频至 GHz 级系统时钟. 晶振的引入不仅带来板级面积的增加, 其外部时钟路径的延长更导致信号完整性下降, 并且在极端辐射条件下引发可靠性风险. 因此, 高鲁棒性的全集成片上时钟技术正成为解决微型化与可靠性问题的重要研究方向^[1-4].

电阻电容振荡器 (Resistor-Capacitor Oscillator, RCO) 通过电阻与电容的充放电特性及反馈网络生成目标频率的时钟信号, 可作为片外晶振的替代方案. 锁频环 (Frequency-Locked Loop, FLL) 型 RCO 在保证电源电压与温度稳定性的前提下, 可实现更高工作频率的时钟信号输出, 因而更适合作为高性能处理器的频率基准^[5-7]. 图 1(a) 是 FLL 的基本结构, 其中压控振荡器 (Voltage-Controlled Oscillator, VCO) 常采用环形振荡器结构以获得高集成度、低功耗和宽调节范围, 但其固有的相位噪声特性会引入较大的输出信号抖动分量, 成为影响时钟质量的关键瓶颈. 在空间辐射环境中, 环形振荡器 (Ring Oscillator, RO) 极易遭受高能粒子轰击引发单粒子瞬态 (Single-Event Transient, SET), 如图 1(b) 所示, SET 导致输出频率发生剧烈波动, 严重时甚至引发频率综合器中的 PLL 失锁. 文献[8]和文献[9]提出, 由于电感电容压控振荡器 (Inductor-Capacitor Voltage-Controlled Oscillator, LCVCO) 的谐振腔中无源器件占据了大部分面积, LCVCO 比 RO 具有更好的单粒子耐受

性. 然而, 有源偏置和电容阵列的引入弱化了这一优势, 文献[10]通过激光实验发现, 靠近电感尾部的电容阵列是 LCVCO 中最敏感的物理区域. 此外, LCVCO 的尾电流源需依赖有源偏置电路提供, 这一环节也构成了时钟参考电路的 SET 敏感源.



(a) RC 振荡器的基本结构



(b) SET 和抖动对片上系统的影响

图 1 片上时钟电路的特点

本文设计了一种适用于高可靠片上时钟系统的抗 SET 的 LCVCO. 该 LCVCO 采用了一种 SET 不敏感的电容阵列单元, 并利用动态自偏置反馈技术有效提升 SET 恢复能力, 同时降低了相位噪声. 通过脉冲灵敏度函数 (Impulse Sensitivity Function, ISF) 分析以及仿真发现, 提出的 LCVCO 受 SET 影响后具有更低的幅值和频率波动. 电路在鳍式场效应管 (Fin Field-Effect Transistor, FinFET) 工艺下实现, 测试结果表明, 本文设计的 LCVCO 具有良好的相位噪声和抖动性能, 相比传统结构有效提高了激光触发阈值, 同时重离子实验进一步表明其单粒子不敏感性.

2 电路设计

图2(a)展示了本文设计的LCVCO的核心结构,其谐振腔主要由电感和电容阵列构成.电感采用八边形螺旋结构,在优化品质因子的同时实现了较小的占用面积,电容阵列则包含变容二极管和开关电容组.为确保谐振腔正常起振并维持振荡,电路通过 M_1 和 M_2 构成的NMOS交叉耦合对确保谐振腔正常起振.尾电流源管 M_0 采用较大尺寸以保证稳定的偏置电流,其栅极电压 V_{tail} 通过电流镜偏置电路对带隙基准(BandGap, BG)的基准电流 I_b 进行转换生成,从而确保偏置的温度稳定性.此外,LCVCO的控制电压 V_c 经模拟缓冲器复制并放大,显著提升驱动能力,从而精准调谐变容二极管的电容值,最终实现对振荡频率的精细控制.

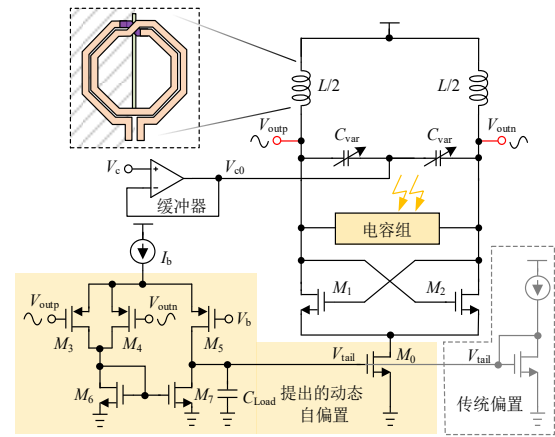
2.1 动态自偏置技术

LCVCO通常需要稳定的电流偏置确保正常起振和稳定的振荡幅值,传统电流镜偏置方案通过直接复制BG的电流 I_b 至尾电流管,但存在工艺偏差导致的电流不稳定、输出幅度不可控以及噪声放大等技术局限.例如,工艺参数波动可能导致尾电流 I_{tail} 低于起振阈值,或因环境变化使振荡幅度超出负载管的栅压承受范围,甚至因较大的电流复制比加剧噪声传递,恶化输出信号的相位噪声性能.

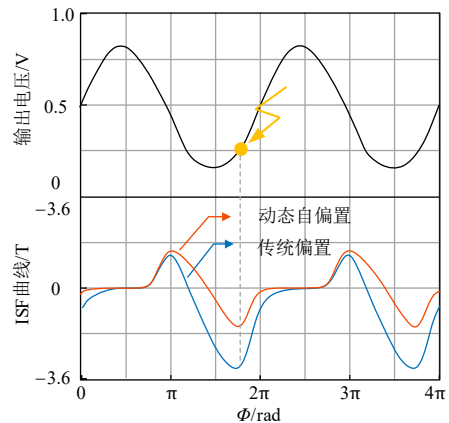
不同于传统电流镜偏置,图2(a)提出的动态自偏置结构通过谐振腔输出的反馈机制实现自适应调节.谐振腔的输出信号被耦合至 M_3 和 M_4 的栅极,形成与振荡信号相关的漏极电流 $I_{\text{ds}3}$ 和 $I_{\text{ds}4}$.由于该漏电流通过电流镜复制到 M_5 的漏极,且总电流由 I_b 决定,因此存在关系 $I_{\text{ds}5}+I_{\text{ds}3}+I_{\text{ds}4}=I_b$,由于 M_5 漏极仅连接电容 C_{Load} 和尾电流管 M_0 的栅极,稳定状态下满足 $I_{\text{ds}5}=I_{\text{ds}3}+I_{\text{ds}4}=I_b/2$.谐振腔未起振时, $I'_{\text{ds}3}+I'_{\text{ds}4}<I_b/2$,经过电流镜像后, $I'_{\text{ds}5}<I_b/2<I'_{\text{ds}5}$,此时会有电流从S节点流出注入到电容 C_{Load} 中,因此 V_{tail} 电位相较于反馈环路稳定时的电位更高,即在初始未起振阶段,尾电流管 M_0 栅极电压较高,尾电流 I_{tail} 较大, M_1 和 M_2 构成的交叉耦合管的等效负阻更大,加快LC谐振腔起振.当LC谐振腔起振后, V_{outp} 和 V_{outn} 可以看作在直流电平信号的基础上叠加交流信号.摆幅的提高会导致 $I_{\text{ds}3}$ 和 $I_{\text{ds}4}$ 之和变大, V_{tail} 会降低以匹配 $I_{\text{ds}5}$ 和 $I_{\text{ds}7}$,反之输出波形幅度降低时, V_{tail} 会升高,提出的动态自偏置结构是一个反馈环路,最终使输出摆幅稳定,并在受扰动时动态调节以恢复稳态.

通过将差分输出信号同步反馈至偏置电路,该结构使上升沿与下降沿的噪声敏感性趋于一致,可以有效降低相位噪声.根据Hajimiri模型,振荡器的噪声特性呈现非线性与时变性,意味着内部扰动在不同时刻对相位噪声的影响存在显著差异.图2(b)展示了输出节点的输出波形和ISF曲线,该曲线通过周期稳态(Per-

iodic Steady-State, PSS)分析与稳态传输函数(Periodic Transfer Function, PTF)分析进行拟合^[11,12].图中传统电流镜偏置与提出的动态自偏置结构的输出振荡波形基本一致,但ISF曲线的对称性差异显著:传统结构的ISF曲线存在明显的直流分量,而动态自偏置结构的ISF曲线呈现奇对称特性,其直流分量趋近于零.这一特性表明,动态自偏置方案通过抑制ISF的低频成分,有效降低了 $1/f$ 噪声对相位噪声的贡献,从而改善LCVCO输出的时钟信号质量^[13].ISF作为量化注入脉冲电流对振荡器相位扰动敏感性的工具,同样被用于描述LCVCO节点的单粒子不敏感性^[14,15].图2(b)中,动态自偏置结构与传统电流镜结构相比ISF极值更低,表明在最差情况下具有更好的抗SET特性.



(a) 动态自偏置LCVCO的结构



(b) LCVCO输出节点处传统偏置与动态自偏置的输出振荡波形和ISF曲线

图2 本文设计的动态自偏置LCVCO

2.2 SET不敏感电容组单元

LC谐振腔作为决定输出频率的核心组件,其任何微小扰动均会直接反映至片上时钟的输出端.文献[10]通过激光实验指出,LCVCO中SET最敏感区域最初位

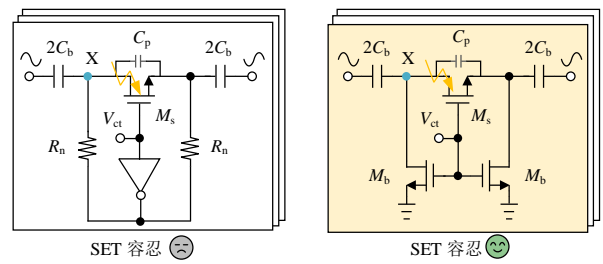
于谐振腔的电容区域,尤其是变容二极管.然而,当VCO的频率增益被设计为较小值以满足高精度输出需求时,变容管受SET的影响显著减弱,敏感区域则转移至开关电容组.当电容组中的NMOS开关管因单粒子轰击产生泄漏电流或状态翻转时,LC谐振腔的等效电容会发生突变,导致输出频率产生剧烈波动,此时SET的影响更为严重.

图3(a)展示了开关电容组单元的2种实现结构.在这2种结构中,当控制电压 V_{ct} 为低电平时,开关管 M_s 断开,此时电容 C_b 与 M_s 的寄生电容 C_p 串联.由于 C_p 远小于 C_b ,接入谐振腔的等效电容近似为 C_p .当 V_{ct} 为高电平时,开关管 M_s 导通, C_{b1} 和 C_{b2} 串联接入,而 C_p 被短路,此时谐振腔仅受 C_b 影响.该结构通过 M_s 的导通和断开的切换,实现电容值从 C_p 到 C_b 的变化,从而扩展LCVCO的调谐范围.然而,当 M_s 处于导通状态时,振荡器信号通过 C_b 耦合至 M_s 的源漏极,可能引发电压波动.若此时 M_s 的源漏电压偏离理想值,可能导致其无法维持完全导通状态.为解决此问题,第1种结构通过反相器与电阻 R_n 将 M_s 两端电压钳位至零电位,但这一设计存在缺陷:当 M_s 遭受单粒子轰击产生的瞬态电流时,钳位节点X电压 V_x 会被瞬时抬升,导致 M_s 断开,引发振荡波形剧烈波动.相比之下,第2种结构采用NMOS管将 M_s 的源漏两端直接拉至地电位,形成低阻抗泄放路径.当SET引发的瞬态电流出现时,该路径可迅速泄放电荷,显著降低对 M_s 导通状态的干扰,从而展现出更优的SET抗扰能力.

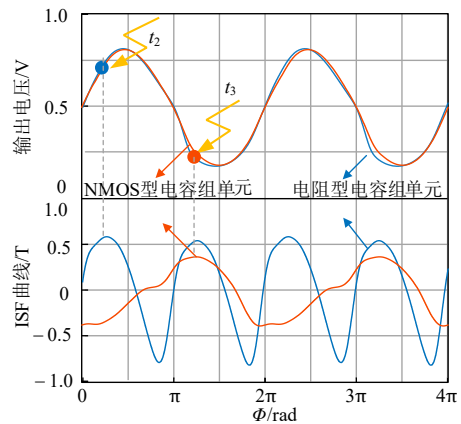
图3(b)对比了NMOS型与电阻型开关电容单元在开关节点X处的ISF曲线及输出波形,可以看出电阻型单元结构ISF峰值更高,且输出波形出现非对称畸变,这源于电阻型结构中电阻与电容的并联组合对高频谐波的滤波效应导致波形失真.

3 SET仿真结果

本文通过双指数脉冲电流源模拟SET发生时的电流注入,并在设计阶段对LCVCO输出波形进行仿真,仿真均在TT工艺角,25℃条件下进行.首先,偏置电路各节点受到SET影响后,均会以不同程度表现为输出节点电流的瞬态变化,进一步导致输出频率跳变,因此选取振荡器输出节点[图2(a)的 V_{out}]为典型敏感节点.为了对比动态自偏置结构与传统结构对SET的容忍度,将SET脉冲分别引入基于2种偏置结构的振荡器的输出节点.其次,考虑到SET与VCO的时间相关性,其触发时间设定为599.92 ns,对应图2(a)的 t_1 时刻.图4(a)和图4(b)分别展示了SET发生在输出节点时,传统偏置和所提出的动态自偏置结构的输出振荡波形和对应的频率变化,该仿真结果表明,传统结构在SET干扰下频



(a) 电阻型和NMOS型电容组单元的结构



(b) 采用NMOS型和电阻型开关电容单元对应的输出波形以及内部开关节点X处的ISF曲线

图3 抗SET电容组单元结构的选择

率偏移幅度显著增大,而动态自偏置结构的频率扰动较小,但恢复至稳态所需时间较长;图4(c)和图4(d)分别展示了SET发生在电容组内部时,传统偏置和提出的动态自偏置结构的输出振荡波形和对应的频率变化.仿真结果表明,当SET被引入开关电容组内部节点时[图3(a)的X],动态自偏置结构仍能维持更小的频率波动,进一步验证其鲁棒性.

为了验证基于电阻型和NMOS型开关电容单元的振荡器对SET的容忍性,将SET脉冲分别引入2种电容结构中 C_p 的漏极节点[图3(a)的X].图4(e)和图4(f)分别展示了SET发生在NMOS型开关电容单元内部时以及电阻型开关电容内部时,对应的输出波形变化和频率变化.仿真结果表明,在输出摆幅与频率匹配的条件下,NMOS型开关电容单元展现出更小的波形畸变,频率偏移约为电阻型开关电容单元的1/2,其抗辐射性能较优,更适用于宇航用片上时钟系统.

4 实验结果与分析

本文设计的单粒子不敏感LCVCO用于一款高可靠片上时钟电路,如图5(a)所示,主要由片上参考时钟和小数型PLL构成.其中片上参考时钟与传统FLL型RCO不同,周期检测器(Period Detector, PD)采用电流

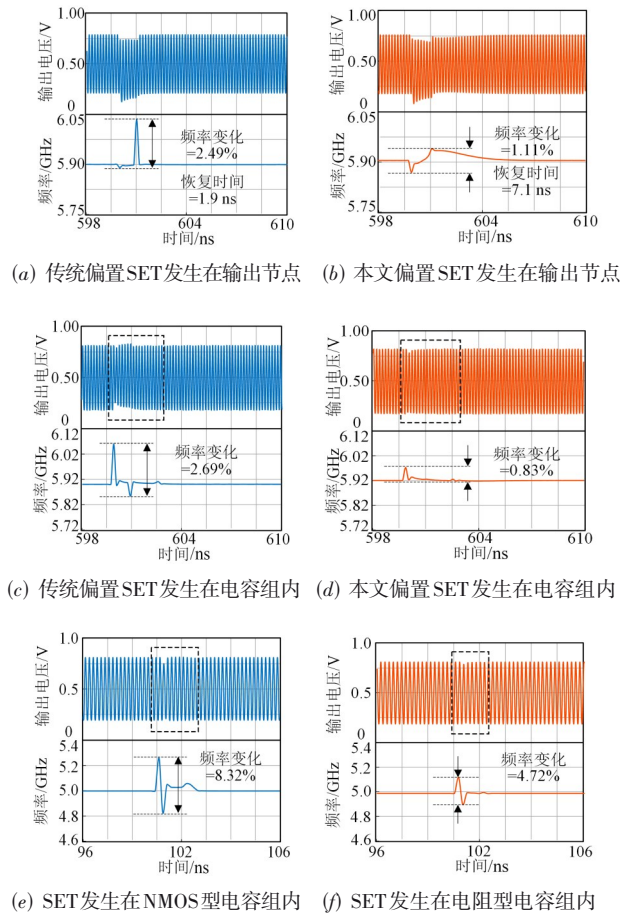


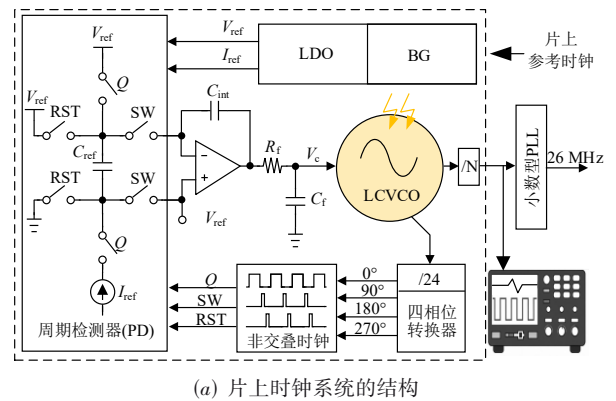
图4 在各节点加入双指数脉冲电流模拟SET的仿真结果

对电容周期性充放电和检测误差电压,再利用动态反馈将LCVCO的输出信号锁定到目标频率.该片上时钟电路可以输出26 MHz的高精度时钟,其信号主要通过LCVCO输出 N 分频和小数型PLL频率综合后获得.本文提出的片上时钟电路和LCVCO在FinFET工艺下实现,片上参考时钟的芯片面积约 0.182 mm^2 ,其中LCVCO占据 0.06 mm^2 的面积,图5(b)展示了测试芯片的显微照片.

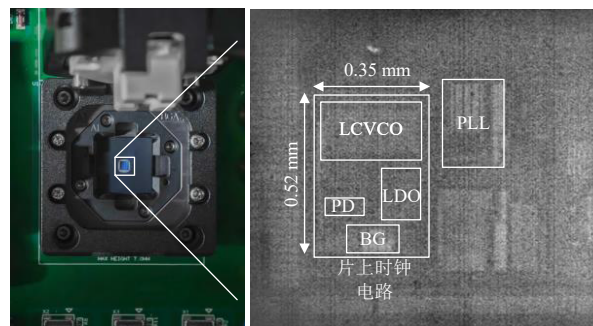
4.1 电气测试结果

本文设计的LCVCO工作范围为 $3.9\sim 7.6\text{ GHz}$,核心工作频率约 6 GHz ,功耗为 9.6 mW .直接测试对测试仪器要求严格且易导致信号的恶化^[16],因此待测信号选择片上参考时钟开环情况下LCVCO输出 N 分频($N=250$)后的输出.图6(a)展示了通过信号分析仪实测的待测信号的相位噪声谱,频率为 26 MHz 时,其在 1 MHz 频偏处的相位噪声为 -136 dBc/Hz .

优值(Figure of Merit, FoM)是评价振荡器的一项综合指标,其表示为

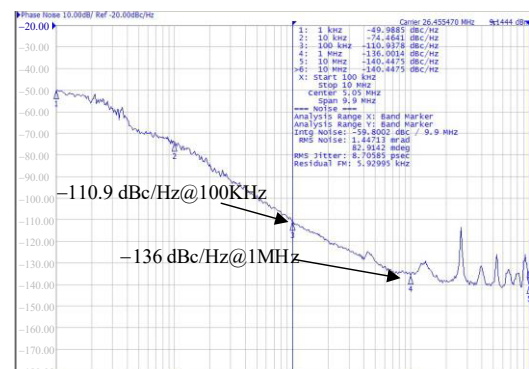


(a) 片上时钟系统的结构

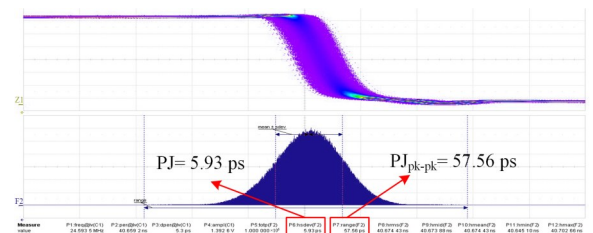


(b) 测试芯片的显微照片

图5 片上时钟系统的实现



(a) 相位噪声的测试结果



(b) 输出抖动的测试结果

图6 LCVCO的相位噪声和抖动测试结果

$$\text{FoM} = -\text{PN} + 20\lg\left(\frac{f_0}{\Delta f}\right) - 10\lg\left(\frac{P_{\text{DC}}}{10^{-3}}\right) \quad (1)$$

其中, PN 是振荡器的相位噪声, f_0 是工作频率, Δf 是相对于工作频率的频率偏移量, P_{DC} 是以 W 为单位的功耗值. 本文实现的振荡器在 26 MHz 工作频率下 FoM 值为 154.5 dBc/Hz@1MHz. 进一步地, 抖动作为相位噪声在时域的直接表征, 是高性能处理器时钟参考系统的关键指标. 图 6(b) 给出了通过数字示波器采集的时域抖动数据, 经对 10^6 个周期信号的统计分析, 周期抖动的均方根值为 5.93 ps, 满足现代处理器同步时钟对抖动性能的严苛要求.

4.2 激光实验

为针对性验证提出的 LCVCO 对 SET 的容忍能力, 本文采用脉冲激光试验对测试芯片进行抗辐射评估. 该方法通过可控激光脉冲模拟单粒子撞击效应, 是评估集成电路抗单粒子效应 (Single Event Effect, SEE) 的有效实验手段^[17-19]. 待测器件采用覆晶封装, 实验基于单光子吸收 (Single-Photon Absorption, SPA) 机制, 使用波长 1 064 nm、光斑尺寸 2 μm 的激光阵列对芯片正面裸露的硅衬底进行辐照. 为精准定位敏感区域, 实验对 VCO 区域的横向与纵向方向分别进行至少 3 次 S 形步进式扫描, 最终绘制出敏感区域的二维坐标分布图. 通过高精度数字示波器实时监测 SET 触发瞬间的波形变化, 其触发机制采用脉宽触发模式: 在实验环境中预设脉宽最小触发阈值, 当激光辐照引发的 SET 导致脉宽变化超过阈值时, 系统自动触发并记录波形数据. 图 7 的实验结果表明, 提出的 LCVCO 的 SET 激光触发阈值为 1.5 nJ, 显著高于文献 [10] 中未采用抗 SET 加固设计的传统结构, 验证了本设计通过动态自偏置与 NMOS 开关电容结构在抗辐射性能上的提升.

表 1 总结了本文单粒子不敏感振荡器的性能, 并与国际上已发表的相关工作进行对比. 本文设计在保证电气性能良好的情况下, 显示出单粒子不敏感性方面的明显优势.

表 1 振荡器性能对比

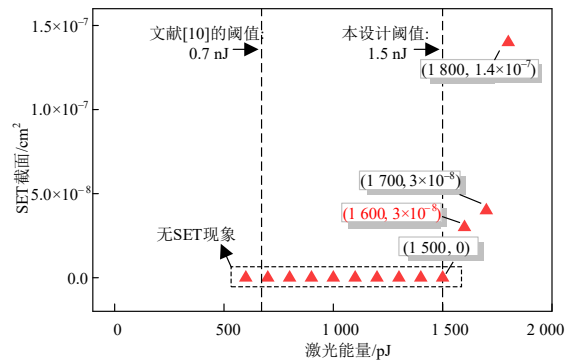
对比文献	工艺	结构	频率/GHz	相位噪声/(dBc/Hz@1MHz)	功耗/mW	面积/mm ²	单粒子效应加固	激光阈值/nJ
文献[10]	28 nm CMOS	LCVCO	5.0~6.3	-108.3 @6GHz	—	0.018	未加固	0.70
文献[14]	28 nm CMOS	Ring VCO	0.9~6.6	-96.7 @2.5GHz	2.2	0.060	加固	0.60
文献[19]	40 nm CMOS	Ring VCO	1.5~3.5	-106.3 @2GHz ^①	<96.3 ^①	<1.150 ^①	加固	0.75
文献[20]	Sub-20 nm FinFET	LCVCO	8.9~16.8	-90.58 @16GHz ^②	<35.0 ^①	<0.090 ^①	加固	1.20
本文	Sub-20 nm FinFET	LCVCO	3.9~7.6	-108 @6GHz ^② -136 @26MHz	9.6	0.06	加固	1.50

注: ①基于该 VCO 的 PLL 实验数据; ②仿真数据.

图 8(b) 进一步展示了 SET 事件中频率偏移与振幅变化的分布特性, 实验结果表明, 在 Ta 离子轰击下, 最



(a) 激光实验装置



(b) 激光实验的 SET 截面统计

图 7 激光实验的实验结果

4.3 重离子实验

为深入研究太空粒子引发的 SET, 本设计的测试芯片在北京原子能科学研究院与哈尔滨空间环境与物质科学研究院进行了重离子辐照实验. 实验参数及触发结果如表 2 所示, 其中实验结果显示, 在铝 (Al) 离子轰击下, 未引发 SET, 可能因其 LET 较低, 未能有效沉积足够能量. 在氯 (Cl) 离子、钛 (Ti) 离子和钽 (Ta) 轰击下 SET 触发次数明显增加.

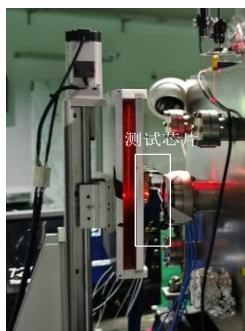
大频率偏移达 4.5%, 最大振幅变化为 10.7%. 值得注意的是, 数据点 A 显示 SET 发生时振幅变化显著而频率偏

表2 重离子参数和触发结果

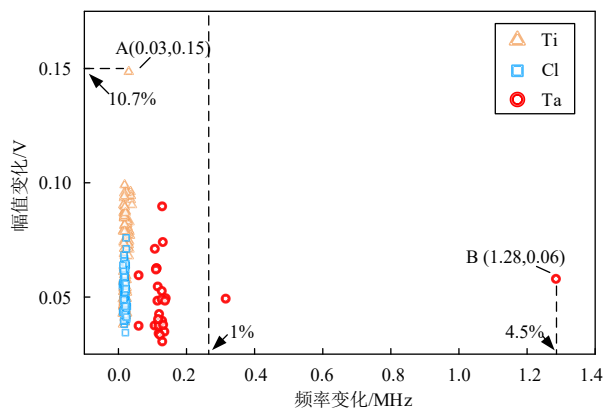
离子种类	离子能量/MeV	LET/(MeV·cm ² /mg)	注入量 ^[21] (ions/cm ²)	SET触发次数	SET截面 ^① /cm ²
Al	110	8.92	10 ⁷	0	0
Cl	150	13.40	10 ⁷	103	1.03×10 ⁻⁵
Ti	169	34.70	10 ⁷	146	1.46×10 ⁻⁵
Ta	500	86.10	10 ⁷	27	2.70×10 ⁻⁶

注:① SET截面=SET触发次数/注入量.

移极小,这源于振荡器内部节点对扰动的时变响应特性,验证了基于瞬时ISF的SET分析方法的有效性.绝大多数SET事件的频率偏移小于1%,表明本设计的LCVCO在抗辐射性能上具有显著优势.



(a) 重离子实验装置



(b) 重离子引起的频率变化和幅值变化

图8 重离子实验结果

5 结论

针对宇航级处理器对高可靠片上时钟源的需求,本文提出了一种抗SET的LCVCO.通过引入基于NMOS型电容阵列单元的低阻抗泄放路径,有效抑制了高能粒子轰击引发的瞬态电流脉冲;同时结合动态自偏置反馈技术,利用振荡信号闭环调节尾电流源偏置,实现了输出幅度的自适应稳定,并优化了相位噪声性能.实验结果表明,该LCVCO在26 MHz输出频率下,功耗为9.6 mW,1 MHz频偏处的相位噪声达-136 dBc/Hz, FoM值为154 dBc/Hz@1MHz,周期抖动均方根值为

5.93 ps,满足高性能处理器同步时钟的抖动要求.进一步通过脉冲激光与重离子辐照实验验证了其抗辐射能力:激光触发阈值达1.5 nJ,在钽离子轰击下,最大频率偏移为4.5%,而90%以上的SET事件频率偏移低于1%,充分证明了本设计在抗单粒子效应方面的技术优势.

参考文献

- [1] JUNG K, CHO K, LEE S H, et al. A temperature compensated RF LC clock generator with±50-ppm frequency accuracy from -40 °C to 80 °C[J]. IEEE Transactions on Microwave Theory and Techniques, 2019, 67(11): 4441-4449.
- [2] LI Y X, PAL N, WANG T Y, et al. A 20 μs turn-on time, 24 kHz resolution, 1.5~100 MHz digitally programmable temperature-compensated clock generator[J]. IEEE Journal of Solid-State Circuits, 2023, 58(3): 785-795.
- [3] MCCORQUODALE M S, CARICHNER G A, O'DAY J D, et al. A 25 MHz self-referenced solid-state frequency source suitable for XO-replacement[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2009, 56(5): 943-956.
- [4] 王子轩, 王山虎, 王鑫, 等. 一种基于相位误差校正技术的快速启动晶体振荡器[J]. 电子学报, 2024, 52(4): 1182-1188.
WANG Z X, WANG S H, WANG X, et al. A fast startup crystal oscillator based on phase-error correction technique[J]. Acta Electronica Sinica, 2024, 52(4): 1182-1188. (in Chinese)
- [5] LEI K M, MAK P I, MARTINS R P. A 0.35 V 5, 200 μm² 2.1 MHz temperature-resilient relaxation oscillator with 667 fJ/cycle energy efficiency using an asymmetric swing-boosted RC network and a dual-path comparator[J]. IEEE Journal of Solid-State Circuits, 2021, 56(9): 2701-2710.
- [6] GÜRLEYÜK C, PAN S N, MAKINWA K A A. A 16 MHz CMOS RC frequency reference with ±90 ppm inaccuracy from -45 °C to 85 °C[J]. IEEE Journal of Solid-State Circuits, 2022, 57(8): 2429-2437.
- [7] KHASHABA A, ZHU J H, PAL N, et al. A 32 MHz, 34 μW temperature-compensated RC oscillator using pulse density modulated resistors[J]. IEEE Journal of Solid-State Cir-

- cuits, 2022, 57(5): 1470-1479.
- [8] GUO S T, LI J X, GUI P, et al. Single-event transient effect on a self-biased ring-oscillator PLL and an LC PLL fabricated in SOS technology[J]. IEEE Transactions on Nuclear Science, 2013, 60(6): 4668-4672.
- [9] PRINZIE J, CHRISTIANSEN J, MOREIRA P, et al. Comparison of a 65 nm CMOS ring- and LC-oscillator based PLL in terms of TID and SEU sensitivity[J]. IEEE Transactions on Nuclear Science, 2017, 64(1): 245-252.
- [10] ZHANG Z C, DJAHANSHAHI H, GU C, et al. Single-event effects characterization of LC-VCO PLLs in a 28 nm CMOS technology[J]. IEEE Transactions on Nuclear Science, 2020, 67(9): 2042-2050.
- [11] HU Y Z, SIRIBURANON T, STASZEWSKI R B. Oscillator flicker phase noise: A tutorial[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2021, 68(2): 538-544.
- [12] 袁珩洲, 桑浩, 刘胜, 等. 基于PSS+PXF的ISF高精度振荡器噪声分析模型[J]. 计算机工程与科学, 2024, 46(6): 951-958.
YUAN H Z, SANG H, LIU S, et al. A high-precision oscillator noise analysis model of ISF based on PSS+PXF[J]. Computer Engineering & Science, 2024, 46(6): 951-958. (in Chinese)
- [13] HAJIMIRI A, LEE T H. A general theory of phase noise in electrical oscillators[J]. IEEE Journal of Solid-State Circuits, 1998, 33(2): 179-194.
- [14] SANG H, YUAN H Z, GUO Y, et al. A wide-tuning PLL with SET-tolerant quadrature ring VCO for serial rapid I/O[J]. IEEE Transactions on Nuclear Science, 2024, 71(11): 2409-2416.
- [15] PRINZIE J, DE SMEDT V. Time-dependent single-event effects in CMOS LC-oscillators[J]. IEEE Transactions on Nuclear Science, 2019, 66(9): 2048-2054.
- [16] 陈喆, 王品清, 周培根, 等. 基于45 nm CMOS SOI工艺的毫米波双频段低相噪压控振荡器设计[J]. 电子学报, 2024, 52(7): 2161-2169.
CHEN Z, WANG P Q, ZHOU P G, et al. Design of a millimeter-wave dual-band low phase noise VCO in 45 nm CMOS SOI process[J]. Acta Electronica Sinica, 2024, 52(7): 2161-2169. (in Chinese)
- [17] YUAN H Z, CHEN J J, LIANG B, et al. An SEU/SET-tolerant phase frequency detector with double-loop self-sampling technology for clock data recovery[J]. IEEE Transactions on Nuclear Science, 2019, 66(7): 1483-1490.
- [18] YUAN H Z, GUO Y, LIU Y, et al. A self-biased low-jitter process-insensitive phase-locked loop for 1.25 Gb/s-6.25 Gb/s SerDes[J]. Chinese Journal of Electronics, 2018, 27(5): 1009-1014.
- [19] YUAN H Z, LIANG B, SANG H, et al. A single-event-transient hardened phase locked loop for clock and data recovery[J]. Chinese Journal of Electronics, 2024, 33(2): 353-361.
- [20] SUN H H, WU Z R, LUO D, et al. Single-event effect characterization of 16 GHz phase-locked loop in sub-20 nm FinFET technology[J]. IEEE Transactions on Nuclear Science, 2024, 71(9): 2077-2085.
- [21] 中国航天科技集团公司第五研究院物资部, 中国航天标准化研究所. 宇航用半导体器件重离子单粒子效应试验指南: QJ 10005A—2018[S]. 北京: 国家国防科技工业局, 2018.
CASC Fifth Institute, Materials Department & China Aerospace Standardization Institute. Test Guidelines of Single Event Effects Induced by Heavy Ions of Semiconductor Devices for Space Applications: QJ 10005A—2018[S]. Beijing: State Administration of Science, Technology and Industry for National Defense, 2018. (in Chinese)

作者简介



桑 浩 男, 1996年出生于安徽省阜阳市. 国防科技大学在读博士生. 研究方向为数模混合集成电路设计.
E-mail: sanghao@nudt.edu.cn



袁珩洲 男, 1989年出生于湖南省常德市. 国防科技大学助理研究员. 研究方向为模拟集成电路设计.
E-mail: niesaitong@163.com



郭 阳 男,1971年出生于浙江省东阳市.
国防科技大学研究员.主要研究方向为高性能
微处理器体系结构、超大规模集成电路设计.
E-mail: guoyang@nudt.edu.cn



陈小文 男,1982年出生于四川省达州市.
国防科技大学研究员.主要研究方向为计算机
体系结构、微处理器设计、数字信号处理、片上
网络与存储器.
E-mail: xwchen@nudt.edu.cn



刘 胜 男,1984年出生于河南省南阳市.
国防科技大学研究员.主要研究方向为处理器
微体系结构和芯片存储系统.
E-mail: liusheng83@nudt.edu.cn



徐炜遐 男,1974年出生于湖南省常德市.
国防科技大学教授.主要研究方向为计算机体
系结构、高性能微处理器设计和人工智能.
E-mail: xuweixia@nudt.edu.cn