

# 氧化物半导体薄膜晶体管的栅工程：材料、结构、界面与性能调控

谢雨农<sup>1</sup>, 张志勇<sup>2\*</sup>

(1. 中国计量大学计量测试与仪器学院, 浙江杭州 310018;

2. 北京大学电子学院纳米器件物理与化学教育部重点实验室碳基电子学研究中心, 北京 100871)

**摘要:** 氧化物半导体(Oxide Semiconductor, OS), 特别是非晶氧化物半导体(Amorphous Oxide Semiconductor, AOS), 因其适中的迁移率、极低的关态电流、优异的大面积均匀性以及与传统互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺兼容的低温制备工艺, 已成为突破硅基器件尺寸微缩物理极限的重要候选材料。近年来, AOS不仅在高端液晶显示(Liquid Crystal Display, LCD)与有机发光二极管(Organic Light-Emitting Diode, OLED)显示背板中实现了规模化应用, 还在低功耗逻辑器件、高密度存储以及单片三维集成电路(Monolithic Three-Dimensional, M3D)等先进集成架构中展现出广阔的应用前景。尤其在M3D技术所要求的低热预算(<400 °C)制造条件下, 氧化物半导体在功耗、性能、面积与成本(Power-Performance-Area-Cost, PPAC)综合优化方面具备显著优势。在器件尺寸持续微缩的背景下, 如何维持对沟道载流子的有效静电控制、抑制短沟道效应并保障器件长期可靠性, 已成为制约氧化物半导体薄膜晶体管(Thin Film Transistors, TFTs)进一步发展的核心问题。其中, 栅工程作为决定晶体管电学性能的关键环节, 直接影响器件的阈值电压、亚阈值摆幅、漏电流以及偏置稳定性等重要指标。本文围绕氧化物半导体TFT的栅工程展开系统综述, 重点从栅介质材料、栅结构设计以及栅-沟道界面工程三个方面总结近年来的研究进展与技术趋势。在栅介质层面, 通过引入高介电常数(high- $\kappa$ )材料及其复合结构, 可在降低等效氧化层厚度的同时增强栅控能力、降低工作电压并有效抑制栅漏电流; 在栅结构层面, 采用鳍式晶体管、纳米线及全环绕栅(Gate-All-Around, GAA)等三维非平面结构, 能够显著增强栅极对沟道的包裹性, 从而缓解短沟道效应并提升器件在极限尺寸下的性能; 在界面工程方面, 通过界面钝化、能带调控及缺陷态调节等策略, 可有效降低界面态密度, 改善载流子输运特性, 并显著提升器件的稳定性与可靠性。尽管氧化物半导体栅工程已取得显著进展, 但仍面临若干关键挑战, 包括器件可靠性机制的复杂性、现有界面优化策略在短沟道器件中的适用性, 以及缺乏与n型氧化物半导体性能匹配且兼容后端工艺(Back End Of Line, BEOL)的高性能p型氧化物半导体材料。这些问题在一定程度上限制了互补电路及高密度集成应用的发展。总体而言, 氧化物半导体作为后摩尔时代的重要技术路线, 其发展潜力已得到学术界与产业界的广泛认可。随着栅工程相关材料、结构与界面调控技术的持续突破, 氧化物半导体有望在未来高性能、低功耗电子器件与三维集成系统中发挥更加关键的作用。

**关键词:** 氧化物半导体; 薄膜晶体管; 栅工程; 栅介质; 栅结构; 界面工程; 短沟道效应

**基金项目:** 国家自然科学基金(No.62401531)

**中图分类号:** TN4; TN6; TN7

**文献标识码:** A

**文章编号:** 0372-2112(2025)12-4541-19

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.12263/DZXB.20250771

## Gate Engineering of Oxide Semiconductor Thin-Film Transistors: Materials, Structures, Interfaces, and Performance Modulation

XIE Yu-nong<sup>1</sup>, ZHANG Zhi-yong<sup>2\*</sup>

(1. College of Metrology Measurement and Instrument, China Jiliang University, Hangzhou, Zhejiang 310018, China;

2. Key Laboratory for the Physics and Chemistry of Nanodevices and Center for Carbon-based Electronics, School of Electronics, Peking University, Beijing 100871, China)

**Abstract:** Oxide semiconductors (OS), particularly amorphous oxide semiconductors (AOS), have emerged as impor-

tant candidates for overcoming the physical scaling limits of silicon-based devices, owing to their moderate carrier mobility, extremely low off-state current, excellent large-area uniformity, and low-temperature fabrication processes compatible with conventional complementary metal-oxide-semiconductor (CMOS) technology. In recent years, AOS have not only achieved large-scale commercial applications in high-end liquid crystal display (LCD) and organic light-emitting diode (OLED) display backplanes, but have also demonstrated great potential in low-power logic devices, high-density memory, and advanced integration architectures such as monolithic three-dimensional integrated circuits (M3D). In particular, under the stringent low thermal budget ( $<400\text{ }^{\circ}\text{C}$ ) required for M3D fabrication, oxide semiconductors exhibit significant advantages in the comprehensive optimization of power, performance, area, and cost (PPAC). As device dimensions continue to scale down, maintaining effective electrostatic control over channel carriers, suppressing short-channel effects, and ensuring long-term device reliability have become critical challenges limiting the further development of oxide semiconductor thin-film transistors (TFTs). Among various design strategies, gate engineering plays a pivotal role in determining transistor electrical characteristics, directly affecting key performance metrics such as threshold voltage, subthreshold swing, leakage current, and bias stability. This paper presents a systematic review of gate engineering in oxide semiconductor TFTs, with a focus on recent advances and technological trends in gate dielectric materials, gate structure design, and gate-channel interface engineering. At the gate dielectric level, the introduction of high-permittivity (high- $\kappa$ ) materials and their composite structures enables enhanced gate controllability, reduced operating voltage, and effective suppression of gate leakage current by scaling down the equivalent oxide thickness. At the gate structure level, three-dimensional non-planar architectures—including FinFETs, nanowire transistors, and gate-all-around (GAA) structures—significantly improve gate-to-channel coupling, thereby alleviating short-channel effects and enhancing device performance at aggressive scaling limits. At the interface engineering level, strategies such as interface passivation, band alignment optimization, and defect state modulation effectively reduce interface trap density, improve carrier transport properties, and markedly enhance device stability and reliability. Despite the substantial progress achieved in gate engineering of oxide semiconductor devices, several critical challenges remain, including the complexity of reliability degradation mechanisms, the applicability of existing interface optimization strategies to short-channel devices, and the lack of high-performance p-type oxide semiconductor materials that are both compatible with back-end-of-line (BEOL) processes and performance-matched to n-type oxide semiconductors. These limitations hinder the development of complementary circuits and high-density integrated systems. Overall, oxide semiconductors are widely recognized as a key technological pathway in the post-Moore era, and with continued breakthroughs in gate-related materials, device structures, and interface control technologies, they are expected to play an increasingly important role in future high-performance, low-power electronic devices and three-dimensional integrated systems.

**Key words:** oxide semiconductor; thin-film transistor; gate engineering; gate dielectric; gate structure; interface engineering; short-channel effects

**Foundation Item(s):** National Natural Science Foundation of China (No.62401531)

## 1 引言

氧化物半导体(Oxide Semiconductor, OS)作为半导体领域极具潜力的材料,涵盖单晶、多晶及非晶等多种形态,在克服传统硅基晶体管缩放限制、解决功耗、性能、面积和成本(Power Performance Area Cost, PPAC)协同优化难题方面展现出巨大潜力. 为应对硅基器件尺寸微缩的物理极限及由此产生的功耗攀升、性能瓶颈与成本失控挑战,单片三维集成电路(Monolithic Three-Dimensional, M3D)技术被提出作为一项关键解决方案<sup>[1]</sup>. M3D技术能够大幅提高层间互连密度,因而能显著提升芯片信号传输效率、减少延迟并降低成本. 实现M3D的关键在于上层晶体管必须在低温( $<400\text{ }^{\circ}\text{C}$ )下制造,以避免高温过程对下层已制备器件的电学性能造成不可逆损伤. 传统的硅基工艺由于存在多道高温加工步骤,难以适配M3D的低温制造需求;而氧化物半导

体凭借其独特的电子结构与材料特性,可在低温条件下实现高质量薄膜制备与器件性能调控,是适配M3D技术的理想候选材料之一.

在氧化物半导体晶体管的早期研究阶段,受限于“非晶半导体迁移率极低( $\ll 1\text{ cm}^2/(\text{V}\cdot\text{s})$ )”的普遍认知(非晶硅氢化(a-Si:H)、非晶硫族化合物均为典型例证),研究人员最初选择晶体氧化锌(ZnO)、氧化铟( $\text{In}_2\text{O}_3$ )和氧化锡( $\text{SnO}_2$ )作为沟道材料开展器件研发<sup>[2,3]</sup>. 然而,此后该研究方向陷入停滞,这一现象大概率与氧化物晶体管存在的稳定性问题密切相关. 单晶氧化物半导体的应用也存在显著瓶颈:一是制备成本高昂,工艺复杂,依赖高价单晶衬底与高温高真空设备,量产效率低;二是与衬底适配性差,难兼容低成本大面积衬底,也无法满足柔性电子场景需求;三是电学性能均匀性不足,易导致关键参数波动大,无法应用

于大规模电路应用;四是与现有产线兼容性低,需新建专用产线,进一步抬高应用门槛。

直至 1996 年非晶氧化物半导体(Amorphous Oxide Semiconductor, AOS)概念被提出<sup>[4]</sup>,这一局面才得以突破。与传统认知相反,该 AOS 概念明确指出:由电子构型为  $(n-1)d^{10}ns^0$  ( $n \geq 4$ ) 的重金属阳离子(Heavy Metal Cations, HMC)构成的非晶氧化物,具备成为高迁移率非晶半导体的巨大潜力。从器件物理角度分析,这类非晶氧化物的最低未占据态(即导带底(Conduction Band Minimum, CBM))主要由空间分布范围广的球形金属  $ns^0$  轨道组成——即便处于非晶无序结构中,仍具备较小的电子有效质量,进而实现较高的电子迁移率,为非晶体系在高性能晶体管和电路中的应用提供了理论依据。

这一理论突破推动氧化物半导体研究进入新阶段,AOS 也随之作为一种在后摩尔时代极具潜力的半导体材料脱颖而出。与早期晶体氧化物不同,AOS 可采用与传统互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺兼容的方法(如溅射、原子层沉积(Atomic Layer Deposition, ALD)等)在低温下进行制备,有效规避了晶体氧化物的高温工艺限制;其场效应迁移率( $\mu_{FE} \geq 10 \text{ cm}^2/(\text{V} \cdot \text{s})$ )较非晶硅(a-Si)提升一个数量级以上,可以突破非晶氧化物的性能瓶颈。从器件物理特性来看,由于 AOS 具有较大的禁带宽度( $E_g > 3 \text{ eV}$ ),且在价带顶上方存在高密度的界面态,因而基于 AOS 的晶体管展现出极低的关态电流( $< 10^{-18} \text{ A}/\mu\text{m}$ )。这一特性对低功耗应用极具吸引力,使其在存储器件与半导体集成电路领域中将发挥重要作用。除此之外 AOS 还具有光学透明特性、低衬底依赖性、柔性兼容、低成本制造优势及优异的大面积均匀性<sup>[5-8]</sup>。得益于上述特性,AOS 已成功应用于大尺寸显示面板背板驱动技术——例如,LG Display 自 2013 年起采用铟镓锌氧化物(In-Ga-Zn-O, IGZO)薄膜晶体管(Thin Film Transistor, TFT)技术,实现了有源矩阵有机发光二极管(Active-Matrix Organic Light-Emitting Diode, AMOLED)电视的规模化生产。

然而,为顺应显示技术向更高分辨率、更快刷新频率的发展趋势,并推动 AOS 器件向低功耗处理器、高密度动态随机存取存储器(Dynamic Random Access Memory, DRAM)及 M3D 等先进半导体领域拓展,AOS TFT 的性能仍需进一步突破。具体而言,首先需推动 AOS TFT 器件尺寸的微缩化进程:一方面,这是适配高像素密度显示面板的核心前提——器件尺寸微缩可在有限面板空间内集成更多驱动单元,保障像素阵列的高密度排布;另一方面,该特性也能满足高密度存储架构对“高集成度”的本质需求,为存储单元的规模化堆

叠与紧凑布局提供可能。其次,需进一步优化器件电学性能:针对显示驱动场景,需提升器件驱动能力以匹配高刷新率显示对电流响应速度的要求;而面向高密度 DRAM 及存算一体、近存计算等新型计算范式的实现时,需重点调控 AOS TFT 的关态电流,使其维持在极低水平。这是因为低关态电流对两类场景均具关键价值:对 DRAM 而言,它能减缓存储电容的电荷流失速度,既延长数据保存时间、降低对高频刷新的依赖,又减少刷新带来的动态功耗;对存算一体/近存计算而言,它可避免单元间漏电流串扰导致的计算失真或存储误判,同时降低“存储-计算”耦合过程中的无操作功耗,最终为存储系统可靠性与计算能效提供核心支撑。而在满足上述要求的同时,AOS TFT 还须具备低热预算的制备特性,这既是其兼容后端工艺(Back End Of Line, BEOL)工艺的关键前提,也是其能够融入 M3D 等新型集成架构、实现多层功能堆叠的重要技术基础。

在器件尺寸微缩过程中,抑制短沟道效应、维持栅极对沟道的有效静电调制能力至关重要。总的来说,栅控能力对器件核心性能具有决定性作用,低栅控能力不仅会导致器件关态电流增大、静态功耗上升,还会因阈值电压波动降低开态电流,限制电路速度;同时,栅控不足还会加剧热载流子效应、偏置温度不稳定性(Bias Temperature Instability, BTI)等可靠性问题。根据器件静电控制理论,栅控能力由特征长度反映,而特征长度与沟道厚度  $t_{ch}$ 、栅介质厚度  $t_{ox}$ 、沟道材料介电常数  $\epsilon_{ch}$  成正比,与栅介质介电常数  $\epsilon_{ox}$ 、有效栅数目  $N$  成反比<sup>[9]</sup>。因此,实现极限尺寸下的栅控性能需协同优化栅介质的介电特性与厚度、氧化物半导体沟道厚度以及栅结构拓扑。具体到 AOS TFT,其栅控性能优化需重点关注与单晶氧化物半导体的本质差异,这种差异的核心源于二者沟道结构与缺陷态分布的不同。单晶氧化物半导体具有长程有序的晶格结构,原子排列规则且无晶界干扰,导带底由空间展宽的金属  $ns$  轨道主导,载流子散射主要来自晶格振动,因此通常具有较高的场效应迁移率,例如单晶 IGZO 可实现约  $80 \text{ cm}^2/(\text{V} \cdot \text{s})$  的迁移率<sup>[7]</sup>,远高于无定形 IGZO 在常规室温制备下常见的  $6 \sim 10 \text{ cm}^2/(\text{V} \cdot \text{s})$ <sup>[5]</sup>。较高且均匀的载流子输运使得单晶氧化物在短沟道条件下能够维持稳定的沟道势垒分布,从而保持良好的栅控能力。例如,超薄  $\text{In}_2\text{O}_3$  器件在沟道厚度仅  $0.43 \text{ nm}$ 、栅长缩短至  $2 \sim 3 \text{ nm}$  时仍可满足国际半导体技术路线图(International Technology Roadmap for Semiconductors, ITRS)对高性能和低功耗器件的要求<sup>[10]</sup>;原子层级厚度( $0.7 \sim 1.5 \text{ nm}$ )下依旧保持增强型工作和  $7 \sim 10$  个数量级的开关比<sup>[11]</sup>,反映其在超短沟道极限下对沟道电势具有稳定的调控能力。相比之下,AOS TFT 的沟道仅具短程有序性,原子排列中存在显著

无序,伴随氧空位、尾态与深能级等较高密度缺陷,其亚带隙态密度可达  $10^{17}\sim 10^{18}\text{ cm}^{-3}\text{ eV}^{-1}$ [12]。这些特性使 AOS 的迁移率不仅较低,也更加依赖栅介质界面的质量;在短沟道器件中,沟道势垒更容易受到界面缺陷、电荷俘获或吸附羟基的扰动,从而表现出更明显的漏致势垒降低(Drain-Induced Barrier Lowering, DIBL)和亚阈值特性变化。在器件可靠性方面,这种结构与缺陷差异同样影响偏置稳定性。AOS TFT 中氧空位的电荷转变、氢相关迁移以及界面俘获机制在长期偏置下尤为活跃,容易引起显著的阈值电压变化。例如,未钝化 IGZO TFT 在 20~40 V 正栅偏压作用下的阈值漂移可达约 9.2 V,即使钝化后仍约为 2.2 V[13];器件在应力前后的亚带隙态密度由接近  $10^{21}$  变化至  $10^{18}\text{ cm}^{-3}\text{ eV}^{-1}$ [13],表明无定形体系中的缺陷具有更强的可变性。相对而言,单晶氧化物半导体因界面与体缺陷密度较低,其偏置下的电学变化较小,例如单晶 IGZO 器件在栅压扫描过程中仅表现出 0.1~0.5 V 的轻微阈值偏移[5]。在类似栅偏条件下,这种更稳定的阈值位置与沟道势垒分布为单晶氧化物带来了更强的栅控稳定性。总体来看,这些在迁移率、短沟道调控和 BTI 行为中的典型表现说明,在优化 AOS TFT 的栅控性能时,需要考虑其相较单晶氧化物在结构无序、界面缺陷和可靠性方面的固有限制,并在材料与界面工程中针对性地补偿这些因素。

当前,氧化物半导体晶体管栅结构研究已从传统平面结构向多栅、垂直沟道等复杂结构拓展,涉及栅介质材料创新(如高  $\kappa$  氧化物)、界面缺陷控制及三维工艺集成等关键方向。例如,通过原子层沉积制备的  $\text{HfO}_2$  栅介质可将等效氧化层厚度(Equivalent Oxide Thickness, EOT)缩至 0.8 nm 以下,配合全环绕栅(Gate-All-Around, GAA)结构,实现了  $\text{In}_2\text{O}_3$  TFT 在 8 nm 栅长下的低漏电流特性[14,15]。与此同时,栅结构引发的可靠性问题(如偏压应力下的阈值漂移)仍是制约 AOS 向逻辑芯片、存算一体等领域渗透的瓶颈[16]。

本综述将深入探讨氧化物半导体晶体管的栅结构和栅介质,旨在揭示其在器件性能中的关键作用,并总结当前为克服相关挑战所做的最新研究进展。我们将重点关注如何通过先进的材料选择、工艺优化和结构设计,实现高质量的栅介质/半导体界面,从而推动氧化物半导体在未来高性能、低功耗集成电路中的广泛应用。

## 2 栅介质

栅介质材料的选择需综合考量材料与半导体衬底的界面特性、缺陷密度等多方面因素,这一点在半导体器件发展历程中已有深刻体现。早期硅基晶体管之所以优先选用二氧化硅( $\text{SiO}_2$ )作为栅介质,核心在于热氧

化生长的  $\text{SiO}_2$  与 Si 衬底能形成近乎完美的化学键合—其界面态密度( $D_{it}$ )可低至  $10^{10}\text{ cm}^{-2}\text{ eV}^{-1}$ ,且固定电荷密度极低,具备优异的长期可靠性。这种特性源于 Si 与 O 原子间良好的晶格匹配,以及氧化过程的精确可控性。然而现代芯片集成度和功能密度的快速增长,使得构成芯片的金属-氧化物-半导体(Metal-Oxide-Semiconductor, MOS)晶体管的功耗已成为半导体领域最重要的研究课题之一。通过缩减栅介质层(Gate Insulator, GI)厚度来降低晶体管的驱动电压是最为直接的手段(Constant-Field Scaling)。然而,在硅基晶体管中广泛使用的栅氧二氧化硅( $\text{SiO}_2$ )已达到其物理厚度极限,极易引发载流子隧穿现象,造成栅漏电问题,导致其无法在半导体行业中继续应用。为解决这一难题,传统  $\text{SiO}_2$  正逐步被其他高介电常数( $\kappa$ )的介电材料取代,例如氧化铪( $\text{HfO}_2$ )<sup>[17-19]</sup>、氧化锆( $\text{ZrO}_2$ )<sup>[20,21]</sup>、氧化铝( $\text{Al}_2\text{O}_3$ )<sup>[22-24]</sup>及其复合体系<sup>[25-29]</sup>。这是因为相同厚度下,由于高  $\kappa$  材料  $\kappa$  值更高,其等效氧化层厚度更小,因此可以用更厚的高  $\kappa$  介质来实现更薄的  $\text{SiO}_2$  的性能。较厚的栅介质层可使得隧穿概率呈指数级衰减,有效抑制漏电流<sup>[30]</sup>。常见高  $\kappa$  介质的特点和典型应用场景简述如下: $\text{HfO}_2$  的  $\kappa$  值在 16~25 之间,禁带宽度约 5.7 eV,是最典型的高  $\kappa$  材料,与 ALD 工艺兼容性好,适合先进制程规模化生产,Intel 公司在 45 nm 工艺中引入氧化铪基高  $\kappa$  栅介质加金属栅代替传统多晶硅结构,实现晶体管栅极氧化层漏电流大幅降低一个数量级。因此,氧化铪适合低电压、高性能场景,如 AI 与高性能计算、高密度存储以及消费电子等。但氧化铪与 Si 衬底晶格失配度高,直接接触易形成  $\text{HfSi}_x\text{O}_y$  过渡层,导致界面态密度升高至  $10^{11}\sim 10^{12}\text{ cm}^{-2}\text{ eV}^{-1}$ ,需依赖界面工程优化,且纯  $\text{HfO}_2$  存在高浓度氧空位与浅陷阱,易增加栅漏电流。 $\text{Al}_2\text{O}_3$  的禁带宽度高达 8.8 eV,化学稳定性极强,不易与半导体沟道发生元素互扩散,且与 AOS 界面适配性优异,界面态密度可低至  $10^{10}\sim 10^{11}\text{ cm}^{-2}\text{ eV}^{-1}$ ,能减少载流子散射,因此适用于对可靠性要求高的应用场景以及柔性电子等。但  $\kappa$  值低于  $\text{HfO}_2$ ,相同 EOT 需求下物理厚度更薄,对沉积工艺精度要求更高,且介电常数较低导致栅电容密度略逊,驱动能力提升受限。 $\text{ZrO}_2$  的  $\kappa$  值与  $\text{HfO}_2$  相近,介于 20~25,且热稳定性突出,适合高温工作环境器件和电路,如汽车电子、航空航天领域等。但结晶温度较低,薄膜易形成多晶结构,晶界处易产生氧空位缺陷,导致漏电流高于  $\text{HfO}_2$ ,需通过 Y 等元素掺杂抑制结晶,且制备成本高于  $\text{HfO}_2$  与  $\text{Al}_2\text{O}_3$ ,规模化应用性价比待提升。复合/堆叠体系(如  $\text{HfAlO}$ 、 $\text{SiO}_2/\text{SiN}_x$  叠层)则通过多材料协同互补缺陷,例如  $\text{HfAlO}$  利用 Al 抑制  $\text{HfO}_2$  的氧空位,同时保留高  $\kappa$  特性,界面态密度可降至  $5\times 10^{10}\sim 10^{11}\text{ cm}^{-2}\text{ eV}^{-1}$ 。 $\text{SiO}_2/\text{SiN}_x$  堆叠结合  $\text{SiO}_2$  低界面

缺陷与  $\text{SiN}_x$  高  $\kappa$  值,平衡界面稳定性与漏电流抑制能力,但制备流程更复杂,需精准控制层间附着力与平整度,成本较高。

综上所述,硅基器件通过采用高  $\kappa$  介电材料作为栅介质层来减小 EOT,有效解决了晶体管微型化带来的漏电问题,实现了器件性能的显著提升<sup>[26,31]</sup>。这一技术对于非晶氧化物半导体薄膜晶体管微缩过程同样重要。考虑到栅介质、栅-沟道界面及沟道中的载流子陷阱,都会通过固定部分栅压诱导的载流子而降低载流子迁移率。因此,一方面需要采用介电常数较高的材料作为栅介质,持续地进行栅介质的减薄;另一方面特定类型的半导体晶体管需要匹配相应的栅介质材料,以最小化总载流子陷阱密度,这一规律在多种器件体系中均有体现。除了上述提到的  $\text{SiO}_2$  与 Si 构成的晶体管之外,典型的还包括非晶硅氢化氮化物(a- $\text{SiN}_x$ :H)与氢化非晶硅(a-Si:H)构成的薄膜晶体管。而作为非晶沟道的 AOS TFT,虽然易受栅介质应力影响,但相对于 Si、Ge 等单晶沟道来说,对界面缺陷容忍度较高,对栅介质与沟道间的晶格匹配质量要求相对较低,因此栅介质的选择更为丰富。已有大量研究报道了不同栅介质的应用。

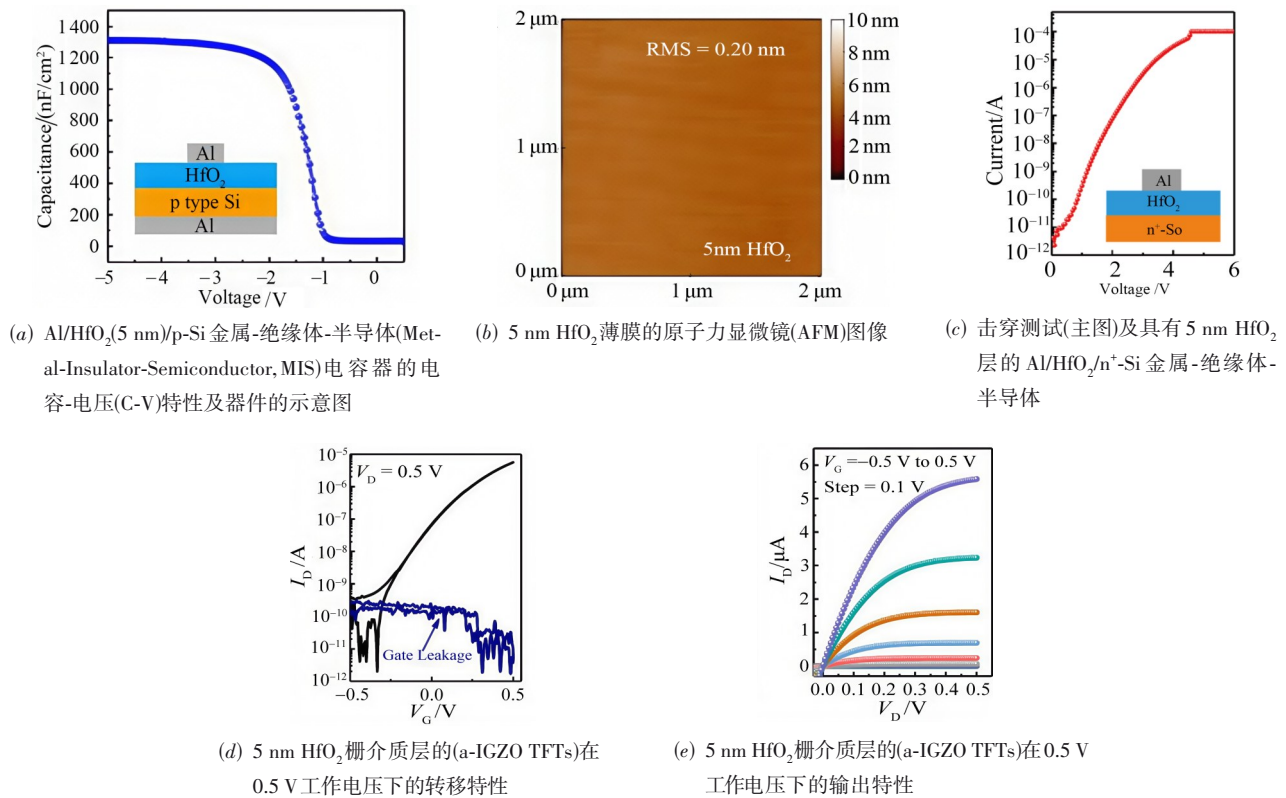
Ma 等人<sup>[17]</sup>报道了具有超薄  $\text{HfO}_2$  栅介质的 a-IGZO 薄膜晶体管。在该工作中,研究人员利用 ALD 技术制备了 5 nm 的  $\text{HfO}_2$  超薄膜,该膜不仅拥有高达  $1\ 300\ \text{nF}/\text{cm}^2$  的超高栅电容(等效氧化层厚度为 2.6 nm),0.2 nm 的极低表面均方根粗糙度,以及约 4.5 V 的高击穿电压,更在保持低漏电流的同时实现了大幅降低操作电压,见图 1(a)~图 1(c)。此外,该  $\text{HfO}_2$  栅介质展现出极小的回滞和  $2.0 \times 10^{12}\ \text{eV}^{-1}\text{cm}^{-2}$  的较低界面陷阱密度,这证实了其高质量。主要结果显示,经过在 150 °C 空气中退火 0.5 h 优化后的 TFT,在 1 V 操作电压下表现出 75 mV/decade 的低亚阈值摆幅、0.3 V 的阈值电压、 $4.6\ \text{cm}^2/(\text{V}\cdot\text{s})$  的有效迁移率和  $8 \times 10^6$  的高开关电流比。尤其值得关注的是,即便在 0.5 V 的超低操作电压下,该 TFT 仍能保持高达  $1 \times 10^6$  的开关电流比,并展现出良好的输出特性,见图 1(d)(e)。该研究通过制备超薄且高质量的高介电常数栅介质,有效降低了 IGZO 氧化物半导体晶体管的工作电压。该结果表明,栅介质的合理选择与优化对促进氧化物半导体材料在低功耗电子领域的应用具有意义。 $\text{HfO}_2$  栅介质的薄膜质量还可通过掺杂手段加以改善。同样是 Ma 等人<sup>[27]</sup>,其在 2019 年的研究中报道,采用原子层沉积技术生长  $\text{HfO}_2$  栅介质时,通过掺杂 Al 元素,能够进一步降低栅极漏电流。具体来看,纯  $\text{HfO}_2$  薄膜存在一些固有缺陷,比如高浓度的氧空位与氧间隙,这些缺陷会使薄膜中形成大量浅陷阱。而 Al 掺杂可发挥显著改善作用,它能有效抑制  $\text{HfO}_2$  薄膜中原本存在的高浓度氧空位和浅陷阱,增加带隙,从而提高栅介

质与氧化物半导体沟道之间的势垒高度。通过这些作用,可抑制 IGZO TFT 的栅漏电流,进一步提升其击穿电压。

在超薄氧化铪栅介质的基础上,进一步缩减氧化物半导体沟道厚度,可实现超短栅长的 IGZO TFT。相关研究<sup>[32]</sup>报道了沟道厚度低至 3.6 nm 的 IGZO TFT,其在栅长缩减至 38 nm 时,亚阈值摆幅(Subthreshold Swing, SS)依旧低至 74.7 mV/dec,电流开关比超过 7 个数量级, DIBL 为 187 mV/V,表明该器件在极短沟道长度下仍能有效抑制短沟道效应,具备优异的栅控能力。同时,器件迁移率保持在  $34\ \text{cm}^2/(\text{V}\cdot\text{s})$ ,体现出原子层沉积制备的 IGZO 沟道材料表面平整,未引入显著的表面粗糙度散射。此外,该器件跨导为  $125\ \mu\text{S}/\mu\text{m}$  ( $V_{\text{DS}}=1\ \text{V}$ ),开态电流为  $350\ \mu\text{A}/\mu\text{m}$  ( $V_{\text{DS}}=2.5\ \text{V}$ ),整体性能优异,展现了氧化物半导体晶体管在高性能电子学中的潜力。除氧化铪之外,现有工作中也报道了包括  $\text{SiO}_2$ 、 $\text{SiN}_x$ <sup>[33,34]</sup> 等传统材料及其堆叠结构( $\text{SiO}_2/\text{SiN}_x$ ),以及  $\text{ZrO}_2$ <sup>[35]</sup>、 $\text{Y}_2\text{O}_3$ <sup>[36]</sup>、 $\text{Al}_2\text{O}_3$ <sup>[37,38]</sup> 等高  $\kappa$  材料以及有机物<sup>[39]</sup> 作为氧化物半导体晶体管栅介质的结果。这些结果印证了氧化物半导体晶体管中栅介质选择的丰富性,可根据不同应用需求选择不同的介质材料作为栅介质以达到最佳的综合性能。然而,由于相关研究开展时间较短,在 OS TFT 中应用高  $\kappa$  栅介质仍存在诸多待探索方向,例如 OS 与栅介质层的界面缺陷的起源与调控、两者的能带结构匹配与载流子隧穿抑制,以及高  $\kappa$  栅介质对 OS TFT 稳定性的影响机制等。本文第 4 部分将探讨当前通过优化 OS 与栅介质界面特性、降低陷阱态密度,以提升器件迁移率及稳定性的研究进展。

### 3 栅结构设计

在第 1 部分前言中已经阐明,器件栅控能力的特征长度不仅与沟道厚度、栅介质厚度等工艺参数相关,还与反映栅结构的参数  $N$  成反比关系。回顾当前成熟的硅基晶体管工艺发展历程,晶体管尺寸的持续缩小曾是提升芯片性能与集成度的核心路径。自 20 世纪中叶半导体产业诞生以来,工艺节点从微米级逐步演进至深亚微米级,进而迈入纳米级时代。随着工艺节点不断向更小尺寸推进,提升栅极可控性与降低栅漏电成为关键挑战。在 28 nm 工艺节点,高介电常数金属栅(High-K Metal Gate, HKMG)(高  $\kappa$  金属栅)<sup>[40]</sup> 技术被引入(详见第 2 部分),有效缓解了栅漏电问题。然而,当工艺节点进一步缩小,传统平面型金属氧化物<sup>[41]</sup> 半导体场效应晶体(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)遭遇严重的短沟道效应与漏电流困扰,难以满足更强栅控需求。在此背景下,非平面结构晶体管技术应运而生,为半导体工艺发展开辟新方向。

图1 基于超薄 HfO<sub>2</sub> 栅介质实现可在 0.5 V 电压下工作的 IGZO<sup>[17]</sup>

### 3.1 不同栅结构解决的关键问题及性能提升机制

#### 3.1.1 鳍式场效应晶体管 (FinFETs): 破解平面 MOSFET 短沟道效应难题

传统平面 MOSFET 在工艺节点缩小至 22 nm 以下时,因栅极仅从顶部控制沟道,对沟道的包裹性差,导致短沟道效应(如漏致势垒降低、阈值电压漂移)显著加剧,漏电流大幅增加,器件开关速度与功耗控制能力严重下降,这成为制约工艺进一步演进的核心瓶颈。

鳍式场效应晶体管 (Fin Field-Effect Transistors, FinFETs) 通过“三栅极包裹鳍状沟道”的结构创新,从根本上解决这一问题:其沟道由绝缘衬底上凸起的高而薄的鳍构成,源漏两极位于鳍的两端,三栅极紧贴鳍的侧壁和顶部形成立体控制。相较于平面 MOSFET,这一结构使栅极与沟道的接触面积大幅增加,栅控能力显著增强,可有效抑制短沟道效应,同时大幅降低漏电流,还能进一步缩短晶体管栅长以提升集成度。

2011 年初,英特尔在其 22 nm 节点工艺中首次实现 FinFET 的商业化应用<sup>[41]</sup>,此后,台积电等主要半导体代工企业也纷纷跟进,FinFET 从 2012 年起向 20 nm 节点和 14 nm 节点推进,并在 7 nm 工艺节点成为半导体行业主流,实现了晶体管密度的大幅提升,每平方毫米可集成约 1 亿个晶体管,同时显著改善了功耗与性能比,广泛应用于高端智能手机、数据中心服务器、人工智能

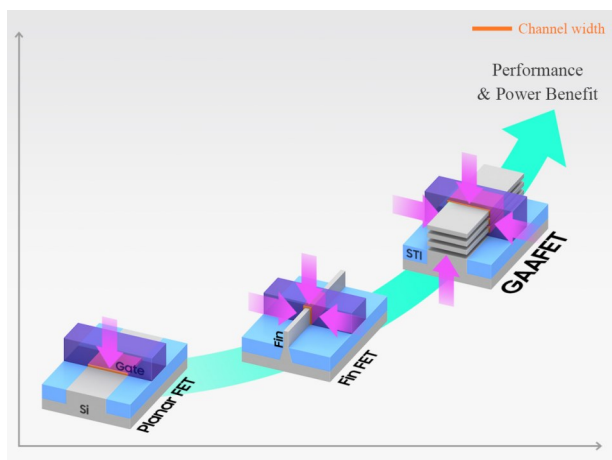
硬件等领域<sup>[42]</sup>。

#### 3.1.2 全环绕栅极场效应晶体管 (GAAFETs): 突破 FinFET 静电与尺寸限制瓶颈

随着摩尔定律的持续推进,5 nm 节点工艺于 2020 年实现突破,台积电再次领先推出全球首个商用 5 nm 工艺,每平方毫米集成约 1.7 亿个晶体管,进一步降低漏电、提高频率<sup>[43]</sup>。但在 5 nm 之后,FinFET 结构面临着静电问题加剧、难以进一步缩小等困境,其静电问题涉及栅极与栅极、栅极与沟道、栅极与金属电极之间的寄生电容,以及源极与漏极之间的寄生电阻等,严重制约晶体管性能提升。据比利时微电子研究中心 (Interuniversity Microelectronics Centre, IMEC) 模拟,当栅线间距缩小至 40 nm 之后,FinFET 性能趋于饱和<sup>[44]</sup>。

全环绕栅极场效应晶体管 (GAA Field-Effect Transistors, GAAFETs) 通过“栅极四面全包裹沟道”的结构设计,针对性解决上述问题。相较于 FinFET 的三栅控制,GAAFETs 实现了栅极对通道的四面环绕,使栅-沟道接触面积进一步大幅增加,源极与漏极之间的通道横截面积显著缩小。这一改进带来双重优势:一方面,寄生电容大幅降低,有效缓解静电问题,提升器件开关速度;另一方面,通道横截面积缩小使电流控制精度更高,即使在 2~3 nm 更先进工艺节点下,仍能保持优异的栅控能力,突破 FinFET 的尺寸限制。

三星于2019年宣布在3 nm节点放弃FinFET结构,转向GAA技术;台积电也在2023年正式宣布将在2 nm节点引入GAA技术. 在即将到来的2 nm与3 nm节点,台积电、三星等众多厂商将采用纳米片结构的GAAFETs<sup>[45]</sup>,以实现更大的栅-沟道接触面积,见图2<sup>[46]</sup>. 这种非平面结构在集成密度和器件性能如抗短沟道效应能力等方面展现出显著优势,为半导体工艺在更先进节点的发展提供了有力支撑.



注:采用了宽通道的纳米片,与采用窄通道纳米线的GAA技术相比能提供更高的性能和能耗比.

图2 Samsung(三星)发布3 nm GAA技术<sup>[46]</sup>

因此,研究非平面结构的氧化物半导体器件具有前瞻性,通过探索其制备工艺和性能极限,为未来实现更高性能、更低功耗、更高密的器件做好准备. 在存储领域,有助于推动存储器向更高存储密度、更快读写速度、更低功耗的方向发展;在逻辑电路领域,则可助力实现更复杂的电路集成与更高效的信号处理. 本节将介绍采用鳍式结构及全环绕栅极结构的氧化物半导体薄膜晶体管的实现方案和技术进展,帮助了解其技术潜力.

## 3.2 氧化物半导体非平面栅结构器件实例及机制分析

### 3.2.1 CAAC-IGZO 鳍式晶体管:控制低功耗存储场景的漏电流

Kunitake等人<sup>[47]</sup>在其工作中报道了沟道长度为21 nm的c轴取向结晶铟镓锌氧化物(C-Axis Aligned Crystalline Indium Gallium Zinc Oxide, CAAC-IGZO)鳍式晶体管[图3(a)],该器件针对存储领域(如DRAM)在高速读写场景下漏电流过大、数据保持时间短的问题,通过鳍式结构的强栅控能力实现漏电抑制.

其核心机制为:CAAC-IGZO材料本身具有低缺陷态密度,搭配鳍式三栅结构对沟道的立体包裹,可精准控制沟道内载流子输运,减少载流子通过沟道边缘或衬底的漏流路径. 器件性能表现为:在漏源电压( $V_{DS}$ )=

1.2 V时,场效应迁移率( $\mu_{FE}$ )为 $10.5 \text{ cm}^2/(\text{V}\cdot\text{s})$ ,SS为 $87 \text{ mV/dec}$ [图3(b)],亚阈值摆幅优异表明栅压对漏电流的控制灵敏度高,可快速实现器件开关.

此外,研究人员还探究了沟道层下方背栅电压( $V_{BG}$ )对阈值电压( $V_{TH}$ )的影响[图3(c)~图3(d)],结果表明 $V_{TH}$ 随 $V_{BG}$ 变化的系数为 $-80 \text{ mV}\cdot\text{V}^{-1}$ ,而亚阈值摆幅(SS)和跨导( $G_m$ )未受显著影响,这一特性可通过背栅电压灵活调节器件阈值,适配不同电路需求. 温度相关的电学特性测试显示[图3(e)]:当温度从 $-40 \text{ }^\circ\text{C}$ 升至 $150 \text{ }^\circ\text{C}$ 时,器件的关态电流( $I_{OFF}$ )均低于测量极限,表现出极低的水平. 这是因为鳍式结构抑制了温度升高导致的载流子热激发漏电流,确保器件在宽温域下的低功耗特性. 凭借其极低的关态电流,该CAAC-IGZO FET可以用于构建DRAM,实现小于1 ns的写入时间和超过1 h的数据保持时间,能够满足人工智能(AI)等领域对半导体器件降低功耗的需求,尤其是在减少云端和边缘设备的待机电流方面.

### 3.2.2 $\text{In}_2\text{O}_3$ 三维鳍式晶体管:增强高性能逻辑电路的驱动电流

Si等人<sup>[48]</sup>报道了基于1.5 nm厚 $\text{In}_2\text{O}_3$ 沟道的三维鳍式晶体管,其沟道长度为 $2 \text{ }\mu\text{m}$ ,鳍高/鳍宽分别为 $180 \text{ nm}/130 \text{ nm}$ [图4(a)~图4(d)]. 该器件针对平面结构晶体管开态电流不足、难以满足高性能逻辑电路高驱动能力需求的问题,通过三维鳍式结构提升电流密度.

核心改进机制为: $\text{In}_2\text{O}_3$ 材料具有高电子迁移率(相较于传统IGZO材料),而三维鳍式结构相较于平面结构,在相同芯片面积下增加了沟道的有效横截面积(鳍的高度方向拓展了载流子输运空间),同时三栅极的强控能力确保沟道内载流子充分导通,减少电流损耗. 器件展现出优异的性能,最大开态电流( $I_{ON}$ )达到 $180 \text{ }\mu\text{A}/\mu\text{m}$ [图4(e)~图4(f)],约为其顶栅平面结构对应器件的2倍. 这一数据直接证明鳍式结构通过“材料高迁移率+结构增容”的协同作用,显著提升电流驱动能力,表明鳍式结构具有高效的栅控能力. 这一结果证实了采用OS沟道层制备三维鳍式晶体管的可行性,为高性能氧化物半导体逻辑电路设计提供了关键支撑.

### 3.2.3 IGZO 纳米线 TFT:优化超小尺寸器件的亚阈值摆幅优化

Han等人<sup>[49]</sup>制备了沟道长度( $L$ )为100 nm、宽度( $W$ )缩小至20 nm的IGZO纳米线(NanoWire, NW)TFT[图5(a)~图5(c)]. 该器件针对超小尺寸(纳米级)晶体管中亚阈值摆幅劣化、开关特性下降的问题,通过纳米线结构与精准刻蚀工艺提升栅控精度.

关键解决机制包括两方面:一是采用新型数字刻蚀(Digital Etch, DE)技术实现纳米线图形化,该工艺以逐周期的方式刻蚀IGZO沟道层,刻蚀速率为每周期

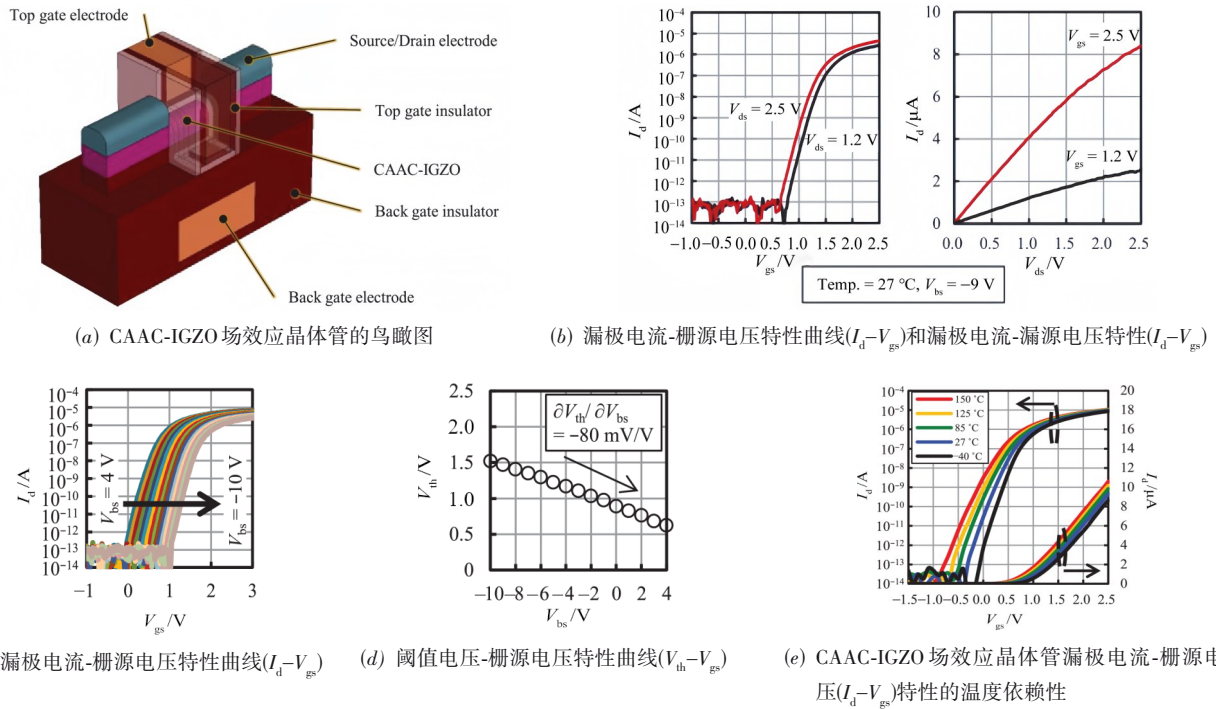


图3 CAAC-IGZO 场效应晶体管(FET)的基本性能<sup>[47]</sup>

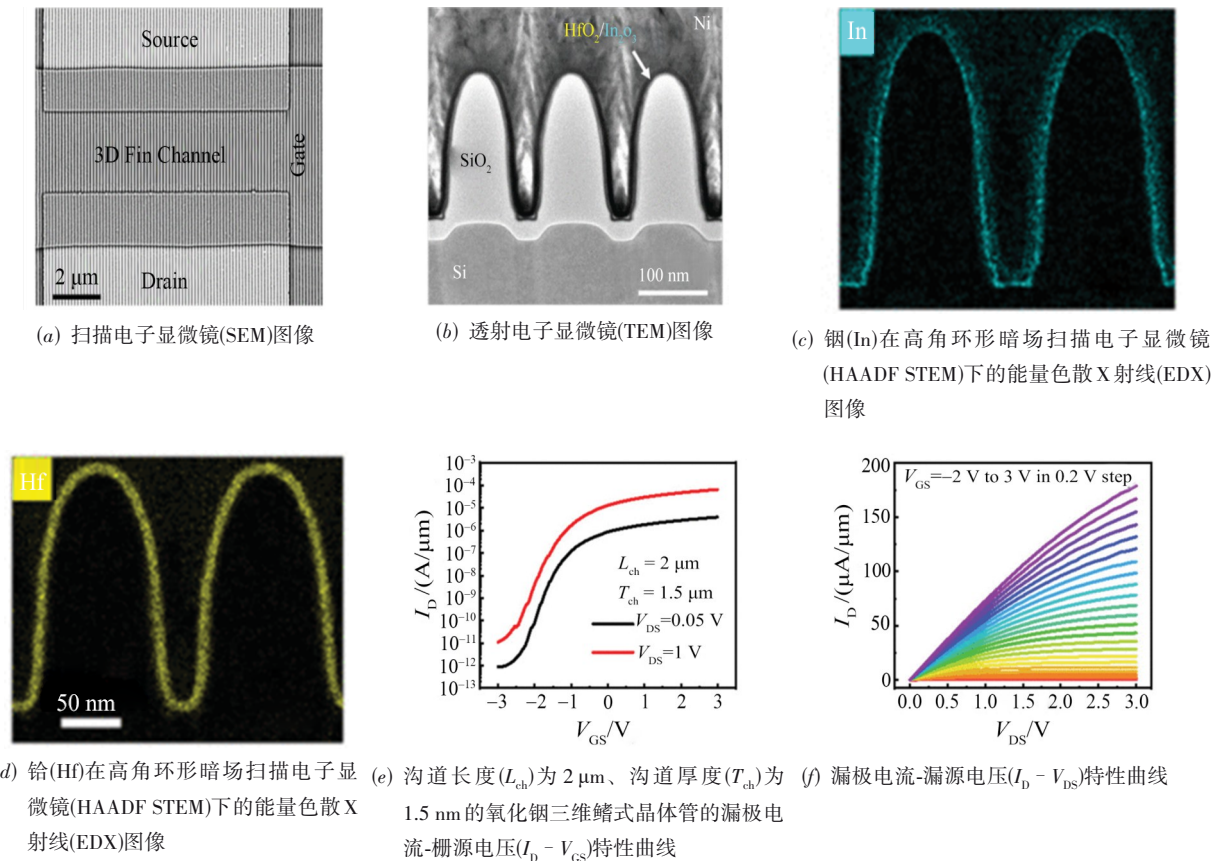
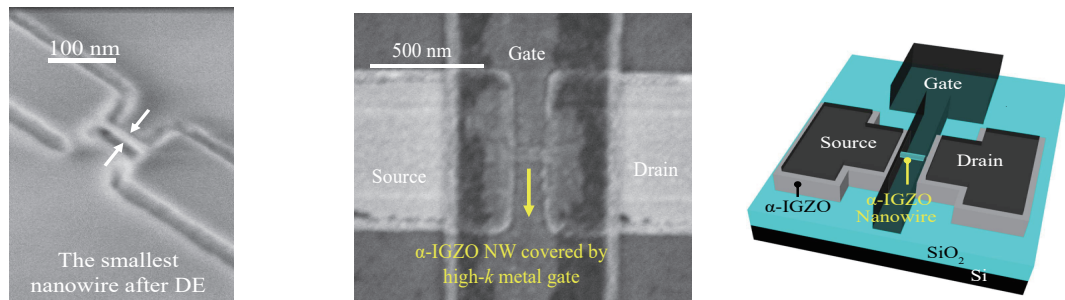


图4  $\text{In}_2\text{O}_3$  三维鳍式晶体管<sup>[48]</sup>

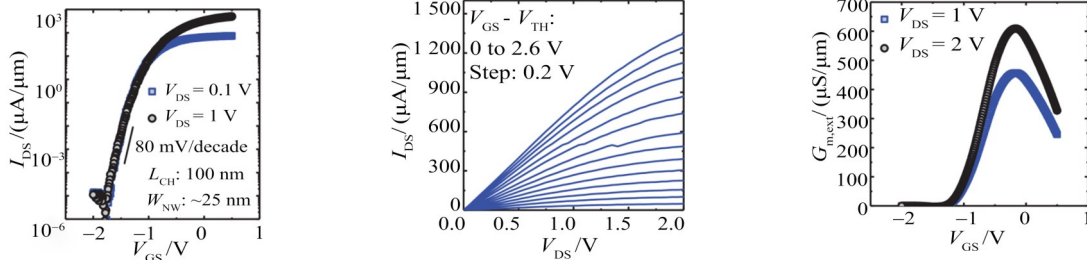
1.5 nm,可精准控制纳米线宽度,减少沟道边缘的缺陷(如刻蚀损伤导致的界面态),而界面态是导致亚阈值摆幅劣化的主要原因之一;二是纳米线结构形成“类环绕栅控”效果——纳米线直径极小(20 nm),栅极可从四周对其进行包裹式控制,栅压对沟道载流子的调制作用更均匀,减少载流子输运的“死区”。

所制备的纳米线 TFT 采用 5 nm 厚的氧化铪(HfO<sub>2</sub>)栅绝缘层(Gate Insulator, GI),在漏源电压( $V_{DS}$ )=1 V 时,表现出 10<sup>8</sup> 的开关比( $I_{ON}/I_{OFF}$ )、80 mV/dec 的

SS、620  $\mu\text{A}/\mu\text{m}$  的开态电流( $I_{ON}$ )以及 456  $\mu\text{S}/\mu\text{m}$  的跨导( $G_m$ )(图 5(d)~(f)). 此外,研究还在不同沟道长度下考察了宽度缩减对 IGZO NW TFT 性能的影响. 结果表明,减小宽度可使 SS 显著改善,且不会显著降低开态电流( $I_{ON}$ )和跨导( $G_m$ ). 这进一步验证了纳米线宽度缩小后,栅控均匀提升的机制. 这项研究成功证明了采用 OS 沟道层的超缩小纳米线 TFT 的潜力,为超大规模集成氧化物半导体电路(如高密度存储阵列)提供了可能。



(a) 最小 NW 的扫描电子显微镜(SEM)图像, (b) 顶视 SEM 图像,展示了一条纳米线宽度 ( $W_{NW}$ ) 约为 20 nm 的  $\alpha$ -IGZO 纳米线场效应晶体管 (c) 非晶铟镓锌氧化物纳米线场效应晶体管的三维示意图



(d) 纳米线宽度约为 25 nm、沟道长度 100 nm 的  $\alpha$ -IGZONW-FET 的转移曲线 (e) 在漏源电压为 2 V、栅极过驱动电压为 0 到 2.6 V 时,可观察到高达 1 350  $\mu\text{A}/\mu\text{m}$  的开态电流 (f) 对于(d)中所示的同一器件,提取到在漏源电压为 2 V 时峰值外部跨导为 612  $\mu\text{S}/\mu\text{m}$  (在漏源电压为 1 V 时为 456  $\mu\text{S}/\mu\text{m}$ )

图 5 IGZO 纳米线晶体管<sup>[49]</sup>

### 3.2.4 IAZO 环绕栅极垂直沟道 TFT:垂直集成器件的浮体效应抑制机制

Fujiwara 等人<sup>[50]</sup>展示了采用铟-铝-锌-氧(Indium Aluminum Zinc Oxide, IAZO)沟道层的环绕栅极垂直沟道 TFT. 该晶体管的沟道孔直径和栅长( $L_g$ )分别约为 75 nm 和 40 nm. 针对垂直结构晶体管中常见的浮体效应(沟道内载流子积累导致阈值电压漂移、器件稳定性下降)问题,通过环绕栅极与无结结构设计实现抑制。

核心抑制机制为:一是环绕栅极结构可从四周均匀控制垂直沟道的载流子,避免沟道中部出现载流子“堆积”(浮体效应的核心诱因);二是 IAZO 材料具有低空穴迁移率,可减少空穴注入沟道形成的过剩载流子;

三是器件采用无结结构,消除了传统 PN(P-N junction)结带来的载流子存储效应,进一步降低浮体效应风险。

所制备的 TFT 表现出以下器件性能: DIBL 为 300 mV/V, SS 为 130 mVdec<sup>-1</sup>, 关态电流( $I_{OFF}$ )低约为 10<sup>-12</sup> A, 在漏源电压( $V_{DS}$ )=2 V、栅源电压( $V_{GS}$ )=3 V 时开态电流( $I_{ON}$ )为 5.8  $\mu\text{A}$ . 研究还考察了该垂直环栅结构晶体管的漏极偏压应力不稳定性,结果显示,在至少 10<sup>3</sup> s 内,阈值电压( $V_{TH}$ )的偏移可忽略不计,这一稳定性结果直接证明浮体效应得到有效抑制. 这表明,由于该 TFT 采用无结结构,且空穴迁移率低,因此可以降低浮体效应的影响,为高密度垂直集成氧化物半导体器件(如 3D 堆叠存储器)提供了技术路径。

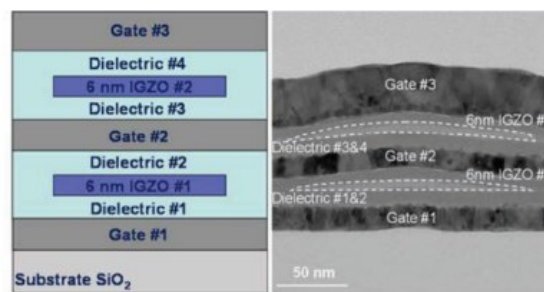
### 3.2.5 堆叠全包围栅(GAA)-a-IGZO纳米片场效应晶体管:突破先进节点的多维度性能

Li 等人<sup>[51]</sup>在其研究中首次展示了高性能 GAA a-IGZO 双层纳米片场效应晶体管(Nanosheet Field-Effect Transistor, NSFET), 见图 6. 其整个工艺热预算低于 300 °C, 与 BEOL 兼容, 该器件针对 GAA 结构单一通道电流不足、薄栅介质漏电风险高的问题, 通过“堆叠多通道+高 $\kappa$ 栅介质”的协同设计实现性能突破.

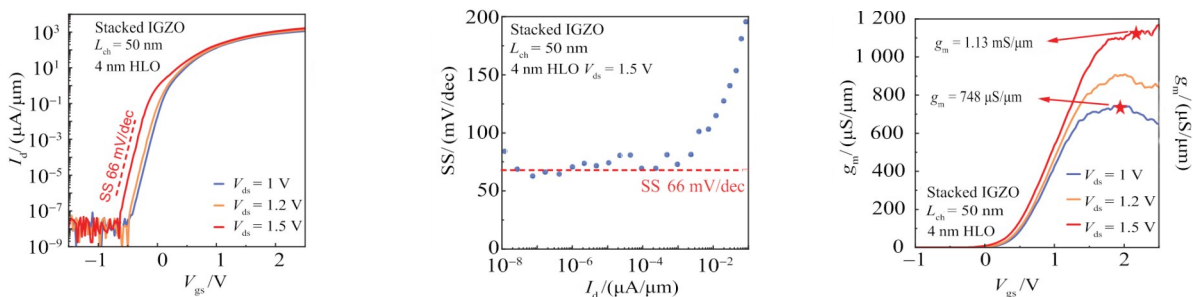
核心改进机制包括:一是堆叠双层纳米线结构, 在相同芯片面积下增加了载流子运输通道数量, 使开态电流相较于单通道提升超两倍;二是采用高介电常数的铪镧氧化物(Hafnium Lanthanum Oxide, HfLaO)作为栅介质, 相较于传统 SiO<sub>2</sub>, 在厚度从 10 nm 缩放到 4 nm 时, 仍能保持低栅漏电(高 $\kappa$ 材料可在薄厚度下维持高击穿场强), 同时薄栅介质缩短了栅极与沟道的距离, 提升栅控效率, 优化跨导与亚阈值摆幅;三是全包围栅

结构对每一层纳米线实现 360°均匀控制, 确保各通道载流子运输一致, 避免性能波动.

全包围栅 IGZO 纳米片场效应晶体管的性能相较于单通道可成功提升超两倍. 随着高介电常数栅介质铪镧氧化物(HfLaO)的厚度从 10 nm 缩放到 4 nm, 沟道长度为 50 nm 的短沟道晶体管在漏源电压( $V_{DS}$ )=1.5 V 时跨导可高达 1.13 mS/ $\mu\text{m}$ ;在  $V_{DS}$ =1 V 时开态电流达到 2.05 mA/ $\mu\text{m}$ ;同时, 保持了 66 mV/dec 的超低 SS, 首次在 a-IGZO 晶体管中实现了大于 10 的高品质因数( $G_m/SS$ ). 尽管高介电常数栅介质仅为 4 nm 厚, 该全包围栅纳米片场效应晶体管仍展现出低于 10<sup>-8</sup>  $\mu\text{A}/\mu\text{m}$ (测量极限)的关态电流( $I_{off}$ )以及大于 10<sup>11</sup> 的高开关比. 这些性能指标证明, 堆叠 GAA 结构通过“多通道增流+高 $\kappa$ 介质控漏+全包围栅提效”的机制, 全面突破了氧化物半导体器件在先进工艺节点的性能瓶颈, 为 2~3 nm 级氧化物半导体器件应用奠定基础.



(a) a-IGZO 纳米片 FETs 沿 W 方向的二维示意图和与示意图对应的扫描透射电子显微镜(STEM)



(b) 沟道长度为 50 nm 的 a-IGZO 纳米 FETs 的转移特性. 该晶体管采用最薄 4 nm 的铪镧氧化物(HfLaO). 即使在漏源电压为 1.5 V 时, 亚阈值摆幅也达到了超低的 66 mV/dec

(c) 沟道长度为 50 nm 的 a-IGZO 纳米片场效应晶体管的 SS 与漏源电流曲线. 超低的 66 mV/dec 的亚阈值摆幅在五个数量级范围内保持稳定

(d) 不同漏源电压  $V_{ds}$  下, 从转移特性中提取的跨导  $g_m$  与栅源电压( $V_{gs}$ )关系. 在  $V_{ds}$ =1.5 V 时, 跨导峰值达 1.13 mS/ $\mu\text{m}$ ; 在  $V_{ds}$ =1 V 时, 为 748  $\mu\text{S}/\mu\text{m}$

图 6 a-IGZO 纳米片场效应晶体管<sup>[51]</sup>

在非平面氧化物半导体晶体管研究领域, 通过刻蚀、薄膜生长等多种工艺手段, fin、环栅及 GAA 等非平面结构均可成功实现. 由于氧化物半导体能够借助溅射、ALD 等技术完成大规模均一生长, 且生长过程温度较低, 在制备这些非平面结构时, 其工艺简便性相较于硅基技术

展现出明显优势, 成本也因此得以大幅降低. 但同时仍需认识到, 当前研究仍停留在器件结构的展示阶段, 对于最终技术方案的确定、具体工艺路线的规划, 以及非平面器件在可靠性与均一性方面的深入探究, 都还存在诸多待解决的问题, 后续研究中需进行系统性的探索.

## 4 界面工程

在 MOS 结构的界面工程中,栅介质与沟道的界面质量是决定整个器件电学性能的核心要素,而栅介质与沟道的能带排列则是界定界面质量基础特性的先决条件——其导带底与价带顶的能级对齐关系直接奠定了界面势垒的基本框架,也是后续界面质量调控的核心参照基准. 界面态作为栅介质与沟道界面区域的关键微观特征,其密度、分布及能级特性是衡量界面质量的核心指标之一,与界面晶格匹配度、化学键合状态等共同决定着栅堆叠的综合性能. 深入理解界面质量的调控逻辑,首要厘清界面缺陷的形成机制——无论是栅介质与沟道材料晶格失配引发的结构缺陷,还是工艺过程中残留的杂质与悬挂键(dangling bond)导致的化学缺陷,这些均是影响界面态密度,进而劣化界面质量的关键诱因,也是精准调控栅堆叠质量的前提. 只有系统掌握界面质量(尤其是界面态)对载流子运输的散射作用、对阈值电压稳定性的干扰,以及对漏电流的影响规律,才能通过优化沉积工艺提升界面晶格匹配度、引入界面钝化层修复化学缺陷等手段,从根源上提升栅介质与沟道的界面质量,强化栅堆叠的绝缘性能与界面势垒的完整性. 而栅堆叠作为场效应晶体管(Field-Effect Transistors, FETs)的核心组成部分,其质量直接关联器件的核心指标:高质量的栅堆叠(依托优异的栅介质-沟道界面质量)能够实现对沟道载流子的高效调控,从而提升器件的开关速度与跨导;同时,稳定的界面特性与绝缘层致密性,是保障器件在长期工作中阈值电压漂移最小化、抗击穿能力增强的关键,这正是构建高性能、高可靠性 FETs 的核心基础.

### 4.1 栅介质与沟道的能带排列对器件可靠性的影响

栅介质与沟道的能带排列是决定氧化物半导体 TFT 可靠性的关键因素之一,其通过调控载流子阻挡能力、界面缺陷态密度及应力下的载流子注入行为,直接影响器件的长期稳定性与电学性能.

#### 4.1.1 不同的能带匹配类型

根据能带边相对位置,栅介质-沟道的能带排列主要分为三类,不同类型对可靠性的影响存在本质差异.

(1) Type I(嵌套型). 栅介质的 CBM 高于沟道、价带顶(Valence Band Maximum, VBM)低于沟道,可同时阻挡电子与空穴,是理想的能带排列类型. 例如 SiO<sub>2</sub>/IGZO(导带偏移  $\Delta E_C=3.81$  eV、价带偏移  $\Delta E_V=1.73$  eV)、HfO<sub>2</sub>/IGZO( $\Delta E_C=2.26$  eV、 $\Delta E_V=0.38$  eV),这类组合能有效抑制载流子隧穿,减少漏电流,避免应力下的载流子注入导致的阈值电压漂移.

(2) Type II(交错型). 仅单一能带边形成有效阻挡,如 Sc<sub>2</sub>O<sub>3</sub>/IGZO( $\Delta E_C=4.07$  eV、 $\Delta E_V=1.33$  eV),虽能

阻挡电子,但无法阻挡空穴,在负偏压应力(Negative Bias Stress, NBS)下易出现空穴注入,导致界面缺陷态填充,加剧阈值电压负向漂移.

(3) Type III(破隙型). 能带无交叠,载流子可自由运输,不具备可靠性,无法用于 TFT 栅介质设计.

#### 4.1.2 关键能带参数对可靠性的具体作用

(1) 能带偏移量( $\Delta E_C$ 、 $\Delta E_V$ ): 载流子阻挡能力的核心指标

$\Delta E_C$  不足会导致电子从沟道隧穿至栅介质,尤其在正偏压应力(Positive Bias Stress, PBS)下,注入的电子被界面缺陷捕获,引发  $V_t$  正向漂移. 例如 Chen 等人<sup>[52]</sup>的工作中指出,对于 HfAlO<sub>x</sub>/IWO(Indium-Tungsten-Oxide, 铟-钨氧化物)的栅介质-沟道组合,在 ALD 生长栅介质过程中调整前驱体循环数来变化 HfAlO<sub>x</sub> 中 Al<sub>2</sub>O<sub>3</sub> 浓度,若 Al<sub>2</sub>O<sub>3</sub> 高,因  $\Delta E_C$  小,1 000 s PBS 后  $V_t$  变化达 236 mV,而若 HfAlO<sub>x</sub> 中 HfO<sub>2</sub> 占比高, $\Delta E_C$  更大,相应的  $\Delta V_t$  仅 34 mV.

$\Delta E_V$  不足则会导致空穴注入,在 NBS 或光照射下,空穴被界面缺陷捕获,导致  $V_t$  负向漂移. ZrO<sub>2</sub>/IGZO 的  $\Delta E_V=0$  eV,无空穴阻挡能力,器件在 NBS 下稳定性极差<sup>[53]</sup>.

理想偏移量需满足  $\Delta E_C$  和  $\Delta E_V$  均大于 1.0 eV,例如 LaAlO<sub>3</sub>/IGZO 的  $\Delta E_C=2.91$  eV、 $\Delta E_V=0.33$  eV,虽然  $\Delta E_V$  接近阈值,但  $\Delta E_C$  足够大,仍能满足 n 型 TFT 可靠性需求.

(2) 界面缺陷态密度  $N_{it}$ : 能带排列匹配度的直接体现

能带排列不匹配会加剧栅介质与沟道的界面原子扩散、化学键断裂,进而增加  $N_{it}$ ,而高  $N_{it}$  会导致载流子散射增强、应力下缺陷捕获效应显著,降低器件可靠性.

同样是 Chen 等人<sup>[52]</sup>的工作中,对于 HfAlO<sub>x</sub> 与 IWO 沟道的组合,1A10H 序列(ALD 生长过程中先沉积 1 周期 Al<sub>2</sub>O<sub>3</sub> 前驱体、后沉积 10 周期 HfO<sub>2</sub> 前驱体)因 HfO<sub>2</sub> 与 IWO 的能带匹配更优,界面氧空位更少(XPS 显示 M-O 键占比 86%,氧空位仅 6%), $N_{it}$  仅为  $5.7 \times 10^{12}$  cm<sup>-2</sup>eV<sup>-1</sup>;而 4H1A 序列(Al<sub>2</sub>O<sub>3</sub> 浓度更高,能带匹配差)的  $N_{it}$  达  $1.1 \times 10^{13}$  cm<sup>-2</sup>eV<sup>-1</sup>,对应的器件亚阈值摆幅(SS)从 95 mV/dec 恶化至 131 mV/dec,且如前述所说 PBS 下  $\Delta V_t$  显著增大. 而在 Yamamoto 等人<sup>[54]</sup>的工作中,HfLaO<sub>x</sub>/Si 因能带排列匹配(介电常数  $\kappa > 20$ ,  $\Delta E_C$  满足阻挡需求),界面无明显缺陷:电容-电压(C-V)曲线无频率色散(1~100 kHz 曲线重合),且固定电荷密度很低(平带电压  $V_{fb}$  随厚度变化很小),长期使用中性能退化缓慢.

(3) 栅介质带隙  $E_g$ : 能带偏移量的基础保障

栅介质  $E_g$  通过式  $\Delta E_C = E_{g, \text{介质}} - E_{g, \text{沟道}} - \Delta E_V$  直接影响能带偏移量.  $E_g$  过小会导致  $\Delta E_C$  不足,过大则可能因介电常数降低(如 SiO<sub>2</sub>,  $E_g=8.9$  eV,  $\kappa=4$ )需增加厚度以满

足电容需求,反而引入界面缺陷.例如  $\text{SiO}_2/\text{IGZO}$  的  $\Delta E_c = 3.81 \text{ eV}$ , 但  $\kappa$  值低;  $\text{HfO}_2/\text{IGZO}$  的  $\Delta E_c = 2.26 \text{ eV}$ ,  $\kappa = 15^{26}$ , 可在薄厚度下实现高电容;  $\text{HfLaO}_x/\text{IGZO}$  中  $\text{HfLaO}_x$  的  $E_g \approx 6 \text{ eV}$ ,  $\kappa > 20$ , 则兼顾高  $\Delta E_c$  与高  $\kappa$  值, 避免厚度引发的界面问题.

## 4.2 氧化物半导体界面态的产生来源

对于氧化物半导体材料而言, 界面态的产生有多个来源. 首先是界面处存在的羟基基团 (-OH). 一方面氧化物半导体材料容易吸收环境中的水分<sup>[55,56]</sup>, 另一方面 ALD 生长栅介质时通入的前驱体也会存在栅介质-氧化物半导体界面处残余部分羟基基团. 在加栅压后, 这些键受到高能电子冲击之后断裂, 释放的 H 原子随后会与氧化物半导体沟道中的原生氧空位  $V_o$  结合, 在界面处生成  $V_o\text{-H}$  复合体等缺陷, 这一过程可能会导致沟道中载流子浓度增加, 从而观察到晶体管 SS 参数恶化、阈值漂移以及关态电流增加等现象<sup>[57]</sup>. 除了羟基基团会形成界面态之外, 在用氧化铪作为 IGZO TFT 的栅介质时, 氧化铪与 IGZO 之间会发生化学反应. 例如, Hf 和 IGZO 中活性较高的 In 元素之间发生反应, 从金属阳离子中夺取氧, 形成  $\text{HfO}_x$ , 使 a-IGZO 中氧空位显著增加. 这些  $V_o$  作为电子陷阱存在时, 会成为影响 IGZO 晶体管可靠性的不利因素<sup>[58,59]</sup>. 在 ALD 生长栅介质的过程中, 过量的氧常常会在界面及沟道材料内部引入过量的空隙氧, 这些过量的氧原子会形成  $\text{O}_2$  二聚体, 在导带附近产生浅的能隙态 (gap state). 这些 gap state 在经历多次栅压扫描之后被破坏, 浅能隙态随后通过结构弛豫转化为深能隙态, 从而引起阈值电压的变化<sup>[60]</sup>. 除了氧元素, H 元素在氧化物半导体晶体管的界面特性中也扮演了重要角色. 氢原子半径小、迁移能力强, 易从栅介质 (如  $\text{Al}_2\text{O}_3$ 、 $\text{SiO}_2$ , 尤其是含氢介质如  $\text{SiOH}$ ) 或沉积环境 (如溅射气体中的  $\text{H}_2\text{O}$ 、 $\text{CH}_4$  残留) 以及周边环境扩散至界面, 与 IGZO 表面的悬挂键结合形成 -OH 键. 这一过程虽可能暂时降低界面态密度 (通过钝化悬挂键), 但过量氢会在界面形成新的缺陷能级. 氢的动态迁移还是引发器件可靠性性能退化的重要原因. 在持续栅压或温度应力下, 界面或体内的氢会沿电场方向迁移: 向沟道迁移的氢可能与氧空位重新结合, 改变载流子分布; 向栅介质迁移的氢则可能在介质中形成陷阱, 加剧阈值电压 ( $V_{\text{TH}}$ ) 漂移. 这种应力诱导的氢迁移会严重降低器件的长期稳定性<sup>[61]</sup>.

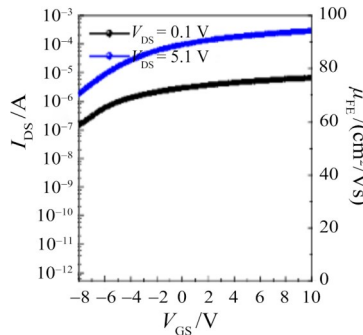
## 4.3 界面特性优化策略

为改善器件性能并保障长期工作可靠性, 研究人员已探索出多种策略以优化界面特性.

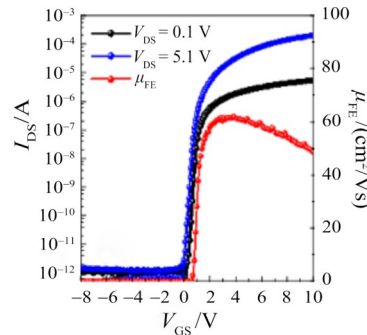
首先考虑的就是调节栅介质形成过程的氧分压, 从而调节沟道和界面处主要和氧元素相关的界面态 (如氧空位  $V_o$  和间隙氧  $\text{O}_i$ ). Choi 等人<sup>[57]</sup> 研究了在低温

( $\leq 150^\circ\text{C}$ ) 下, 采用等离子体增强原子层沉积 (Plasma-Enhanced Atomic Layer Deposition, PEALD) 技术在 IGTO (铟镓锡氧化物) 薄膜上制备  $\text{Al}_2\text{O}_3$  栅绝缘层 (GI) 时, 氧分压 ( $P_{\text{O}_2}$ ) 对器件的影响. 当  $\text{Al}_2\text{O}_3$  栅绝缘层的氧分压为 2.5% 时, IGTO 薄膜晶体管呈现类导体特性, 开关性能较差, 这是由于 IGTO 沟道层中的载流子浓度 ( $N_c$ ) 过高 ( $\approx 10^{19}/\text{cm}^3$ ) [图 7(a)]. 相比之下, 氧分压为 5% 时,  $\text{Al}_2\text{O}_3$  栅绝缘层的 IGTO 薄膜晶体管表现出优异的器件性能: 场效应迁移率 ( $\mu_{\text{FE}}$ ) 为  $58.5 \text{ cm}^2/(\text{V}\cdot\text{s})$ , SS 为  $0.12 \text{ Vdec}^{-1}$ , 阈值电压 ( $V_{\text{TH}}$ ) 为  $0.5 \text{ V}$ , 在正向偏压应力 (PBS) 和负向偏压应力 (NBS) 下的阈值电压漂移量 ( $\Delta V_{\text{TH}}$ ) 分别为  $+0.75 \text{ V}$  和  $-0.42 \text{ V}$  [图 7(b)]. 然而, 当氧分压从 5% 增至 20% 时, 器件性能逐渐退化. 特别是 IGTO 薄膜中的载流子浓度持续降低, 导致场效应迁移率从  $58.8 \text{ cm}^2/(\text{V}\cdot\text{s})$  降至  $37.8 \text{ cm}^2/(\text{V}\cdot\text{s})$ , 阈值电压从  $0.5 \text{ V}$  正向漂移至  $6.2 \text{ V}$  [图 7(c) 和图 7(d)]. 为了阐明氧分压的影响机制, 研究人员开展了飞行时间二次离子质谱 (Time-Of-Flight Secondary Ion Mass Spectrometry, TOF-SIMS) 和热解吸光谱 (Thermal Desorption Spectroscopy, TDS) 测试, 结果显示氢相关缺陷含量随氧分压升高而持续减少, 而氧相关缺陷含量则随之增加. 因此, 当  $\text{Al}_2\text{O}_3$  栅绝缘层的氧分压为 2.5% 时, IGTO 薄膜中高载流子浓度源于大量氢相关缺陷, 这些氢可能来自三甲基铝前驱体中未反应的  $\text{CH}_3$  配体或未反应的羟基 (OH) 基团. 另一方面, 氧分压为 20% 时, IGTO 薄膜晶体管中氢相关缺陷含量较低, 但氧相关缺陷含量较高, 后者会在栅绝缘层中形成受主型陷阱, 导致氧分压升高时器件性能退化. 因此可以通过调节栅介质生长过程氧分压, 来改善栅介质的质量, 获得更好的界面匹配质量.

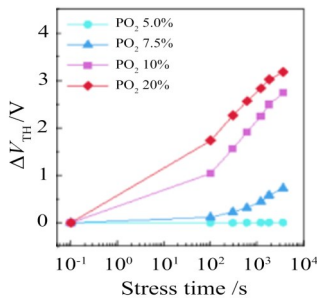
除了调节氧分压之外, 等离子体处理也是常用的优化界面质量的手段. Islam 等人<sup>[62]</sup> 报道了氩/氧 ( $\text{Ar}/\text{O}_2$ ) 等离子体处理对铟镓锡氧化物 (IGZO) 沟道与铟铝氧化物 (ZAO) 栅绝缘层之间界面的影响. 经过等离子体处理后, ZAO 薄膜相较于初始状态变得更加光滑 (RMS 粗糙度从原始的  $0.46 \text{ nm}$  降低到 1 个循环处理后的  $0.32 \text{ nm}$ )、致密 (质量密度从原始的  $4.03 \text{ g/cm}^3$  增加到 1 个循环处理后的  $4.16 \text{ g/cm}^3$ ). 更平滑的表面有助于减少界面处的散射, 从而提高载流子传输效率; 更高的致密度意味着薄膜内部的空隙和缺陷减少, 有助于形成更稳定的结构, 结果表明等离子体处理显著抑制了栅介质的漏电流密度 (将漏电流密度降低了大约两个数量级, 从原始的  $2.22 \times 10^{-4} \text{ A/cm}^2$  降至 1 个循环处理后的  $2.26 \times 10^{-6} \text{ A/cm}^2$ ); 击穿电场从原始的  $4.18 \text{ MV/cm}$  提高到  $5.15 \text{ MV/cm}$ . 此外, 这一步骤在其表面形成了大量的金属-氧 (M-O) 键, 减少了界面处的陷阱位点. X 射线光电电子能谱 (X-ray Photoelectron Spectroscopy, XPS) 分析



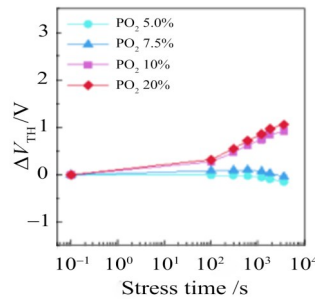
(a) 采用氧分压( $P_{O_2}$ )为 2.5% 条件下制备的  $Al_2O_3$  栅绝缘体的 IGTO 薄膜晶体管的典型转移特性



(b) 采用氧分压( $P_{O_2}$ )为 5.0% 条件下制备的  $Al_2O_3$  栅绝缘体的 IGTO 薄膜晶体管的典型转移特性



(c) 不同 IGTO 薄膜晶体管的阈值电压变化量随 PBS 时间的变化情况



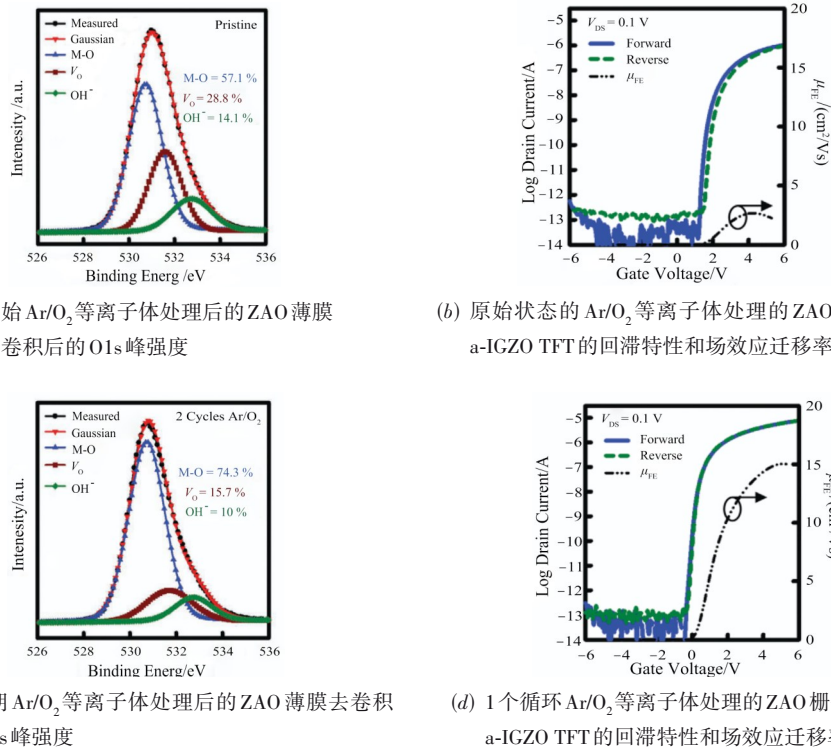
(d) 不同 IGTO 薄膜晶体管的阈值电压变化量

图 7  $Al_2O_3$  栅绝缘体制备过程中不同氧分压( $P_{O_2}$ )对 IGTO 薄膜晶体管性能的影响<sup>[57]</sup>

表明, Ar/ $O_2$  等离子体处理通过产生高能活性氧自由基 ( $O^*$  和  $O_2^*$ ) 将 M-OH 键转化为 M-O 键, 并钝化氧空位. 这种氧化过程增强了 ZAO 薄膜内部的 Zr-O-Al 网络, 减少了界面处的缺陷态. 例如,  $O1s$  峰的定量分析显示, 金属-氧 (M-O) 键的比例显著增加 (从原始的 57.1% 提高到 1 个循环处理后的 74.2%), 而氧空位 (从 28.8% 降至 15.9%) 和羟基 (从 14.1% 降至 9.9%) 的比例则相应减少, 见图 8(a) 和图 8(c). 这使得 IGZO 薄膜晶体管的器件性能得到改善, 场效应迁移率 ( $\mu_{FE}$ )、SS 和阈值电压 ( $V_{TH}$ ) 分别从  $2.67 \text{ cm}^2/(\text{V}\cdot\text{s})$ 、 $135 \text{ mV}/\text{dec}$  和  $2.25 \text{ V}$  提升至  $15.04 \text{ cm}^2/(\text{V}\cdot\text{s})$ 、 $115 \text{ mV}/\text{dec}$  和  $1.46 \text{ V}$ , 见图 8(b) 和图 8(d). 该研究通过对栅介质进行等离子体处理, 有效优化了底栅晶体管的性能. 但对于顶栅型非晶氧化物半导体薄膜晶体管而言, 在栅介质与栅金属沉积完成后, 深层的体缺陷与界面缺陷难以实现有效钝化. 相比之下, 针对顶栅器件, 直接对氧化物半导体沟道实施等离子体处理, 成为更可行的缺陷调控方案. Guan 等人<sup>[63]</sup> 在顶栅自对准 a-IGZO TFT 的制造过程中, 考虑到通过 ALD 沉积  $HfO_x$  栅介质时,  $HfO_x$  与 a-IGZO 之间会发生界面反应, 导致产生大量的界面缺陷, 例如氧空位 ( $V_{Os}$ ). 这种在界面处发生的氧化还原反应高度依赖于 AOSs 的初始氧化态. 因此在 ALD  $HfO_x$  栅介质沉积之前, 通过  $N_2O$  等离子体预处理

引入过量氧,  $N_2O$  作为强氧化性气体, 非氧化的 Hf 元素可能优先与这些氧结合, 形成稳定的  $HfO_x$ , 而不是从 a-IGZO 中解离金属-氧键. 这有助于钝化 a-IGZO 薄膜中的氧空位和羟基键. 通过 XPS 分析,  $N_2O$  等离子体预处理显著减小了裸 a-IGZO 和  $HfO_x$  覆盖 a-IGZO 薄膜之间 M-O 峰和  $V_0$  峰面积比的变化; 界面态密度 ( $D_{it}$ ) 从原始的  $1.37 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$  降至  $1.19 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ , 这意味着  $N_2O$  等离子体预处理有效地抑制了在  $HfO_x$  ALD 过程中氧空位的生成. 相应地, 对器件电学性能和可靠性的改善如下: 经过  $N_2O$  预处理的 a-IGZO 沟道,  $HfO_x$  栅控 TFT 的场效应迁移率 ( $\mu_{FE}$ ) 从  $10.6 \text{ cm}^2/(\text{V}\cdot\text{s})$  提高到  $12.9 \text{ cm}^2/(\text{V}\cdot\text{s})$ ; SS 从  $68.8 \text{ mV}/\text{dec}$  降至  $67.2 \text{ mV}/\text{dec}$ , 接近室温下的极限值; 开关比 ( $I_{on}/I_{off}$ ) 达到  $5 \times 10^7$ ; 阈值电压 ( $V_{th}$ ) 为  $0.15 \text{ V}$ . 在 PBS 和 NBS 下, 阈值电压漂移 ( $\Delta V_{TH}$ ) 都小于  $0.1 \text{ V}$ ; SS 值在应力下几乎保持不变.

因为氧化铪与沟道之间的界面失配, 氧化铪薄膜的高极性也可能导致更高的电子俘获几率, 除了上述对氧化铪生长过程中的气体含量调节以及对于氧化物半导体沟道的等离子体预处理钝化, Cho 等人<sup>[64]</sup> 为解决该问题, 采取在二氧化铪和 IGZO 薄膜之间插入一层  $4 \text{ nm}$  厚的氧化铝 ( $Al_2O_3$ ) 界面层的方案, 见图 9(a).  $Al_2O_3$  的插入有助于降低界面陷阱密度, 并且氧化铝相

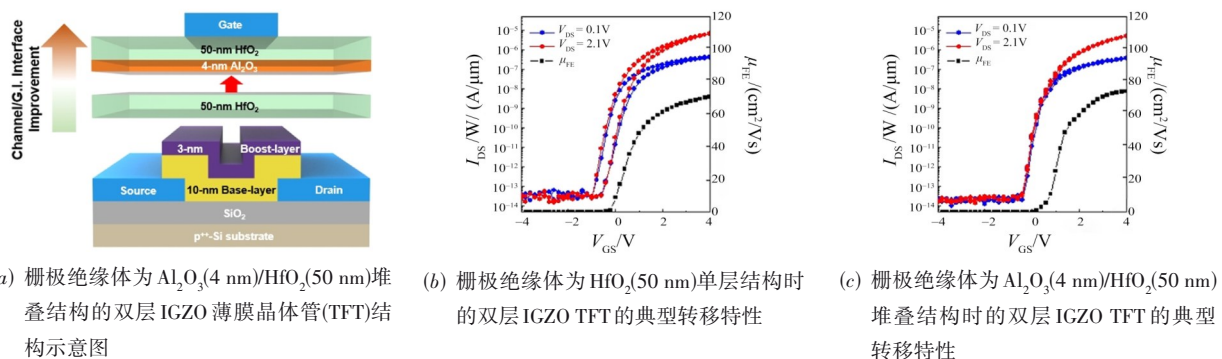


(a) 原始Ar/O<sub>2</sub>等离子体处理后的ZAO薄膜去卷积后的O1s峰强度  
 (b) 原始状态的Ar/O<sub>2</sub>等离子体处理的ZAO栅介质的a-IGZO TFT的回滞特性和场效应迁移率( $\mu_{FE}$ )特性  
 (c) 1个周期Ar/O<sub>2</sub>等离子体处理后的ZAO薄膜去卷积后的O1s峰强度  
 (d) 1个循环Ar/O<sub>2</sub>等离子体处理的ZAO栅介质的a-IGZO TFT的回滞特性和场效应迁移率( $\mu_{FE}$ )特性

图8 等离子体处理氧化物薄膜后的XPS光谱分析结果<sup>[62]</sup>

比氧化铪带隙更宽,可以增加导带和价带的偏移(conduction and valence band offset). 宽带隙和能带偏移能够减轻载流子从沟道层到栅介质的捕获. 同时4 nmAl<sub>2</sub>O<sub>3</sub>可以在用PEALD生长HfO<sub>2</sub>薄膜的过程中作为下方IGZO薄膜的保护层,防止下方氧化物半导体薄膜受到

等离子体意外损伤,降低IGZO中氧空位( $V_{Os}$ )的比例. 采用氧化铝作为缓冲层之后,器件的回滞变得可以忽略不计,见图9(b)和图9(c)对比,场效应迁移率、亚阈值摆幅和阈值电压分别从70.5 cm<sup>2</sup>/(V·s)、170 mV/dec和-0.25 V提升至74.0 cm<sup>2</sup>/(V·s)、130 mV/dec和0.2 V.



(a) 栅极绝缘体为Al<sub>2</sub>O<sub>3</sub>(4 nm)/HfO<sub>2</sub>(50 nm)堆叠结构的双层IGZO薄膜晶体管(TFT)结构示意图  
 (b) 栅极绝缘体为HfO<sub>2</sub>(50 nm)单层结构时的双层IGZO TFT的典型转移特性  
 (c) 栅极绝缘体为Al<sub>2</sub>O<sub>3</sub>(4 nm)/HfO<sub>2</sub>(50 nm)堆叠结构时的双层IGZO TFT的典型转移特性

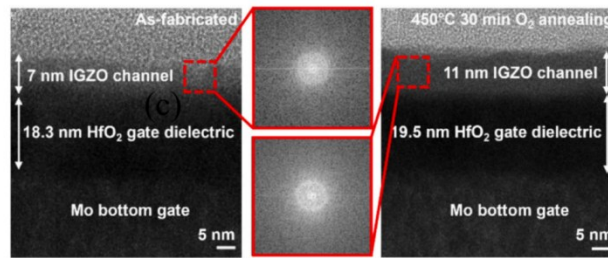
图9 采用界面层改善栅界面质量<sup>[64]</sup>

退火(Annealing)在现代硅基CMOS芯片技术中具有不可替代的重要性. 它是修复前期工艺(如离子注入、薄膜沉积)造成的晶格缺陷、确保掺杂原子有效激活以形成所需导电特性的关键手段,同时能优化材料界面(如硅-氧化层、金属接触),直接决定器件的电学性能(如阈值电压、漏电流)和长期可靠性. 同样地,退火

工艺也可以有效修复AOS TFT中的界面缺陷. Kim等人<sup>[65]</sup>认为IGZO晶体管的传输特性主要与氧空位( $V_{Os}$ )的数量有关.  $V_{Os}$ 既可以作为载流子,也可以作为陷阱. 退火的主要作用在于精确控制 $V_{Os}$ 的数量,通过在不同的氧气(O<sub>2</sub>)或空气环境中退火,以生成或减少 $V_{Os}$ 的数量,从而优化富氧空位( $V_{Os}$ -rich)或贫氧空位( $V_{Os}$ -

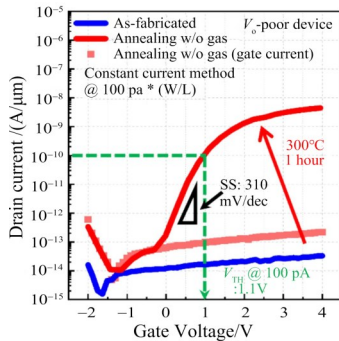
poor)沟道的性能<sup>[65]</sup>. 对于富氧空位( $V_{Os}$ -rich)的沟道, 由于最初沟道中具有过多的 $V_{Os}$ 导致高漏电流. 在注入 $O_2$ 气体的情况下于 $450\text{ }^\circ\text{C}$ 退火 30 min后, 沟道厚度增加了 4 nm, 见图 10(a)和图 10(b). 这表明 $O_2$ 气体从表面渗透到沟道中, 与 In、Ga、Zn 结合,  $V_{Os}$ 湮灭, 这种氧化作用在 IGZO 薄膜下部相对较弱, 因此大量 $V_{Os}$ 仍保留在靠近沟道和栅介质界面处, 这些 $V_{Os}$ 能够快速响应 $V_{GS}$ , 实现快速开关[图 10(c)]; 器件 SS 为 125 mV/dec,  $V_{TH}$  为 0.9 V, 关态电流显著降低, 场效应迁移率( $\mu_{FE}$ )达到约  $14\text{ cm}^2/(\text{V}\cdot\text{s})$ . 而对于贫氧空位( $V_{Os}$ -poor)沟道的

IGZO 薄膜来说, 在沉积时, 氧空位数量相对较少. 由于氧空位在 IGZO 中既可作为载流子, 也可作为陷阱位点, 氧空位数量的不足导致了初始状态下缺乏足够的自由载流子, 从而无法被栅极电压有效控制. 而贫氧空位( $V_{Os}$ -poor)的沟道在空气中于 $300\text{ }^\circ\text{C}$ 退火 1 h 的过程中, 氧原子从 $V_{Os}$ -poor 沟道中扩散出去, 从而在沟道中留下了 $V_{Os}$ . 这些生成的 $V_{Os}$ 作为载流子在 IGZO 层中, 可以被 $V_{GS}$ 有效控制(见图 10(d)): 在 $-1\text{ V}$ 时 $I_{DS}$ 约为  $10^{-14}\text{ A}/\mu\text{m}$ , 随 $V_{GS}$ 从 0~4 V 的扫描迅速增加, 同时栅极漏电流仍被抑制.

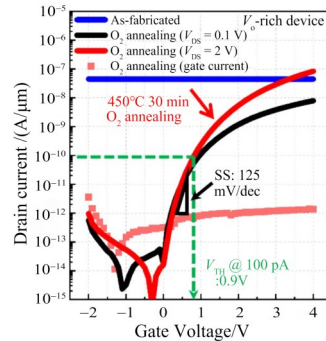


(a) 制备完成态

(b) 经 $O_2$ 退火后



(c) 为沟道氧空位( $V_{Os}$ )富集的晶体管, 在氧气( $O_2$ )气氛中退火后的转移特性曲线



(d) 为沟道氧空位( $V_{Os}$ )贫乏的晶体管, 在环境中退火后的转移特性曲线

图 10 退火工艺对 AOS TFT 中的界面缺陷修复作用的研究<sup>[65]</sup>

当前已经有很多关于氧化物半导体晶体管栅-沟道界面的研究和改善方案, 这些研究为理解界面特性与器件性能的联系奠定了重要基础. 然而, 界面工程领域仍存在亟待突破的关键瓶颈. 一方面, 可靠性影响机制的复杂性尚未厘清: 界面态(包括浅层陷阱与深层陷阱)对器件性能的作用并非单一维度, 在不同工作场景下, 相同类型的界面态可能引发完全相反的行为. 例如, 某些界面陷阱在低偏压下可能稳定阈值电压, 但若处于高频开关或高温环境中, 却可能因载流子快速俘获/释放导致严重的回滞; 而氧空位相关的界面态, 在光照条件下可能增强导电沟道的载流子浓度, 却在长期负偏压应力下加速阈值电压漂移. 这种“场景依赖性”使得界面态的综合影响难以用统一模型描述, 亟须结合多物理场(偏压、温度、光照)下的动态表征技术, 开

展更系统的机理分析. 另一方面, 现有改善方案的适用性存在局限: 当前多数界面优化策略主要基于大尺寸器件(栅长通常大于  $1\text{ }\mu\text{m}$ )验证其有效性. 在这类器件中, 载流子传输以体相主导, 界面态的散射作用可通过简单的钝化手段有效抑制. 但随着器件向短沟道化(栅长小于  $500\text{ nm}$ , 乃至进入亚  $100\text{ nm}$  尺度)发展, 短沟道效应与界面效应的耦合愈发显著. 例如, 原有钝化层可能因厚度与栅长相当而引入额外的寄生电容, 或界面态在短沟道中产生更强的横向电场调制, 导致器件开关特性恶化. 这意味着, 大尺寸器件中有效的界面工程方案, 在短沟道场景下未必适用, 甚至可能引发新的性能退化, 其适配性需通过针对性的结构设计与性能验证进一步明确. 综上, 氧化物半导体晶体管的栅界面工程虽已取得阶段性进展, 但要实现其在高密度集成电

路、柔性电子等领域的可靠应用,仍需多维度、跨尺度地综合分析,建立更精准的界面调控理论与技术体系。

## 5 结束语

大数据、物联网与人工智能技术的快速发展,对半导体器件的计算能力和能效提出了更高要求,OS凭借低温制备、低功耗特性,成为突破硅基材料局限、适配M3D技术的关键候选。本文围绕氧化物半导体TFT栅工程,从栅介质、栅结构、界面工程三大核心维度,梳理研究结论与技术建议,为后续研究提供明确方向。

在栅介质优化上,首先需优先选用“高介电常数(高 $\kappa$ )+宽禁带”复合体系,例如HfLaO<sub>x</sub>与HfAlO<sub>x</sub>,这类材料既能通过高 $\kappa$ 特性缩减EOT,提升栅控能力,又能凭借宽禁带避免载流子隧穿,降低漏电流;工艺层面需重点优化ALD参数,一方面控制前驱体配比,减少组分不均引发的缺陷,另一方面采用退火处理,降低界面羟基、氧空位等缺陷密度;同时需借助XPS、反射电子能量损失谱(Reflection Electron Energy Loss Spectroscopy, REELS)等表征,建立栅介质组分、能带偏移量(导带偏移 $\Delta E_c$ /价带偏移 $\Delta E_v$ )与界面态密度( $N_{it}$ )的定量关系,为高可靠性栅介质选型提供数据支撑。

栅结构优化需聚焦短沟道适配与高密度集成需求。对于GAA结构,需开发热预算 $< 300\text{ }^\circ\text{C}$ 的低温制备工艺(兼容后端BEOL工艺),突破纳米线图形化与栅介质共形覆盖瓶颈——通过DE技术实现纳米级的精准刻蚀,确保纳米线通道尺寸可控,同时优化ALD工艺实现栅介质对纳米线的 $360^\circ$ 均匀包裹;针对栅长 $< 100\text{ nm}$ 的短沟道器件,需通过TCAD模拟调整结构参数,如FinFET的鳍宽、GAA器件的纳米线直径等,在抑制DIBL效应的同时,平衡寄生电阻对开态电流的影响。在此基础上,利用三维堆叠提升芯片单位面积集成度,适配M3D技术需求。

界面工程优化需针对性抑制缺陷,提升长期稳定性。需根据器件结构类型选择适配方案——底栅器件优先对栅介质进行Ar/O<sub>2</sub>等离子体处理(例如现有工作表明可将ZAO栅介质的RMS粗糙度从 $0.46\text{ nm}$ 降至 $0.32\text{ nm}$ ,M-O键占比从 $57.1\%$ 升至 $74.2\%$ ),顶栅器件侧重对沟道进行N<sub>2</sub>O等离子体预处理(钝化氧空位,使HfO<sub>2</sub>/IGZO的 $N_{it}$ 从 $1.37 \times 10^{12}\text{ cm}^{-2}\text{eV}^{-1}$ 降至 $1.19 \times 10^{12}\text{ cm}^{-2}\text{eV}^{-1}$ ),复杂结构可组合插入Al<sub>2</sub>O<sub>3</sub>缓冲层与退火工艺;同时需结合原位透射电子显微镜(Transmission Electron Microscopy, TEM)、开尔文探针力显微镜(Kelvin Probe Force Microscopy, KPFM)等动态表征,研究偏压、温度、光照多物理场下羟基、氢原子、氧空位的迁移路径与转化机制,建立缺陷动态演化模型;针对栅长 $< 100\text{ nm}$ 的短沟道器件,还需开发 $2\text{ nm}$ 超薄Al<sub>2</sub>O<sub>3</sub>界

面层与精准刻蚀工艺,在保证界面缺陷抑制效果的同时,避免传统厚钝化层引入的寄生电容问题,确保器件开关特性不受影响。

然而,要充分发挥三维Monolithic集成的优势,必须找到与后端工艺兼容的高性能p型氧化物半导体材料。然而,通过与CMOS兼容的工艺路线在低温下研发高性能p型半导体极具挑战性。通常来说,在氧化物半导体中,作为空穴传导路径的价带(Valence Band, VB)边缘因受氧的2p轨道影响而高度局域化,这导致空穴有效质量较大。因此,大多数氧化物半导体都不具备p型特性。由此可见,实现与现有n型氧化物半导体晶体管性能匹配且后端工艺兼容的p型氧化物半导体晶体管是一项重要任务,但目前这一问题仍未得到解决,缺乏较为成熟的p型氧化物材料也使得在此基础上进行的栅特性、接触特性以及可靠性研究等器件特性探索没有足够的指导意义。尽管如此,氧化物半导体晶体管的潜能已经得到了产业和学界的广泛认可,预计在不久的将来,经过多方的努力,在现有的研究基础上克服上述障碍,氧化物半导体将是后摩尔时代的重要技术路线。

## 参考文献

- [1] DATTA S, DUTTA S, GRISAFE B, et al. Back-end-of-line compatible transistors for monolithic 3-D integration[J]. IEEE Micro, 2019, 39(6): 8-15.
- [2] BOESEN G F, JACOBS J E. ZnO field-effect transistor[J]. Proceedings of the IEEE, 1968, 56(11): 2094-2095.
- [3] KLASSENS H A, KOELMANS H. A tin oxide field-effect transistor[J]. Solid-State Electronics, 1964, 7(9): 701-702.
- [4] HOSONO H, YASUKAWA M, KAWAZOE H. Novel oxide amorphous semiconductors: Transparent conducting amorphous oxides[J]. Journal of Non-Crystalline Solids, 1996, 203: 334-344.
- [5] NOMURA K, OHTA H, TAKAGI A, et al. Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors[J]. Nature, 2004, 432(7016): 488-492.
- [6] HOSONO H. How we made the IGZO transistor[J]. Nature Electronics, 2018, 1(7): 428.
- [7] KAMIYA T, HOSONO H. Material characteristics and applications of transparent amorphous oxide semiconductors[J]. NPG Asia Materials, 2010, 2(1): 15-22.
- [8] HOSONO H. Ionic amorphous oxide semiconductors: Material design, carrier transport, and device application[J]. Journal of Non-Crystalline Solids, 2006, 352(9-20): 851-858.
- [9] WU Y C, JHAN Y R. 3D TCAD Simulation for CMOS

- Nanoelectronic Devices[M]. Singapore: Springer Singapore, 2018.
- [10] XU L Q, XU L Q, LAN J, et al. Sub-5 nm ultrathin  $\text{In}_2\text{O}_3$  transistors for high-performance and low-power electronic applications[J]. ACS Applied Materials & Interfaces, 2024: acsami.4c01353.
- [11] SI M W, HU Y Q, LIN Z H, et al. Why  $\text{In}_2\text{O}_3$  can make 0.7 nm atomic layer thin transistors[J]. Nano Letters, 2021, 21(1): 500-506.
- [12] SHEN Y X, ZHANG M, HE S Y, et al. Reliability issues of amorphous oxide semiconductor-based thin film transistors[J]. Journal of Materials Chemistry C, 2024, 12(35): 13707-13726.
- [13] MOHAMMADIAN N, KUMAR D, FUGIKAWA-SANTOS L, et al. Bias and temperature stress effects in IGZO TFTs and the application of step-stress testing to increase reliability test throughput[J]. IEEE Transactions on Electron Devices, 2024, 71(11): 6756-6763.
- [14] SI M W, LIN Z H, CHEN Z Z, et al. Scaled indium oxide transistors fabricated using atomic layer deposition[J]. Nature Electronics, 2022, 5(3): 164-170.
- [15] NOMURA K, KAMIYA T, KIKUCHI Y, et al. Comprehensive studies on the stabilities of a-In-Ga-Zn-O based thin film transistor by constant current stress[J]. Thin Solid Films, 2010, 518(11): 3012-3016.
- [16] LEE J M, CHO I T, LEE J H, et al. Bias-stress-induced stretched-exponential time dependence of threshold voltage shift in InGaZnO thin film transistors[J]. Applied Physics Letters, 2008, 93(9): 093504.
- [17] MA P F, SUN J M, LIANG G D, et al. Half-volt operation of IGZO thin-film transistors enabled by ultrathin  $\text{HfO}_2$  gate dielectric[J]. Applied Physics Letters, 2018, 113(6): 063501.
- [18] SHAO Y, XIAO X, HE X, et al. Low-voltage a-InGaZnO thin-film transistors with anodized thin  $\text{HfO}_2$  gate dielectric[J]. IEEE Electron Device Letters, 2015, 36(6): 573-575.
- [19] YU M C, RUAN D B, LIU P T, et al. High performance transparent a-IGZO thin film transistors with ALD- $\text{HfO}_2$  gate insulator on colorless polyimide substrate[J]. IEEE Transactions on Nanotechnology, 2020, 19: 481-485.
- [20] ZHU L, HE G, LV J G, et al. Fully solution-induced high performance indium oxide thin film transistors with  $\text{ZrO}_x$  high- $k$  gate dielectrics[J]. RSC Advances, 2018, 8(30): 16788-16799.
- [21] ZHU C D, LIU A, LIU G X, et al. Low-temperature, non-toxic water-induced high- $k$  zirconium oxide dielectrics for low-voltage, high-performance oxide thin-film transistors[J]. Journal of Materials Chemistry C, 2016, 4(45): 10715-10721.
- [22] YU M J, LIN R P, CHANG Y H, et al. High-voltage amorphous InGaZnO TFT with  $\text{Al}_2\text{O}_3$  high- $k$  dielectric for low-temperature monolithic 3-D integration[J]. IEEE Transactions on Electron Devices, 2016, 63(10): 3944-3949.
- [23] SCHEIDELER W, MCPHAIL M, KUMAR R, et al. Scalable, high-performance printed  $\text{InO}_x$  transistors enabled by ultraviolet-annealed printed high- $k$   $\text{AlO}_x$  gate dielectrics[J]. ACS Applied Materials & Interfaces, 2018, 10(43): 37277-37286.
- [24] MA P F, DU L L, WANG Y M, et al. Song. Low voltage operation of IGZO thin film transistors enabled by ultrathin  $\text{Al}_2\text{O}_3$  gate dielectric[J]. Applied Physics Letters, 2018, 112(2): 023501.
- [25] SHIM J H, CHOI H J, KIM Y, et al. Process-property relationship in high- $k$  ALD  $\text{SrTiO}_3$  and  $\text{BaTiO}_3$ : A review[J]. Journal of Materials Chemistry C, 2017, 5(32): 8000-8013.
- [26] KIM Y, LEE K H, MUN G, et al. Outstanding performance as Cu top gate IGZO TFT with large trans-conductance coefficient by adopting double-layered  $\text{Al}_2\text{O}_3/\text{SiN}_x$  gate insulator[J]. Physica Status Solidi (a), 2017, 214(12): 1700183.
- [27] MA P F, SUN J M, ZHANG G Q, et al. Low-temperature fabrication of HfAlO alloy dielectric using atomic-layer deposition and its application in a low-power device[J]. Journal of Alloys and Compounds, 2019, 792: 543-549.
- [28] HUANG T, ZHANG Y, LIU H, et al. Interface scattering dominated carrier transport in hysteresis-free amorphous InGaZnO thin film transistors with high- $k$  HfAlO gate dielectrics by atom layer deposition[J]. Semiconductor Science and Technology, 2022, 37(2): 025005.
- [29] LI Y L, CHANG-LIAO K S, LI C C, et al. Electrical and reliability characteristics of FinFETs with high- $k$  gate stack and plasma treatments[J]. IEEE Transactions on Electron Devices, 2021, 68(1): 4-9.
- [30] LIU Y, DUAN X D, SHIN H J, et al. Promises and prospects of two-dimensional transistors[J]. Nature, 2021, 591(7848): 43-53.
- [31] SALAHUDDIN S, NI K, DATTA S. The era of hyper-scaling in electronics[J]. Nature Electronics, 2018, 1(8): 442-450.
- [32] SAMANTA S, HAN K Z, SUN C, et al. Amorphous In-

- GaN<sub>2</sub>O thin-film transistors with sub-10-nm channel thickness and ultrascaled channel length[J]. *IEEE Transactions on Electron Devices*, 2021, 68(3): 1050-1056.
- [33] JI K H, KIM J I, MO Y G, et al. Comparative study on light-induced bias stress instability of IGZO transistors with SiN<sub>x</sub> and SiO<sub>2</sub> gate dielectrics[J]. *IEEE Electron Device Letters*, 2010, 31(12): 1404-1406.
- [34] LEE J, PARK J S, PYO Y S, et al. The influence of the gate dielectrics on threshold voltage instability in amorphous indium-gallium-zinc oxide thin film transistors[J]. *Applied Physics Letters*, 2009, 95(12): 123502.
- [35] LEE J S, CHANG S, KOO S M, et al. High-performance a-IGZO TFT with Z<sub>2</sub>O<sub>2</sub> gate dielectric fabricated at room temperature[J]. *IEEE Electron Device Letters*, 2010, 31(3): 225-227.
- [36] CHO Y J, SHIN J H, BOBADE S M, et al. Evaluation of Y<sub>2</sub>O<sub>3</sub> gate insulators for a-IGZO thin film transistors[J]. *Thin Solid Films*, 2009, 517(14): 4115-4118.
- [37] KIM J B, FUENTES-HERNANDEZ C, POTSCAVAGE W J Jr, et al. Low-voltage InGaZnO thin-film transistors with Al<sub>2</sub>O<sub>3</sub> gate insulator grown by atomic layer deposition[J]. *Applied Physics Letters*, 2009, 94(14): 142107.
- [38] ILLIBERI A, COBB B, SHARMA A, et al. Spatial atmospheric atomic layer deposition of In<sub>0.5</sub>Ga<sub>0.5</sub>Zn<sub>2</sub>O for thin film transistors[J]. *ACS Applied Materials & Interfaces*, 2015, 7(6): 3671-3675.
- [39] CHIU C J, CHANG S P, CHANG S J. High-performance amorphous indium-gallium-zinc oxide thin-film transistors with polymer gate dielectric[J]. *Thin Solid Films*, 2012, 520(16): 5455-5458.
- [40] MISTRY K, CHAU R, CHOI C H, et al. A 45nm logic technology with high-*k*+Metal gate transistors, strained silicon, 9 Cu interconnect layers, 193nm dry patterning, and 100% Pb-free packaging[C]//2007 IEEE International Electron Devices Meeting. Piscataway: IEEE, 2008: 247-250.
- [41] AUTH C, ALLEN C, BLATTNER A, et al. A 22nm high performance and low-power CMOS technology featuring fully-depleted tri-gate transistors, self-aligned contacts and high density MIM capacitors[C]//2012 Symposium on VLSI Technology. Piscataway: IEEE, 2012: 131-132.
- [42] JAMES D. Intel Ivy Bridge unveiled: The first commercial tri-gate, high-*k*, metal-gate CPU[C]//Proceedings of the IEEE 2012 Custom Integrated Circuits Conference. Piscataway: IEEE, 2012: 1-4.
- [43] LIU J C, MUKHOPADHYAY S, KUNDU A, et al. A reliability enhanced 5nm CMOS technology featuring 5<sup>th</sup> generation FinFET with fully-developed EUV and high mobility channel for mobile SoC and high performance computing application[C]//2020 IEEE International Electron Devices Meeting. Piscataway: IEEE, 2020: 9372009.
- [44] RAZAVIEH A, ZEITZOFF P, NOWAK E J. Challenges and limitations of CMOS scaling for FinFET and beyond architectures[J]. *IEEE Transactions on Nanotechnology*, 2019, 18: 999-1004.
- [45] ZHANG Q Z, ZHANG Y K, LUO Y N, et al. New structure transistors for advanced technology node CMOS ICs[J]. *National Science Review*, 2024, 11(3): nwa008.
- [46] BAE G, BAE D I, KANG M, et al. 3nm GAA technology featuring multi-bridge-channel FET for low power and high performance applications[C]//2018 IEEE International Electron Devices Meeting. Piscataway: IEEE, 2019: 8614629.
- [47] KUNITAKE H, ARASAWA R, SEKI T, et al. A: Axis-aligned crystalline In-Ga-Zn oxide FET with a gate length of 21 nm suitable for memory applications[J]. *IEEE Journal of the Electron Devices Society*, 2019, 7: 495-502.
- [48] SI M W, LIN Z H, CHEN Z Z, et al. High-performance atomic-layer-deposited indium oxide 3-D transistors and integrated circuits for monolithic 3-D integration[J]. *IEEE Transactions on Electron Devices*, 2021, 68(12): 6605-6609.
- [49] HAN K Z, KONG Q W, KANG Y Y, et al. Indium-gallium-zinc-oxide (IGZO) nanowire transistors[J]. *IEEE Transactions on Electron Devices*, 2021, 68(12): 6610-6616.
- [50] FUJIWARA H, SATO Y, SAITO N, et al. Surrounding gate vertical-channel FET with a gate length of 40 nm using BEOL-compatible high-thermal-tolerance In-Al-Zn oxide channel[J]. *IEEE Transactions on Electron Devices*, 2020, 67(12): 5329-5335.
- [51] LI Q J, ZHAO W J, HU Q L, et al. First demonstration of sequential integration for stacked gate-all-around a-IGZO nanosheet transistors with record  $\text{id} = 2.05 \text{ mA}/\mu\text{m}$ ,  $\text{gm} = 1.13 \text{ mS}/\mu\text{m}$  and Ultralow  $\text{SS} = 66 \text{ mV}/\text{dec}$ [C]//2023 International Electron Devices Meeting. Piscataway: IEEE, 2024: 1-4.
- [52] CHEN Y X, LI F J, WANG Y L, et al. Effect of electrical performance and reliability by adjustment of the sequence and concentration of HfAlO<sub>x</sub> on IWO thin-film transistors[J]. *IEEE Transactions on Nanotechnology*, 2024, 23: 422-426.
- [53] HAYS D C, GILA B P, PEARTON S J, et al. Energy band offsets of dielectrics on InGaZnO<sub>4</sub>[J]. *Applied Phys-*

ics Reviews, 2017, 4(2): 021301.

- [54] YAMAMOTO Y, KITA K, KYUNO K, et al. Structural and electrical properties of HfLaO<sub>x</sub> films for an amorphous high-*k* gate insulator[J]. Applied Physics Letters, 2006, 89(3): 032903.
- [55] CHOWDHURY M D H, MATIVENGA M, UM J G, et al. Effect of SiO<sub>2</sub> and SiO<sub>2</sub>/SiN<sub>x</sub> passivation on the stability of amorphous indium-gallium zinc-oxide thin-film transistors under high humidity[J]. IEEE Transactions on Electron Devices, 2015, 62(3): 869-874.
- [56] HAN Y B, CUI C, YANG J W, et al. H<sub>2</sub>O induced hump phenomenon in capacitance-voltage measurements of a-IGZO thin-film transistors[J]. IEEE Transactions on Device and Materials Reliability, 2016, 16(1): 20-24.
- [57] CHOI C H, KIM T, UEDA S, et al. High-performance indium gallium tin oxide transistors with an Al<sub>2</sub>O<sub>3</sub> gate insulator deposited by atomic layer deposition at a low temperature of 150 °C: Roles of hydrogen and excess oxygen in the Al<sub>2</sub>O<sub>3</sub> dielectric film[J]. ACS Applied Materials & Interfaces, 2021, 13(24): 28451-28461.
- [58] D'ACUNTO G, JONES R, PÉREZ RAMÍREZ L, et al. Role of temperature, pressure, and surface oxygen migration in the initial atomic layer deposition of HfO<sub>2</sub> on anatase TiO<sub>2</sub>(101)[J]. The Journal of Physical Chemistry C, 2022, 126(29): 12210-12221.
- [59] UNİYAL S, YADAV N, UMA S, et al. Polyaminocarboxylate promoted synthesis of Hafnium/Zirconium substituted anion excess In<sub>2</sub>O<sub>3</sub>: Structure, optical and electrical conductivity properties[J]. Ceramics International, 2022, 48(5): 6707-6715.
- [60] HIKAKE K, LI Z, HAO J X, et al. A nanosheet oxide semiconductor FET using ALD InGaO<sub>x</sub> channel for 3-D integrated devices[J]. IEEE Transactions on Electron Devices, 2024, 71(4): 2373-2379.
- [61] IDE K, NOMURA K, HOSONO H, et al. Electronic defects in amorphous oxide semiconductors: A review[J]. Physica Status Solidi (a), 2019, 216(5): 1800372.
- [62] ISLAM M M, SAHA J K, HASAN M M, et al. Spray-pyrolyzed high-*k* zirconium-aluminum-oxide dielectric for high performance metal-oxide thin-film transistors for low power displays[J]. Advanced Materials Interfaces, 2021, 8(16): 2100600.
- [63] GUAN Y H, ZHANG Y Q, LI J X, et al. Ultra-thin top-gate insulator of atomic-layer-deposited HfO<sub>x</sub> for amorphous InGaZnO thin-film transistors[J]. Applied Surface Science, 2023, 625: 157177.
- [64] CHO M H, CHOI C H, SEUL H J, et al. Achieving a low-voltage, high-mobility IGZO transistor through an ALD-derived bilayer channel and a hafnia-based gate dielectric stack[J]. ACS Applied Materials & Interfaces, 2021, 13(14): 16628-16640.
- [65] KIM N, JEONG J, LEE J W, et al. Unraveling the role of post-annealing in IGZO transistor for memory applications[J]. Microelectronic Engineering, 2025, 298: 112322.

#### 作者简介



谢雨农 女, 1994年10月出生于浙江省温岭市. 博士, 就职于中国计量大学. 主要研究方向为新型半导体材料单片三维集成技术.  
E-mail: rowenia@163.com



张志勇 男, 1977年9月出生于湖北省应城市. 博士, 北京大学博雅特聘教授, 博士生导师, 纳米器件物理与化学教育部重点实验室主任, 碳基电子学研究中心副主任. 主要研究方向为碳基纳米电子学.  
E-mail: zy Zhang@pku.edu.cn