

# 基于DPU的机载射频综合处理系统研究与设计

马城城<sup>1,2,3,4</sup>, 田 泽<sup>1,2,3,4</sup>, 郭玄瀛<sup>2,3,4\*</sup>, 张 琛<sup>2,3,4</sup>, 梁军利<sup>1</sup>, 郑江滨<sup>1</sup>,  
王保平<sup>1</sup>, 刘 博<sup>2,3,4</sup>, 李林泽<sup>2,3,4</sup>, 刘小旗<sup>2,3,4</sup>

(1. 西北工业大学, 陕西西安 710072; 2. 西安翔腾微电子科技有限公司, 陕西西安 710072;  
3. 集成电路与微系统设计航空科技重点实验室, 陕西西安 710072; 4. 陕西省空天智算与算力网络重点实验室, 陕西西安 710072)

**摘要:** 机载射频(Radio Frequency, RF)系统正朝着智能蒙皮、多功能综合与智能化方向快速演进, 系统数据规模、算力需求及产品迭代速度呈指数级增长。当前的基于SRIO互联的FPGA+DSP定制计算架构存在计算资源与任务强耦合、异构算力难以高效聚合以及系统扩展性受限等问题, 已难以支撑新一代机载射频处理需求。为突破上述瓶颈, 本文借鉴主流智算中心的计算架构理念, 将其引入机载射频计算领域, 提出了一种基于数据处理单元(Data Processing Unit, DPU)的射频综合处理系统。该系统采用IEEE 1588v2与同步以太网(Synchronous Ethernet, SyncE)协同的高精度时钟同步机制, 解决了弹性分布式架构下多源射频海量数据的高精度时空对齐问题; 基于远程内存直接访问(Remote Direct Memory Access, RDMA)实现领域特定架构数据直通(Domain-Specific Architecture Direct, DSA Direct)技术, 支持数据从采集、处理到存储的端到端零拷贝传输, 显著降低系统传输时延; 通过融合PCIe与RDMA的异构算力互联机制, 实现统一内存视图下的异构算力聚合与灵活配置。依托纳秒级同步接入、异构算力协同计算与分布式存储能力, 构建了以数据为中心的射频综合处理体系。该体系由射频接入节点与异构算力资源池组成, 通过高速以太网交换机互联, 将智能、并行、通用和可重构四类异构算力节点及NVMe-oF(NVMe over Fabrics)分布式存储节点统一纳入算力网络, 支持面向任务的弹性资源组合与动态部署。基于国产DPU FPGA原型, 搭建了射频综合处理系统实验环境, 并针对多通道射频数据接入、跨节点异构算力协同与分布式存储访问等典型数据流进行了验证。测试结果表明: 相较于当前架构, 该系统在数据传输延迟方面单次拷贝延迟约降至原来的1/360; NVMe-oF存储节点三盘顺序读写峰值带宽超过5700 MB/s, 较当前方式性能提升6到8倍; 基于IEEE 1588v2+SyncE的时钟同步精度为8.33 ns。此外, 通过构建典型雷达与通信信号处理链路, 其中雷达场景下128 MB雷达原始数据接入延迟低至24.92 ms, 通信场景下可稳定承载38路并行基带数据流实时接入, 验证了系统在高吞吐原始数据注入及多级异构计算中的实时业务承载能力。实验证明, 该架构为新一代机载射频综合处理系统提供了一种切实可行的技术路径。

**关键词:** DPU; 射频综合; 算力网络; 信号处理; 边缘计算

中图分类号: TP303; V243

文献标识码: A

文章编号: 0372-2112(XXXX)XX-0001-14

电子学报URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20260056

## Research and Design of a DPU-Based Airborne Integrated RF Processing System

MA Chengcheng<sup>1,2,3,4</sup>, TIAN Ze<sup>1,2,3,4</sup>, GUO Xuanying<sup>2,3,4\*</sup>, ZHANG Chen<sup>2,3,4</sup>, LIANG Junli<sup>1</sup>, ZHENG Jiangbin<sup>1</sup>,  
WANG Baoping<sup>1</sup>, LIU Bo<sup>2,3,4</sup>, LI Linze<sup>2,3,4</sup>, LIU Xiaoqi<sup>2,3,4</sup>

(1. Northwestern Polytechnical University, Xi'an, Shaanxi 710072, China;

2. Xi'an Xiangteng Microelectronics Technology Co., Ltd., Xi'an, Shaanxi 710072, China;

3. Aviation Key Laboratory of Science and Technology on Integrated Circuit and Micro-System Design, Xi'an, Shaanxi 710072, China;

4. Shaanxi Provincial Key Laboratory of Aerospace Intelligence Computing and Computing Power Network, Xi'an, Shaanxi 710072, China)

**Abstract:** Airborne radio frequency (RF) systems are rapidly evolving toward intelligent skins, multifunctional integration, and intelligence, with exponential growth in system data volume, computational demands, and product iteration speed. Conventional FPGA+DSP custom computing architectures based on SRIO interconnection suffer from strong coupling between computing resources and tasks, inefficient aggregation of heterogeneous computing power, and limited system scalability, making them inadequate to support the requirements of next-generation airborne RF processing. To overcome these bottlenecks, this paper draws on the computational architecture concepts of mainstream intelligent computing centers and introduces them into the airborne RF computing domain, proposing a data processing unit (DPU)-based integrat-

ed RF processing system. This system employs a high-precision clock synchronization mechanism combining IEEE 1588v2 and synchronous ethernet (SyncE), addressing the high-precision spatiotemporal alignment of massive multi-source RF data in elastic distributed architectures. Based on remote direct memory access (RDMA), domain-specific architecture direct (DSA Direct) data passthrough is implemented, supporting end-to-end zero-copy transmission from data acquisition and processing to storage, significantly reducing system transmission latency. Through a heterogeneous computing power interconnection mechanism integrating PCIe and RDMA, aggregation and flexible configuration of heterogeneous computing power under a unified memory view are achieved. Leveraging nanosecond-level synchronous access, collaborative heterogeneous computing, and distributed storage capabilities, a data-centric integrated RF processing architecture is constructed. The architecture consists of RF access nodes and a heterogeneous computing resource pool interconnected through high-speed Ethernet switches, integrating intelligent, parallel, general-purpose, and reconfigurable heterogeneous computing nodes together with NVMe-oF distributed storage nodes into a unified computing power network, thereby supporting task-oriented elastic resource composition and dynamic deployment. Using a domestic DPU FPGA prototype, an experimental environment for the integrated RF processing system was established, and typical data flows including multi-channel RF data access, cross-node heterogeneous computing collaboration, distributed storage access, as well as RF data transmission, storage, and computation were validated. Test results indicate that compared to conventional architectures, the system reduces single-copy latency in data transmission to approximately 1/360 of the original; the peak sequential read/write bandwidth of NVMe over fabrics (NVMe-oF) storage nodes with three disks exceeds 5 700 MB/s, representing a 6 to 8 fold performance improvement over conventional methods; and the clock synchronization accuracy based on IEEE 1588v2+SyncE is approximately 8.33 ns. Furthermore, by constructing typical radar and communication signal processing chains, the system demonstrated an access latency as low as 24.92 ms for 128 MB radar raw data in the radar scenario, while stably supporting the real-time access of 38 parallel baseband data streams in the communication scenario, thereby validating its real-time service capability under high-throughput raw data injection and multi-level heterogeneous computing. Experiments demonstrate that this architecture provides a feasible technical pathway for next-generation airborne integrated RF processing systems.

**Keywords:** DPU; RF integration; computing power network; signal processing; edge computing

## 0 引言

未来战场信息优势的获取高度依赖各类战场传感器的精准感知与智能化处理能力,射频传感器作为战场态势感知的核心来源,其综合化、智能化水平直接决定着作战体系的整体效能<sup>[1]</sup>。随着电磁频谱战日趋复杂,作战平台需集成的射频传感器种类与数量急剧增加,为在有限的平台空间内实现多类射频功能集成,射频综合系统已成为必然趋势<sup>[2-3]</sup>。

美国等发达国家在该领域起步早、体系完整,其空军、国防部高级研究计划局等机构开展了大量探索,部分成果已实现工程化应用与装备列装。早在1990年代,美国空军便相继推进“宝石柱”与“宝石台”等重大计划<sup>[4-5]</sup>,通过雷达、通信与导航功能的射频资源一体化设计,形成了机载射频系统综合化的早期工程框架,相关关键技术随后应用于F-22与F-35战机的综合射频系统。2016年,美国国防部高级研究计划局启动了“协奏曲”计划,致力于构建能够满足通信、雷达和电子战多任务的射频综合系统,该架构软硬件解耦且采用共享的异构计算架构,能够满足低功耗、轻量化、可扩展、快速升级的机载环境需求<sup>[6]</sup>。2020年,欧洲防务局启动CROWN项目,研发机载雷达/通信/电子防御一体化射频综合系统,目标是通过多功能射频融合控制电磁频谱、提升未来欧洲

战斗机的作战优势<sup>[7]</sup>。

国内在射频综合系统方面也开展了大量研究。2016年,南京电子技术研究所提出的多功能射频一体化方案,通过分布式宽带孔径实现硬件资源复用,促进了射频功能一体化的发展<sup>[8]</sup>。2022年,中国飞行试验研究院研发的机载综合射频兼容性试验系统,推动了多功能射频系统在机载平台上的兼容性设计与验证<sup>[9]</sup>。2025年,中航工业陕飞开展的综合射频一体化系统设计,在复杂电磁环境下验证了系统级设计方法的可行性<sup>[10]</sup>。尽管国内已取得初步进展,但现有研究仍主要集中于有限孔径集成与资源调度,尚未形成成熟、可规模应用的工程化体系。

近年来,随着人工智能、大数据、5G/6G等技术的迅猛发展,促使射频系统呈现大数据化、智能化、快速迭代等特性:首先,第三代半导体、数字化相控阵、高速模数转换等关键技术的进步,在显著提升射频系统性能的同时也催生了海量并行数据流,单节点传输速率已从数Gbps向数百Gbps迈进,要求系统需具备高带宽、低延迟数据交互与海量数据计算、存储能力<sup>[11-13]</sup>;其次,现代战场电磁环境日益复杂、对抗激烈且智能化程度高,要求系统拥有强实时、高并发的智能计算能力,以实现信号的快速智能识别、分选与研判<sup>[14]</sup>;再者,为适应战场形态与装备型号的快速迭

代,射频系统需支持敏捷升级与动态重构,要求处理系统具备灵活配置与快速升级能力<sup>[15-16]</sup>。

当前主流的射频综合处理系统通常由多个DSP与FPGA构成的固定计算管线,并采用SRIO总线互联<sup>[17-18]</sup>。这种架构存在固有瓶颈:其一,算力资源与处理任务紧密耦合,节点功能固化,难以动态适应任务变化;其二,缺乏对智能算力单元的高效集成与统一调度能力。难以应对未来射频系统大数据化、智能化、快速迭代的处理需求。

2020年,NVIDIA面向数据中心人工智能、5G/6G、大数据、物联网、大模型等处理需求,为解决计算、存储、网络发展不均衡问题,研发了首款DPU芯片BlueField,凭借其强大的网络、存储、虚拟化及安全数据卸载能力,将数据吞吐与传输效能提升了数个数量级,显著增强了智能业务处理能力,迅速变革了数据中心架构,推动了智能计算从当前的以CPU为中心的计算架构向以数据为中心的新型模式演进<sup>[19]</sup>。

然而,通用DPU主要面向地面数据中心、智算中心,虽功能全面、性能强劲,但功耗较高,且与国产射频处理软硬件生态适配困难,难以直接应用于装备端的综合射频系统<sup>[20]</sup>。本文借鉴国际前沿DPU技术思想,结合射频处理系统的业务特性与芯片选型约束,自主研发了一款基于FPGA的DPU原型,并在此基础上提出了一种基于DPU的射频综合处理架构,该架构以DPU作为构建算力网络的基础单元,实现射频前端接入、异构计算与分布式存储等资源的彻底解耦与统一池化管理,从而将系统设计范式从当前的固定硬件管道转变为基于动态资源的配置服务模式,有效提升了系统的扩展性、灵活性及智能算力集成能力。本文还基于自研DPU FPGA原型研制了射频综合处理平台,针对典型射频数据流的接入、存储、信号处理及智能计算全流程进行了测试与性能评估。

## 1 机载射频综合处理关键特征分析

### 1.1 机载射频综合处理系统架构分析

航空领域面对复杂电磁环境、激烈对抗、动态不确定场景,要求机载平台集成雷达、电子战、通信导航等多种射频功能;然而,机载环境体积、重量、功耗等资源极为有限,各功能模块间存在激烈的资源竞争<sup>[21]</sup>。导致机载射频综合处理系统需要在孔径、通道、信号处理、系统调度等环节实现深度资源共享与全局优化,以实现覆盖作战功能、性能要求的同时最大限度地缓解资源冲突。行业普遍采用智能蒙皮、软件定义无线电等方式实现,典型架构如图1所示,通过统一射频接入、共享计算平台与软件定义的多功能

综合方式加以实现。这就需要处理系统能够同时承载雷达、通信、电子战等多种业务处理能力<sup>[22]</sup>。然而,机载领域不同射频业务的数据特征、计算负载特性差异巨大,对处理系统要求也存在显著差异。

本文重点围绕雷达、通信典型应用,对其数据特征和计算特征进行了系统分析,为后续射频综合处理架构设计提供依据。

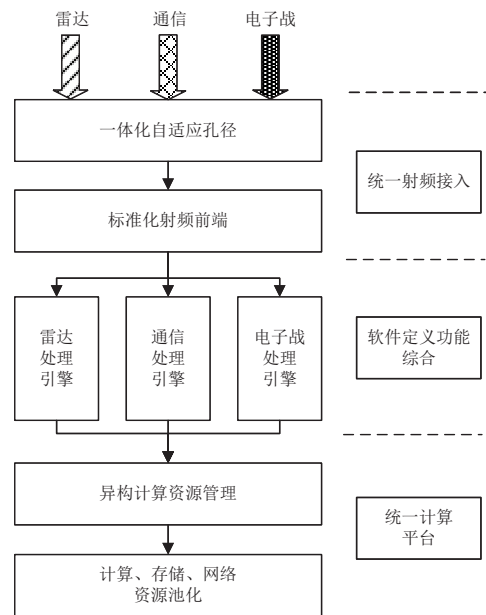


图1 机载射频综合处理系统架构

Figure 1 Airborne integrated RF processing system architecture

### 1.2 机载射频综合数据特征分析

雷达、通信信号体制与数据特征存在显著差异。雷达信号以模糊函数为理论基础,通常按照固定的时序节拍进行收发;而通信信号则以香农理论为基础,依据通信协议约定的时序进行发射或接收。

机载雷达多采用脉冲体制,典型的无距离模糊工作模式如图2所示。雷达信号发射和接收链路以交替方式工作,一个完整的发射与接收周期称为脉冲重复间隔(Pulse Repetition Interval, PRI),其范围通常为几微秒至几毫秒。多个脉冲在时间上相干累积形成相干处理间隔(Coherent Processing Interval, CPI),所含脉冲数量可从单个至数百个不等,雷达PRI与CPI共同决定了雷达的目标探测性能<sup>[23]</sup>。由于多数机载雷达需实时处理多种工作模式下的脉冲序列,并以CPI为基本处理单元,因此雷达系统对一组脉冲数据的传输与处理时间之和必须严格小于一个CPI的时长,这构成了雷达信号处理的硬实时约束。雷达原始信号数据量 $D$ ,如式(1)所示:

$$D_r = N_{ch} \cdot N_{cpi} \cdot f_s \cdot T_{pri} \cdot W \cdot 2 \quad (1)$$

其中,  $N_{ch}$  为数字通道数;  $N_{cpi}$  为 CPI 内脉冲个数;  $f_s$  为采样率(单位: Hz);  $T_{pri}$  为 PRI 时间(单位: s);  $W$  为数据位宽(单位: bit)以及公式中的 2 代表双通道采样。不同应用场景下, CPI 时间为数毫秒至数百毫秒不等, 单 CPI 内的原始数据规模相应增长至数 MB 至上百 MB 量级。

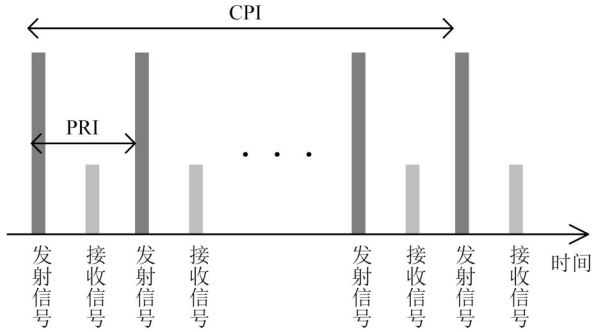


图2 脉冲体制雷达工作模式

Figure 2 Pulse radar working mode

机载通信系统多采用正交频分复用(Orthogonal Frequency Division Multiplexing, OFDM)技术, 典型通信数据流如图3所示。一个完整的通信过程通常体现为一系列在时域上连续传输的 OFDM 帧。其中, 一个 OFDM 帧在物理层通常由三部分构成: 用于帧检测、时间同步和信道估计的前导序列、用于指示调制编码方式与帧长度等参数的物理层头以及承载用户数据信息的有效载荷组成<sup>[24]</sup>。OFDM 帧在时域上由多个连续的 OFDM 符号构成, 单帧所包含的 OFDM 符号数可根据业务需求和调制编码方式灵活配置, 对应的帧时长通常位于微秒至毫秒量级。为支持多用户业务流并行处理, 系统需在流水线运行状态下保证对 OFDM 帧的处理吞吐能力不低于帧输入速率, 从而满足实时性要求。单帧数据量  $D_c$  如式(2)所示:

$$D_c = N_{sym} \cdot N_{sc} \cdot \log_2(M_{ord}) \cdot r \cdot L \quad (2)$$

其中,  $N_{sym}$  为 OFDM 符号数;  $N_{sc}$  为每符号有效子载波数;  $M_{ord}$  为调制阶数, 对其取以 2 为底的对数可得到单个子载波承载的信息比特数;  $r$  为通信编码率;  $L$  为并发空间流数。在典型 OFDM 体制下, 单帧数据量通常为数 KB 至数百 KB, 其对应的单帧时长一般为几十微秒至数毫秒量级。

### 1.3 机载射频综合计算特征分析

雷达任务处理通常需要强大的并行计算能力, 以应对海量数据的高速处理; 通信任务则对高性能通用计算能力提出较高要求, 以满足实时基带处理和协议栈处理的计算需求。

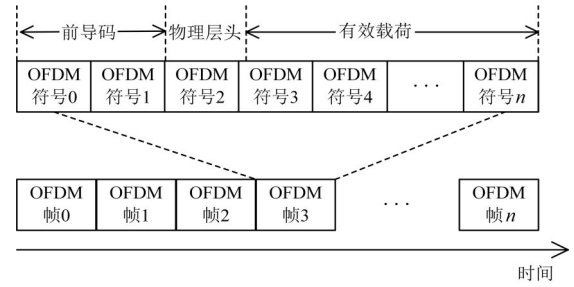


图3 OFDM 帧数据流

Figure 3 OFDM frame data stream

典型的雷达信号处理流程如图4所示, 该过程涉及脉冲压缩、动目标指示、动目标检测、恒虚警检测和智能目标检测等关键算法<sup>[25]</sup>。脉冲压缩通常采用频域 FFT 实现, 涉及 FFT/IFFT 变换和复数乘加运算。动目标指示常通过脉冲间差分实现, 涉及复数减法运算。动目标检测一般借助滤波器组完成, 涉及矩阵乘法与加窗 FFT。恒虚警检测常用算法包括单元平均、选大/选小及顺序统计等, 通常基于滑动窗口统计运算实现, 各检测单元处理相互独立, 可通过多线程或硬件并行显著加速。智能目标检测基于神经网络实现, 以卷积神经网络为主, 可借助智能算力单元加速推理过程。总体而言, 雷达信号处理在计算上主要依赖以矩阵运算和频谱变换为代表的并行算力, 同时结合以神经网络推理为核心的智能算力, 两种异构算力共同构成其高性能处理的算力基础。

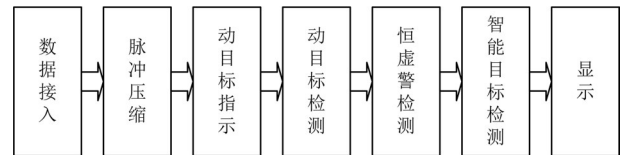


图4 典型雷达信号处理流程

Figure 4 Typical radar signal processing flow

典型的通信系统处理流程如图5所示, 接收端包括同步、FFT 变换、信道均衡、解映射与信道译码等一系列步骤<sup>[26]</sup>。各计算模块呈现出不同的负载特征: 符号同步依赖于相关运算与峰值检测, 对实时相关计算要求高; FFT 作为核心变换, 其规模随子载波数量灵活变化, 对计算吞吐与低时延要求极高; 信道均衡涉及复数乘法与小规模矩阵求逆, 对数据精度与计算灵活性敏感; 而在信道译码中, 以低密度奇偶校验码为代表的迭代解码算法, 包含大量的稀疏矩阵运算与非线性判决, 计算复杂度高且存在不规则的数据访问模式。总体而言, 通信基带处理呈现出异构计算负载, 兼具数据并行、控制复杂与严格实时性要求, 这使得并行计算、通用计算能力在其中扮演着核心角色。

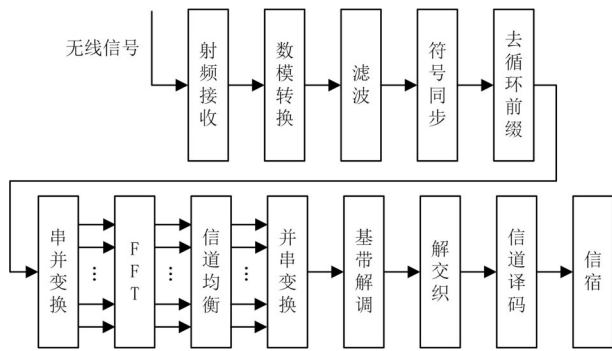


图5 OFDM信号处理流程

Figure 5 OFDM signal processing flow

综上所述,雷达信号处理与通信基带处理作为机载射频综合的核心任务,算力需求差异显著:前者侧重大规模并行、矩阵与频谱运算,并兼具智能算力需求;后者负载多样、控制复杂且实时性要求严苛。为此,未来机载射频综合计算架构需具备兼容并行、通用与智能多类型异构计算负载的能力。

## 2 机载射频计算架构现状及瓶颈分析

当前主流机载射频计算平台通常采用以FPGA为中心的计算架构,如图6所示,主要包括数据处理模块和信号采集模块<sup>[27]</sup>。

数据处理单元由FPGA、异构算力单元和存储单元构成,FPGA作为核心单元负责数据转发、任务调度及系统控制。各类异构算力单元通过SRIO或PCIe接口与FPGA互联,FPGA可根据不同任务将数据写入相应算力单元内存,以执行各类数据处理任务。SSD通过PCIe接口连接至FPGA,实现数据的实时记录与回放。信号采集单元由FPGA与DSP构成,负责雷达信号接入及预处理。其中,FPGA完成数据接入与前端预处理任务,DSP负责部分信号处理任务。数据流方面,射频前端ADC采样后的回波数据首先送入FPGA,经其本地DDR缓存并完成帧化后,通过SRIO接口发送至数据处理单元。系统同步采用来自GPS的外部高精度时钟源作为全局时间基准,由数据处理单元接收并锁定该参考时钟,再通过同轴线将时钟与触发信号分发至各信号采集单元,实现全系统的时间对齐。

该架构具有实时性强、结构紧凑以及专用优化程度高等优势,但其时钟同步依赖同轴线方式,限制了信号采集单元的远距离部署;系统跨单元的数据传输需经由数据处理单元FPGA内存进行中转,在大规模数据传输场景下引入较高的传输时延,严重制约了系统的实时处理能力;同时,数据采集单元所承载的计算任务与硬件资源之间耦合度高,且存储资源高度定

制,进一步限制了系统的可扩展性与迭代升级能力。因此,该架构若要适配本文上一节所分析的未来机载射频综合计算关键特征,势必需要依靠大量低复用率计算资源的堆叠,这不仅会显著提升系统复杂度,还会大幅加剧传输时延与逻辑控制难度;同时,规模庞大的算力单元所带来的体积、重量和能耗负担也与资源受限的机载应用环境严重不符,难以满足实际工程需求。

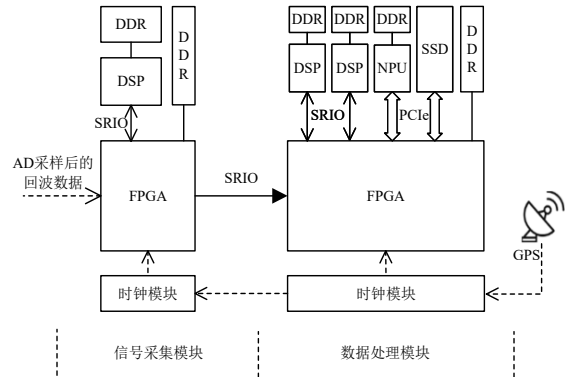


图6 当前主流机载射频计算架构

Figure 6 Current mainstream airborne RF computing architectures

## 3 基于DPU的机载射频综合处理架构设计

针对未来机载射频综合系统面临的复杂电磁环境与有限资源约束的问题,需要在统一平台上实现多种功能集成,而不同功能在数据特征、计算负载及处理要求上存在显著差异。然而当前射频架构因资源定制化程度高、算力扩展性不足、数据互联能力有限,难以满足上述需求。为此,本文基于“以数据为中心”的设计理念,结合机载嵌入式平台的工程约束,提出一种基于DPU的射频综合处理系统。该系统能够实现射频接入、异构计算与分布式存储资源的有效解耦与统一池化管理,从而适配未来机载射频综合系统的任务需求。

### 3.1 自研DPU FPGA原型及核心技术

本系统的核心是DPU,DPU起源于数据中心,是实现智能算法计算、存储需求与计算、存储、网络芯片发展不均衡之间的桥梁。通用DPU主要面向地面智算中心,功能全面、性能强劲,但功耗较高,且与国产射频处理软硬件生态适配困难,难以直接应用于装备端的综合射频系统。本文借鉴国际前沿DPU技术思想,结合射频处理系统的业务特性与芯片选型约束,自主研发了一款基于FPGA的DPU原型,该DPU FPGA原型集成了多路无损以太网交换与PCIe交换能力,其架构如图7所示,支持2路25 Gb以太网接口;支持PCIe Gen3标准,提供共计32个通道,可灵活

配置为4路×8、8路×4,并支持RC/EP模式;支持RoCEv2、VirtIO、TSO、USO、OVS等网络与虚拟化协议的硬件卸载;支持Socket、Verbs网络编程。该DPU FPGA原型突破性地支持了DSA Direct和高精度时间同步技术。

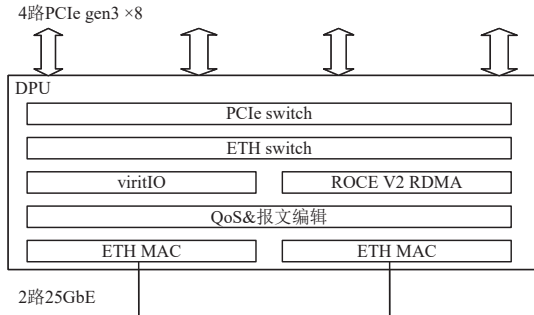


图7 翔腾自研DPU FPGA原型架构

Figure 7 Xiangteng self-developed DPU FPGA prototype architecture

DSA Direct技术是数据在网络节点传输时无需经过CPU、FPGA等额外内存中转,将数据直接写入GPU、NPU等DSA加速单元内存的技术,能够大幅降低端到端通信时延,是“数据直通算力、数据直通存储”的关键,是实现射频大数据接入、多芯片算力聚合、分布式存储的核心技术。其要求DSA内存能够映射到PCIe地址空间访问,要求DPU内置RDMA引擎能够无阻塞地将网络数据直接转换为PCIe操作。具体执行时,先将DSA显存对应的主机内存空间设置为RDMA存储区域,获取访问密钥,建立与远端节点的安全映射;远端节点随后可通过RDMA READ/WRITE操作直接读写DSA内存,实现跨节点统一地址访问与零拷贝数据传输。

纳秒级高精度时间同步是实现多射频头信号级融合的关键,系统融合IEEE 1588v2与SyncE技术构建了高精度同步网络。SyncE实现物理层的频率同步,通过时钟恢复机制将时钟信号嵌入以太网数据流,并利用锁相环跟踪与补偿频率变化,为IEEE 1588v2提供稳定的频率基准,抑制链路抖动累积;IEEE 1588v2则在应用层完成高精度时间戳标记与相位偏移量计算,实现纳秒级相位同步。

融合PCIe与RDMA的异构算力互联机制,旨在实现统一内存视图下的算力聚合与灵活配置。在节点内部,GPU、NPU等DSA加速单元通过PCIe总线与DPU直连,其显存空间由DPU统一映射至主机物理地址空间,实现本地异构算力资源的集中管理;在节点之间,基于RDMA的高速互联将各节点DSA内存扩展为分布式共享地址空间,支持跨节点的低时延、高带宽内存访问。通过统一地址映射与访问权限控制

机制,系统屏蔽底层硬件差异,为上层应用提供一致的内存访问语义。基于该互联机制,不同射频处理任务可按需调度本地或远端DSA加速单元协同执行,实现算力资源的动态组合与弹性配置,有效提升多芯片协同计算效率与系统整体可扩展性。

### 3.2 系统整体架构设计

本文提出的基于DPU的射频综合处理系统如图8所示,系统由射频接入节点、异构算力资源池两部分组成,并通过高速以太网交换机互联。DPU是该架构的核心组件,其实现网络、存储、虚拟化等功能的硬件级卸载,系统中各节点均依托DPU实现基于存储语义的数据互联与协同处理。

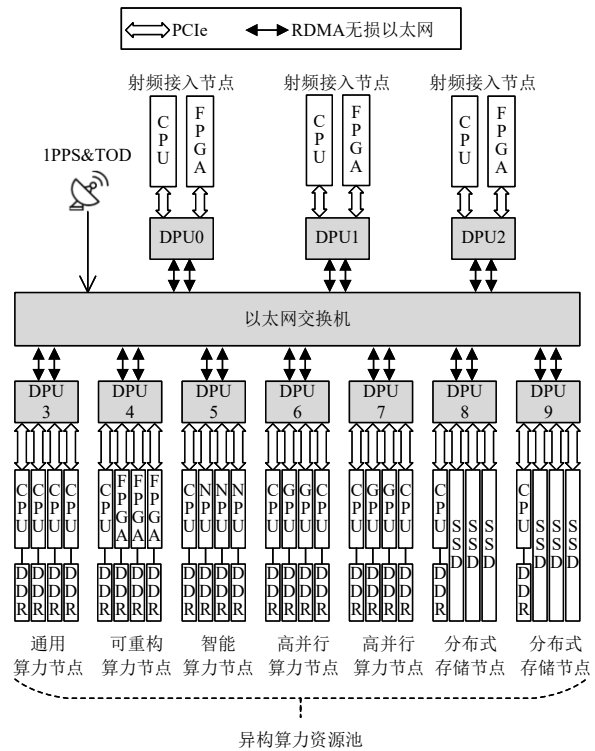


图8 以数据为中心的机载射频综合处理系统

Figure 8 Data-centric airborne integrated RF processing system

射频接入节点主要由DPU、CPU和FPGA构成,其中CPU与FPGA通过PCIe总线与DPU实现高速互联。CPU负责节点的控制管理及数据流调度,FPGA用于射频数据的高速预处理,DPU接收来自FPGA的数据并通过高速以太网接口接入异构算力资源池。射频接入节点支持多类型射频前端的统一接入与协议适配,并可根据任务规模灵活扩展接入节点数量。依托以太网的远距离传输能力,射频接入节点可实现分布式部署,从而支持更加灵活的系统拓扑与应用场景。

异构算力资源池由异构算力节点和分布式存储

节点构成,可根据实时任务需求灵活配置算力类型、节点规模及存储容量。

异构算力节点以DPU为核心,集成CPU、NPU、GPU及FPGA等异构算力单元,各单元均通过PCIe总线与DPU直接互联;DPU统一完成节点内数据调度,并通过以太网接入异构算力资源池。异构算力节点支持按任务特征定制算力组合:DPU+NPU构成智能算力节点面向信号识别与目标检测等智能推理任务,DPU+CPU构成通用算力节点处理目标跟踪与通信协议等复杂控制逻辑,DPU+GPU构成高并行算力节点加速大规模并行计算与雷达成像,DPU+FPGA构成可重构算力节点提供高速预处理与可重构数据通路。

分布式存储节点由DPU、CPU与NVMe SSD构成,存储设备通过PCIe接入DPU,并通过以太网接入异构算力资源池。分布式存储节点采用NVMe-oF协议,实现存储与计算资源解耦与池化;DPU作为智能存储前端,将远程访问本地化,提供跨节点的低时延、高吞吐NVMe存储服务,从而满足射频综合处理系统的高性能与可扩展需求。

本系统采用以太网作为互联骨干,所有节点通过高性能以太网交换机连接。该设计摒弃了当前基于SRIO总线的星型或双星型固定拓扑,将当前“背板-板卡”紧耦合结构转变为“网络-资源”松耦合逻辑结构。通过以太网交换将射频接入节点、异构算力节点与分布式存储节点互联,形成统一的算力网络,各节点可独立按需扩展与配置,共同构建弹性、高效的射频综合处理平台。

### 3.3 基于自研DPU FPGA原型的机载射频综合处理系统实现

为实现图8所示的以数据为中心的机载射频综合处理系统,构建了基于翔腾微电子自主研发的DPU FPGA原型验证平台,其各组件功能组成如下。

射频接入节点:共配置3个节点,每个节点由一片Xilinx XC7VX690T FPGA和一片DPU FPGA原型组成,完成射频信号的高速预处理与网络化注入。FPGA负责数字下变频、脉冲压缩等高实时性预处理;处理后的数据经PCIe传至DPU FPGA原型,由DPU FPGA原型封装为RDMA报文并通过 $2 \times 25$  GbE链路注入后端网络。三个节点可支持多孔径信号并行接入,总接入带宽达150 Gbps。

异构算力资源池:包括覆盖不同的计算负载特征的四类算力节点,各节点内部均包含1片FT2000/4 CPU负责任务管理与数据调度,各类计算芯片通过DPU FPGA原型的DSA Direct技术直接获取网络数据,具体如下。

智能算力节点(1个):针对信号识别、干扰分类等AI负载,各节点集成一片FT2000/4 CPU与三片N201 NPU。该NPU由翔腾微电子自主研发,面向强实时、高性能、高并发的边缘计算场景。芯片内部集成4个NPU核心,每个核心包含2 048个乘累加单元,工作主频1.5 GHz,可提供24 TOPS的INT8算力与12TFLOPS的FP16算力,并支持DSA Direct技术。其满足宽温工作能力,天然适配机载等资源受限环境下射频综合处理系统对高性能边缘智能计算的严苛需求。单个智能算力节点可提供72 TOPS的INT8算力,单节点典型功耗约90 W,能够支持高吞吐、低延迟的神经网络推理。

并行算力节点(2个):针对矩阵计算、FFT等大规模并行计算,每个节点含1片FT2000/4 CPU与3片智能100 GPU,单节点并行算力72 TFLOPS,系统并行算力共144 TFLOPS,单节点典型功耗约460 W。

通用算力节点(1个):主要负责运行操作系统、平台管理、任务调度等控制面及轻量级数据面业务,由4片FT2000/4 CPU构成,单节点典型功耗约100 W。

可重构算力节点(1个):针对高速信号预处理、定制化数据通路、协议解析与转换等具有确定性时序与低延迟要求的任务,每个节点含1片FT2000/4 CPU与3片Xilinx XC7VX690T FPGA,单节点典型功耗约140 W。

分布式存储节点(2个):每个节点包含1片FT2000/4 CPU和3块1 TB SSD,系统总有效容量为6 TB。每个节点通过DPU FPGA原型以NVMe-oF协议发布3块NVMe SSD至算力网络,单节点典型功耗约80 W。算力节点可通过RDMA直接远程访问存储资源,实现存储与计算的解耦。

网络互联与高精度时钟同步:节点间通过48端口25 Gb通用以太网交换机互联,支撑射频边缘接入与后端集中处理资源池的高效数据交换。外部GPS向以太网交换机提供高精度1 PPS与TOD基准信号,以太网交换机作为边界时钟,各节点DPU FPGA原型作为普通时钟,边界时钟将精准时间信息通过IEEE 1588v2协议与SyncE技术分发至各普通时钟节点,实现全网络时钟精度。

系统物理结构设计:本系统单个节点采用标准19英寸上架式机箱,高度4 U,有效安装空间为80 HP。节点内部集成1个电源模块、1个DPU FPGA原型模块、4个通用模块及2个备用模块,所有模块均符合3 U高度、10 HP宽度的规格。机箱支持220 V交流供电,电源模块输出12 V直流,并通过底板为各模块统一配电。全算力节点聚合为异构算力资源池,总功耗约1400 W,满足机载环境应用要求。

## 4 射频综合处理系统测试

### 4.1 测试实验配置

为验证本文提出的基于DPU的射频综合处理系统的可行性,在图8所示的DPU FPGA原型与NPU芯片的FPGA原型平台上,对系统的数据接入、交换、存储、时钟同步性能以及雷达与通信典型业务服务能力进行了测试。为进行性能对比,搭建了如图9所示的以FPGA为中心的射频计算平台原型,该测试原型包括Xilinx Virtex UltraScale+ VU9P FPGA、翔腾N201 NPU、天数智芯智铠100 GPU及三星980 SSD。其中, GPU、NPU和SSD均通过PCIe Gen3×8直连至FPGA。在该架构中, FPGA作为统一的数据交换枢纽,所有经过GPU、NPU、SSD的数据均需通过FPGA本地内存进行中转,是当前典型的以FPGA为中心的射频计算架构模式。

根据第2节分析可知,雷达系统通常以CPI为周期处理数据,在数毫秒至数百毫秒内完成数MB至上百

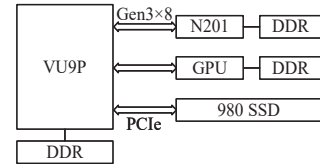


图9 以FPGA为中心的射频计算测试原型

Figure 9 FPGA-centric RF computing test prototype

MB量级原始数据的处理,其信号处理依赖GPU和NPU提供的大数据并行算力和智能算力;通信系统则以帧为周期流式处理,在几十微秒至数毫秒内处理数KB至数百KB量级数据,其信号处理依赖FPGA和CPU提供小尺寸数据并行算力和通用算力。因此,针对典型雷达场景,表1配置了三种典型的机载雷达信号,覆盖从中等到较大规模的典型雷达处理负载,数据量分别为32 MB、64 MB和128 MB;针对典型机载通信数据链,定义了一种基本OFDM帧格式,每帧包含14个符号、周期为1 ms,单帧有效数据约134.4 KB,可表征中等时延、稳定吞吐型机载通信业务负载。

表1 雷达信号配置

Table 1 Radar signal configuration

序号	单脉冲点数	相干积累脉冲数	数字通道数	PRF/Hz	相干积累时间/ms	数据尺寸/MB
1	8 192	128	4	5 k	25.6	32
2	2 048	512	8	20 k	25.6	64
3	4 096	256	16	10 k	25.6	128

### 4.2 基础性能测试

#### 4.2.1 数据接入能力测试

为验证数据接入能力,在图8所示原型平台上进行了测试:由射频接入节点DPU0的FPGA实时生成不同长度的数据包,发送至DPU0后,经以太网交换机转发至DPU5,并最终直接写入DPU5所挂载的NPU内存中,从而评估端到端的数据交换性能。作为对比,测试了如图9所示射频计算测试原型的数据接入流程:数据由FPGA实时生成并写入内存模拟原始信号接入及预处理过程,随后FPGA再通过PCIe将预处理数据写入NPU内存模拟预处理数据写入算力单元的过程。

分别测量两种架构下的传输带宽与时延,结果如图10和图11所示。分析图10可知,小数据包难以充分利用链路带宽,当数据包大小增至8 KB时,两种架构的传输带宽分别为43.49 Gbps和52.59 Gbps,分别接近2×25 GbE和PCIe Gen3×8的链路上限,射频信号数据尺寸通常大于8 KB,可以充分利用链路带宽。图11表明,本文架构在传输时延上显著优于以FPGA为中心的架构,且数据包越大优势越明显,射频信号数据尺寸普遍超过100 KB,传输延迟降低约至原

来的1/360。该性能优势主要源于传输路径的简化:以FPGA为中心的架构需经历FPGA的一次额外的内存拷贝,引入较大开销;而DSA Direct技术消除了中转拷贝,实现了数据从网络到NPU内存的直接传输。

#### 4.2.2 异构算力节点间数据传输性能测试

为验证异构算力节点间的直接数据交换性能,在

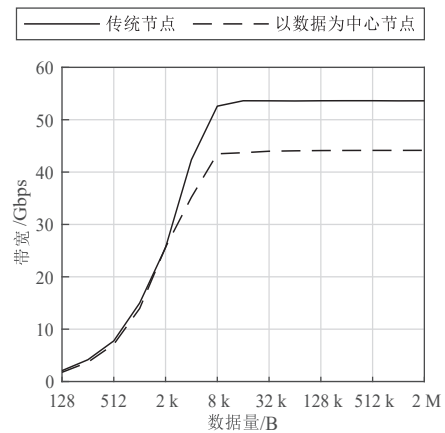


图10 数据接入带宽测试

Figure 10 Data access bandwidth test

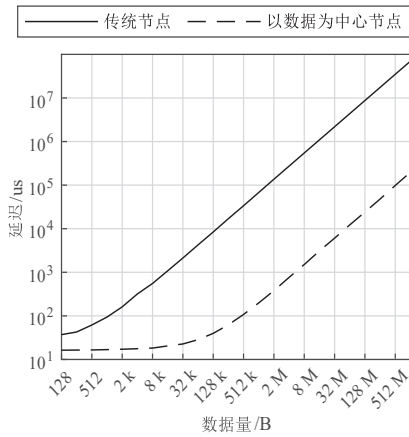


图 11 数据接入延迟测试

Figure 11 Data access latency test

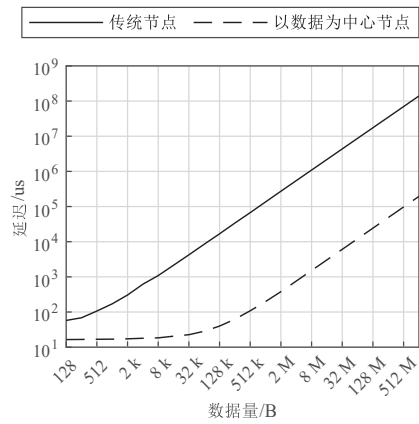


图 12 数据交换延迟对比

Figure 12 Data switching latency comparison

图 8 所示原型平台上开展测试:从智能算力节点 DPU5 挂载的 NPU 内存中读取数据,通过以太网发送至 DPU6,并直接写入 DPU6 所挂载的 GPU 内存,从而评估该端到端数据交换过程的性能。作为对比,如图 9 所示射频计算测试原型的数据流:数据从 NPU 内存经 FPGA 中转,拷贝至 GPU 内存。

数据交换测试结果如图 12 所示,以 FPGA 为中心的计算架构的数据拷贝延迟显著高于异构算力节点间传输延迟,且数据量越大差异越显著,射频信号数据包尺寸普遍超过 100 KB,异构算力节点间传输延迟降低约至原来的 1/700。这一巨大差异同样源于 DSA Direct 的技术优势;以 FPGA 为中心的计算架构的数据传输路径需要两次额外的 FPGA 内存读写操作,而 DSA Direct 技术消除了中转拷贝,实现了数据在不同节点计算芯片内存之间的直接传输。当数据传输达到带宽上限时,传输速度如图 13 所示。在持续 500 s 的传输时间内,数据直通的传输带宽均值为 44.11 Gbps,峰峰值为 0.096 Gbps,标准差为 0.027 Gbps,能够实现稳定高速传输。

#### 4.2.3 数据存储性能测试

为验证系统的存储性能,在图 8 所示原型平台上测量了数据从算力节点 DPU5 写入分布式存储节点的 DPU8 的带宽。测试数据流为: DPU5 从其挂载的 NPU 内存读取数据,通过以太网传输至存储节点的 DPU8 后,将数据并行写入三块 NVMe SSD。

测试结果如图 14 所示。当数据包大小达到 128 KB 时,三盘顺序访问带宽达到峰值,顺序读取和顺序写入带宽分别达到 5 764 MB/s 和 5 758 MB/s。相比当前主流机载总线,带宽提升了 6 至 8 倍。该性能优势主要源于 NVMe-oF 协议的高效并发能力及其在 DPU 上的硬件卸载能力。NVMe-oF 的超大队列规模充分释

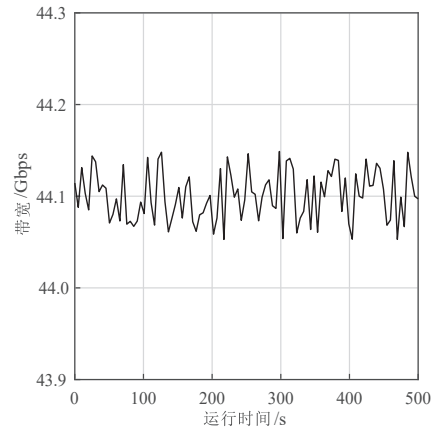


图 13 数据传输带宽测试

Figure 13 Data transmission bandwidth test

放多盘 NVMe SSD 的并发 I/O 潜力;DPU 则通过协议卸载消除了当前主流架构中 CPU 处理存储协议栈的开销,建立了数据直通路。

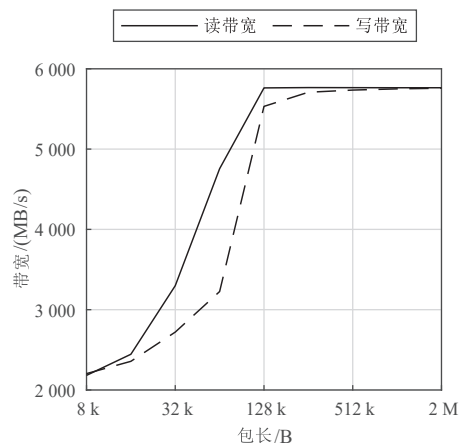


图 14 读硬盘带宽测试

Figure 14 Hard disk read/write bandwidth test

#### 4.2.4 时钟同步精度测试

为验证系统的时钟同步精度,搭建了如图 15 所示的测试原型,其中 DPU1 为主时钟源, DPU2 为从时钟源。具体测试流程如下:同步测试仪向 DPU1 注入 1PPS 与 ToD 信号; DPU1 解析后,通过 25 Gb 光纤链路输出 IEEE 1588v2 报文和 SyncE 串行码流;由交换机转发至 DPU2; DPU2 接收并完成时间同步后,将恢复的 1PPS 与 ToD 信号反馈至同步测试仪,由其计算主从时钟偏差以评估同步精度。同步精度测试结果如图 16 所示,系统持续运行了 10 000 s,时间同步误差均值为 8.33 ns,峰峰值为 0.021 ns,标准差为 0.004 5 ns。该性能得益于 SyncE 在物理层提供高质量的频率同步, IEEE 1588v2 协议则在应用层进行高精度的时间戳标记与偏移量计算实现相位同步。 DPU 对 IEEE 1588v2 协议报文的硬件卸载与时间戳处理能力,有效降低了软件栈抖动与 CPU 中断延迟,保证了时间同步的高精度与稳定性。

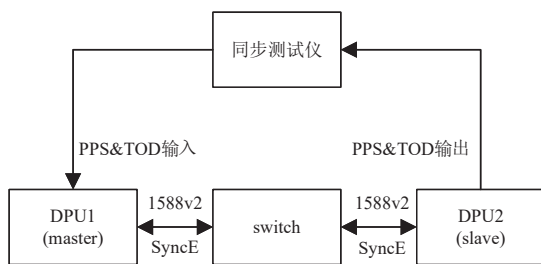


图 15 时钟同步测试原型

Figure 15 Clock synchronization test prototype

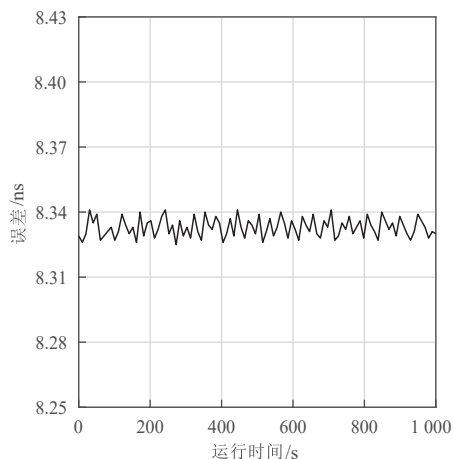


图 16 时钟同步精度测试

Figure 16 Clock synchronization accuracy test

### 4.3 典型业务承载能力测试

#### 4.3.1 雷达信号处理链路验证

为评估系统在雷达任务下的数据接入与处理能

力,建立了完整的雷达信号处理验证数据流。在图 8 所示原型平台上,射频接入节点 DPU0 的 FPGA 根据表 1 参数实时生成仿真雷达信号,并以 25.6 ms 为单次 CPI 向系统注入数据,模拟雷达射频前端数据接入过程。随后, FPGA 通过 PCIe 接口将脉冲数据发送至 DPU0;再由 DPU0 通过高速以太网转发至 DPU6 所在的并行算力节点。在该节点, GPU 执行图 4 所示雷达信号处理算法;处理结果进一步传输至 DPU5 所在的智能算力节点,由 NPU 完成目标检测等智能处理任务,形成完整的处理验证链路。系统的网络传输压力主要集中于 DPU0 至 DPU6 的原始雷达数据链路,因此重点评估该阶段的瞬时带宽性能。测试包括 FPGA 写入 DDR 的信号接入带宽以及 DPU0 到 DPU6 的网络传输带宽,结果如图 17 所示。如图 17(a) 和图 17(b) 所示,信号 1 与信号 2 数据量较小,链路压力较低,其平均带宽分别为 22.83 Gbps 和 11.31 Gbps,对应的平均延迟分别为 11.77 ms 和 5.82 ms;如图 17(c) 所示,对于数据量最大的信号 3,网络带宽得到充分利用,平均传输带宽达到 42.14 Gbps,平均延迟为 24.92 ms,满足实时处理时限要求。

#### 4.3.2 通信多用户接入与处理链路验证

为评估系统在典型通信场景下的高并行基带数据流接入与处理能力,建立了完整的通信信号处理验证数据流。在图 8 所示原型平台上,射频接入节点 DPU0 的 FPGA 以 1 ms 为周期生成数据帧,经 PCIe 传输至 DPU0;再通过高速以太网转发至通用算力节点 DPU3,由 CPU 执行协议解析等处理任务,形成通信信号处理完整数据流。为测试系统并行基带数据流的承载能力,在保持单路基带数据帧结构与速率不变的前提下,逐步增加 FPGA 每周期并行处理的数据流数量以模拟负载的线性增长。实验结果如图 18 所示,随着并行数据流数从 10 增至 50,传输带宽利用率持续上升。当并行流数达到 38 时,系统吞吐率达到 43.35 Gbps,传输带宽趋于饱和;并行流数超过 38 后,新增数据流无法获得有效处理,表明网络已达到承载上限。因此,在该通信场景下,系统可稳定支持约 38 个并行基带数据流的实时处理。

### 4.4 相关工作对比

针对目前已成熟部署的射频计算架构,表 2 对相关代表性方案进行了系统总结,并将本文构建的射频综合处理系统与已有工作进行了对比分析。文献[28-31]从计算架构的角度进行对比,可以看出,本文提出的射频综合处理系统具备按需扩展算力的能力,能够满足不同应用场景下的算力需求,并通过 RDMA 机制实现数据直通与低时延数据拷贝。尤其是与文献[30]

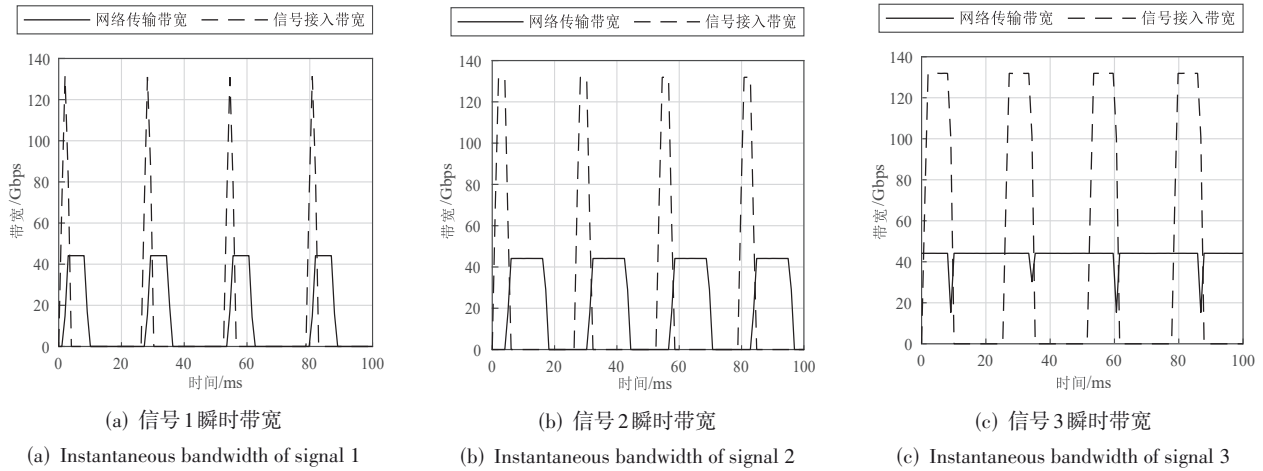


图 17 雷达数据传输带宽测试

Figure 17 Radar Data Transmission Bandwidth Test

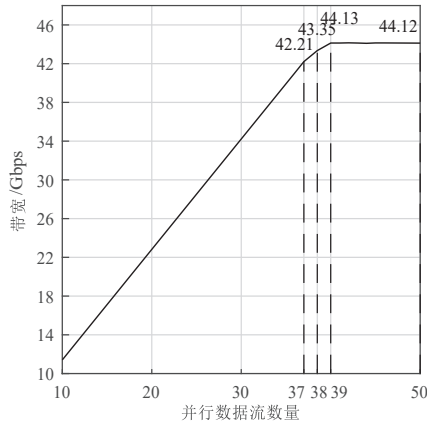


图 18 通信数据传输带宽测试

Figure 18 Communication data transmission bandwidth test

过 eDMA 实现了高速数据拷贝,但在算力的灵活扩展方面存在一定局限。相比之下,本文所采用的以太网互联方式在节点管理、流量控制以及系统扩展性等方面更具优势。文献[32]和文献[33]从时钟同步的角度进行对比,结果表明,本文提出的时钟同步方案实现了纳秒级多节点同步精度,能够满足多数射频功能对时间同步精度的要求。本文采用基于以太网的 IEEE 1588v2 与 SyncE 相结合的时钟同步方式,相较于文献[32]采用的高成本光纤双向比对方案,本文方案能够在较低成本条件下实现高精度时钟同步,依托以太网传输,同步过程可复用现有以太网资源,无需引入额外同步设备,具有良好的通用性与工程实用价值。文献[33]虽然支持以太网方式进行时钟同步,且在 5G 移动通信中成熟应用,具有借鉴意义,但是其以太网仅支持 100 ns 以上的同步精度,无法满足分布式雷达同步要求。

相比,本文采用以太网实现各算力节点的互联,而文献[30]则基于 SRIO Switch 连接各节点,尽管其通

表 2 与其他相关工作对比

Table 2 Comparison with related work

参考文献	年份	多节点同步精度/ns	授时方式	时钟同步成本	数据接入带宽/Gbps	数据拷贝方式	拷贝速度	算力扩展	存储容量/B	存储扩展	支持功能
文献[28]	2023	\	\	\	20	CPU 拷贝	慢	不可	\	不可	雷达
文献[29]	2023	\	\	\	22.5	CPU 拷贝	慢	不可	512 G	不可	多用途
文献[30]	2023	\	\	\	20	eDMA	快	不可	16 G	不可	雷达
文献[31]	2024	\	\	\	32	CPU 拷贝	慢	不可	64 G	不可	雷达
文献[32]	2024	<12.5 ns	GPS	中	\	\	\	\	\	\	X 波段分布式非相参雷达
		<10 ps	光纤双向比对	高	\	\	\	\	\	\	X 波段分布式相参雷达
文献[33]	2025	10~20 ns	GPS	中	\	\	\	\	\	\	多用途
		100~200 ns	以太网	低	\	\	\	\	\	\	多用途
本文工作	2026	8.33 ns	以太网	低	44.15	RDMA	快	可以	6 T	可以	多用途

## 5 结束语

本文针对未来机载射频综合处理系统对算力弹性扩展、智能化与快速迭代的迫切需求,提出并实现了一种基于DPU的“以数据为中心”新型射频综合处理系统。该系统以DPU为核心构建高速算力网络,实现了射频接入、异构计算与分布式存储资源的有效解耦与统一池化管理,突破了当前基于FPGA+DSP的定制化架构在资源紧耦合、扩展性受限及智能算力集成困难等方面的不足。并基于自研DPU FPGA原型、NPU等核心芯片的FPGA原型搭建了完整的测试原型,实现了基于25GbE RDMA的高速数据接入、容量6 TB的NVMe-oF分布式存储、精度为8.33 ns的IEEE 1588v2+SyncE时钟同步以及由多类异构算力节点构成的高性能计算集群。测试了系统在数据接入、数据交换、海量存储、时钟同步的全链路实时处理能力及典型业务服务能力。与当前以FPGA为中心的射频处理平台相比,本系统在传输带宽、存储性能、并行处理及智能算力方面均显著提升,可支撑未来射频系统宽带化、智能化、多任务并发处理需求,为提升射频装备综合处理能力提供了重要的实践参考,具有显著的工程应用价值。后续将围绕基于DPU的射频综合处理系统开展工程化落地与性能深化研究。一是推进自研DPU芯片从FPGA原型向专用流片迭代,优化硬件架构能效与集成度;二是完善异构算力智能调度与资源池化管理算法,提升算力弹性扩展与多任务并发效率;三是在面向具体工程应用场景的系统级适配与可靠性增强等方面深入展开,以推动该架构在实际装备中的快速转化与应用。

### 参考文献

- [1] Moo P W, DiFilippo D J. Multifunction RF systems for naval platforms[J]. *Sensors*, 2018, 18(7): 2076.
- [2] 杨易陆, 夏飞扬, 徐进. 多功能射频综合一体化技术研究及展望[J]. *空间电子技术*, 2023, 20(4): 27-32.  
Yang Yilu, Xia Feiyang, Xu Jin. Research and prospect of multifunctional RF integrated technology[J]. *Space Electronic Technology*, 2023, 20(4): 27-32. (in Chinese)
- [3] 伍光新, 李归. 综合射频一体化系统技术发展综述[J]. *现代雷达*, 2023, 45(5): 1-14.  
Wu Guangxin, Li Gui. Overview of technological development of integrated RF system[J]. *Modern Radar*, 2023, 45(5): 1-14. (in Chinese)
- [4] Malas J A. F-22 radar development[C]//Proceedings of the IEEE 1997 National Aerospace and Electronics Conference. NAECON 1997. Piscataway: IEEE, 1997: 831-839.
- [5] Lemons G T, Carrington K. F-35 mission systems design, development & verification[C]//2018 Aviation Technology, Integration, and Operations Conference. Reston: AIAA, 2018: 3519.
- [6] Defense Advanced Research Projects Agency. Converged collaborative elements for RF task operations (CONCERTO)[EB/OL]. (2017-06-07)/[2025-12-26]. <https://www.darpa.mil/research/programs/converged-collaborative-elements-for-rf-task-operations>.
- [7] CROWN PAD R PROJECT. Crown pad R: Personal assistance and developmental relations [EB/OL]. (2023) [2025-12-26]. <https://www.crown-padr.eu/>.
- [8] 薛慧, 张昊. 机载多功能综合射频一体化发展研究[J]. *中国电子科学研究院学报*, 2016, 11(5): 532-539.  
Xue Hui, Zhang Hao. Research on airborne multi-functional RF integration system[J]. *Journal of China Academy of Electronics and Information Technology*, 2016, 11(5): 532-539. (in Chinese)
- [9] 孙利娜, 梁葆华, 陈宇. 一种机载综合射频系统兼容能力试验方法[J]. *科学技术与工程*, 2022, 22(22): 9857-9863.  
Sun Lina, Liang Baohua, Chen Yu. A test method of compatibility of airborne integrated radio frequency system[J]. *Science Technology and Engineering*, 2022, 22(22): 9857-9863. (in Chinese)
- [10] 李冰涛. 基于复杂电磁环境下综合射频一体化系统设计[J]. *机械与电子控制工程*, 2025, 7(17).
- [11] Ye W J, Deng W, Jia H K, et al. A 3-to-40 GHz 64QAM/256QAM/4096QAM zero-IF CMOS transceiver chipset for millimeter-wave software-defined radios[C]//2024 IEEE Asian Solid-State Circuits Conference (A-SSCC). Piscataway: IEEE, 2024: 1-3.
- [12] Palmer R D, Yeary M B, Schwartzman D, et al. Horus: A fully digital polarimetric phased array radar for next-generation weather observations[J]. *IEEE Transactions on Radar Systems*, 2023, 1: 96-117.
- [13] 李登全, 朱樟明. 高速高精度混合架构模数转换器集成电路综述[J]. *微电子学与计算机*, 2025, 42(10): 36-47.  
Li Dengquan, Zhu Zhangming. High-speed and high-resolution hybrid architecture analog-to-digital converter integrated circuit[J]. *Microelectronics & Computer*, 2025, 42(10): 36-47. (in Chinese)
- [14] 常壮, 冯书兴, 孙健, 等. 美军电磁频谱战发展沿革与现状述评[J]. *航天电子对抗*, 2018, 34(1): 54-59.  
Chang Zhuang, Feng Shuxing, Sun Jian, et al. Commentary on developing evolution and status-quo of U.S. armed forces' joint electromagnetic spectrum operations[J]. *Aerospace Electronic Warfare*, 2018, 34(1): 54-59. (in Chinese)

- [15] 贾明权, 钟瑜, 潘灵, 等. 信号级协同计算平台架构及应用思考[J]. 电讯技术, 2019, 59(6): 627-634.  
Jia Mingquan, Zhong Yu, Pan Ling, et al. Signal level collaborative computing platform architecture and application thinking[J]. Telecommunication Engineering, 2019, 59(6): 627-634. (in Chinese)
- [16] Shakibafar B, Farhangian F, Gagne J M, et al. An adaptive RF front-end architecture for multi-band SDR in avionics[J]. Sensors, 2024, 24(18): 5963.
- [17] 余晖冬, 龚昊龔, 王书磊. 基于FPGA+DSP架构的Rapidio接口硬件技术与实现[J]. 船电技术, 2022, 42(1): 49-53.  
Yu Huidong, Gong Haoyan, Wang Shulei. Design and implementation of Rapidio hardware interface based on FPGA+DSP[J]. Marine Electric & Electronic Engineering, 2022, 42(1): 49-53. (in Chinese)
- [18] 郑东卫, 白亚莉. 基于FPGA和多核DSP的雷达信号处理架构设计[J]. 火控雷达技术, 2023, 52(2): 84-90.  
Zheng Dongwei, Bai Yali. Design of a radar signal processing architecture based on FPGA and multi-core DSP[J]. Fire Control Radar Technology, 2023, 52(2): 84-90. (in Chinese)
- [19] NVIDIA. Offloading and Isolating Data Center Workloads with the NVIDIA BlueField DPU[EB/OL]. (2020-10-27)[2025-12-04]. <https://developer.nvidia.com/blog/offloading-and-isolating-data-center-workloads-with-bluefield-dpu/>.
- [20] Tibbetts N, Ibtisum S, Puri S. A survey on heterogeneous computing using SmartNICs and emerging data processing units[J]. Future Generation Computer Systems, 2026, 176: 108207.
- [21] 贲德. 机载有源相控阵火控雷达技术发展[J]. 现代雷达, 2024, 46(2): 1-15.  
De Ben. Development of airborne AESA fire control radar[J]. Modern Radar, 2024, 46(2): 1-15. (in Chinese)
- [22] 曹兰英, 董晔, 郭维娜. 机载火控雷达发展趋势探究[J]. 航空科学技术, 2021, 32(6): 1-8.  
Cao Lanying, Dong Ye, Guo Weina. Development trend analysis of airborne fire-control radars[J]. Aeronautical Science & Technology, 2021, 32(6): 1-8. (in Chinese)
- [23] 李志汇, 唐波, 周青松, 等. 新体制机载雷达波形优化设计研究综述[J]. Systems Engineering & Electronics, 2023, 45(12).  
Li Zhihui, Tang Bo, Zhou Qingsong, et al. Overview of waveform design methods for new system airborne radar[J]. Systems Engineering and Electronics, 2023, 45(12): 3852-3865. (in Chinese)
- [24] Elsayed E E. Investigations on OFDM UAV-based free-space optical transmission system with scintillation mitigation for optical wireless communication-to-ground links in atmospheric turbulence[J]. Optical and Quantum Electronics, 2024, 56(5): 837.
- [25] Pitcher A D, Georgiev M, Nikolova N K, et al. Parallelized field-programmable gate array data processing for high-throughput pulsed-radar systems[J]. Sensors, 2025, 25(1): 239.
- [26] Wang J C, Du H Y, Sun G, et al. Optimizing 6G integrated sensing and communications (ISAC) via expert networks[PP/OL]. V1. arXiv (2024-06-01) [2026-04-23]. <https://doi.org/10.48550/arXiv.2406.00408>.
- [27] 耿昭谦, 朱虎明, 李旭明, 等. 基于高性能计算的雷达信号处理研究综述[J]. 电子科技, 2021, 34(9): 1-6.  
Geng Zhaoqian, Zhu Huming, Li Xuming, et al. A review: Radar signal processing based on high performance computing[J]. Electronic Science and Technology, 2021, 34(9): 1-6. (in Chinese)
- [28] 范坤. 一种机载综合射频系统通用处理模块设计[J]. 航空计算技术, 2023, 53(4): 106-109.  
Fan Kun. Design of a general processing module for airborne integrated radio frequency system[J]. Aeronautical Computing Technique, 2023, 53(4): 106-109. (in Chinese)
- [29] 陈昊, 王荣阳, 朱启昌, 等. 机载多用途计算平台设计[J]. 航空电子技术, 2023, 54(3): 15-21.  
Chen Hao, Wang Rongyang, Zhu Qichang, et al. Design of airborne multi-purpose computing platform[J]. Avionics Technology, 2023, 54(3): 15-21. (in Chinese)
- [30] 裴养卫, 裴静静, 李孟华. 基于高速串行总线SRIO的雷达信号和数据处理平台[J]. 航空计算技术, 2023, 53(1): 72-76.  
Pei Yangwei, Pei Jingjing, Li Menghua. Radar signal and data processing system based on high speed serial bus SRIO[J]. Aeronautical Computing Technique, 2023, 53(1): 72-76. (in Chinese)
- [31] Yang T, Zhang X Y, Xu Q B, et al. An embedded-GPU-based scheme for real-time imaging processing of unmanned aerial vehicle borne video synthetic aperture radar[J]. Remote Sensing, 2024, 16(1): 191.
- [32] 蔡兴雨, 王亚军, 王旭, 等. 一种基于云边缘架构的雷达组网协同系统设计方案[J]. 现代雷达, 2024, 46(9): 37-48.  
Cai Xingyu, Wang Yajun, Wang Xu, et al. A design scheme for collaborative system of netted radar based on cloud-edge-end architecture[J]. Modern Radar, 2024, 46(9): 37-48. (in Chinese)

[33] 刘斌越, 杨建强, 徐波, 等. 5G-A 通感一体基站组网低空感知关键技术[J]. 信号处理, 2025, 41(5): 787-806.

Liu Binyue, Yang Jianqiang, Xu Bo, et al. Key technolo-

gies for low-altitude sensing in 5G-a integrated communication and sensing networks[J]. Journal of Signal Processing, 2025, 41(5): 787-806. (in Chinese)

### 作者简介



**马城城** 男, 1988年9月出生于陕西省铜川市。现为西安翔腾微电子科技有限公司智能计算与算力网络方向负责人。主要研究方向为智能计算、算力网络、SoC设计与验证。

E-mail: mccheng@mail.nwpu.edu.cn



**郑江滨** 男, 1971年11月出生于陕西省西安市。现为西北工业大学教授、博士生导师。主要研究方向为计算机视觉、嵌入式移动媒体处理技术及图像处理与模式识别等。

E-mail: zhengjb@nwpu.edu.cn



**田泽** 男, 1965年11月出生于陕西省宝鸡市。博士, 研究员, 中国航空工业集团首席技术专家。主要研究方向为SoC设计、嵌入式系统设计、VLSI设计等。

E-mail: tarmz@126.com



**王保平** 男, 1964年5月出生于陕西省西安市。现为西北工业大学教授、博士生导师。主要研究方向为计算机体系结构和软件、人工智能、集成电路与微系统等。

E-mail: baoping-wang@nwpu.edu.cn



**郭玄瀛** 男, 1994年10月出生于山西省晋城市。现为西安翔腾微电子科技有限公司助理研究员。主要研究方向为射频综合计算技术及网络技术。

E-mail: 415036790@qq.com



**刘博** 男, 1996年12月出生于陕西省宝鸡市。现为西安翔腾微电子科技有限公司助理研究员。主要研究方向为嵌入式DPU驱动开发及其在高性能网络通信场景中的应用。

E-mail: shliu1461@163.com



**张琛** 女, 1989年6月出生于陕西省渭南市。现为西安翔腾微电子科技有限公司助理研究员。主要研究方向算力及算力网络芯片设计。

E-mail: zchen.xtic@qq.com



**李林泽** 男, 1996年11月出生于陕西省延安市。现为西安翔腾微电子科技有限公司助理研究员。主要研究方向为无损以太网。

E-mail: Lxillz@163.com



**梁军利** 男, 1978年6月出生于陕西省咸阳市。现为西北工业大学教授、博士生导师。主要研究方向为雷达波形设计、阵列信号处理、非凸优化、6G、机器学习等。

E-mail: liangjunli@nwpu.edu.cn



**刘小旗** 女, 1996年8月出生于山西省吕梁市。现为西安翔腾微电子科技有限公司助理研究员。主要研究方向为嵌入式实时系统适配、网络管理、高精度时间同步等。

E-mail: 1483764748@qq.com