

面向 K/Ka 波段应用的宽带高线性 CMOS 低噪声放大器设计

罗 将^{1,3}, 罗 军¹, 曾新喜^{2*}

(1. 杭州电子科技大学电子信息学院, 浙江杭州 310018; 2. 北京科技大学机械工程学院, 北京 100083;
3. 东南大学毫米波全国重点实验室, 江苏南京 210096)

摘 要: 在毫米波通信技术快速发展的背景下, 面向高质量、大容量数据传输的射频前端电路需求不断提升。作为接收机前端的关键模块, 低噪声放大器(Low-Noise Amplifier, LNA)不仅需要具备低噪声系数(Noise Figure, NF)以提高系统对微弱信号的检测灵敏度, 还需保持较高线性度, 以应对强干扰和复杂调制信号环境下的增益压缩与信号失真问题。特别是在宽带工作条件下, 如何在低噪声、高增益和高线性度之间实现有效平衡, 仍是毫米波集成电路设计中的重要挑战。针对上述需求, 本文基于 55 nm 互补金属氧化物半导体(Complementary Metal-Oxide-Semiconductor, CMOS)工艺, 设计并实现了一款面向 K/Ka 波段的高线性度宽带低噪声放大器芯片。电路采用两级共源共栅(Cascode)拓扑结构, 并在跨导源极引入电感退化反馈, 以拓展输入电压摆幅并改善大信号线性度。同时, 本文定量分析了偏置条件对晶体管三阶非线性跨导项的影响, 将主放大晶体管偏置在三阶跨导 g_{m3} 零点附近, 从而有效抑制非线性失真并提升输入 1 dB 压缩点(Input 1 dB compression Point, IP_{1dB})。此外, 利用栅极电容峰化策略对高频增益响应进行补偿, 进一步改善了宽带范围内的增益性能。在版图设计方面, 本文采用三维交错布局策略, 通过优化晶体管指状结构及金属层间空间排布, 降低毫米波频段下敏感的栅极寄生电阻和源极寄生电感, 减小关键互连寄生效应对噪声、增益和稳定性的影响, 从而提升电路在高频宽带条件下的综合性能。测试结果表明, 所提出 LNA 在 21.5~30.3 GHz 频段内实现了 16.8 dB 的峰值增益、8.8 GHz 的 3 dB 带宽和 3.26 dB 的最低噪声系数; 实测 IP_{1dB} 最高可达 -3.6 dBm, 核心面积仅为 0.11 mm²。上述结果验证了所提方法在提升毫米波 LNA 综合性能方面的有效性, 可为高动态范围毫米波接收前端中的 LNA 设计提供一种有潜力的技术方案。

关键词: 低噪声放大器; 毫米波; 高线性度; 三维交错指状结构; 互补金属氧化物半导体

基金项目: 国家重点研发计划(No.2023YFB3811503); 国家自然科学基金(No.52302132); 毫米波全国重点实验室开放基金(No.KN202501-01)

中图分类号: TN402; TN722.3

文献标识码: A

文章编号: 0372-2112(2026)06-2470-11

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20260421

A Broadband High-Linearity CMOS Low-Noise Amplifier for K/Ka-Band Applications

LUO Jiang^{1,3}, LUO Jun¹, ZENG Xinxi^{2*}

(1. School of Electronics and Information, Hangzhou Dianzi University, Hangzhou, Zhejiang 310018, China;

2. School of Mechanical Engineering, University of Science and Technology Beijing, Beijing 100083, China;

3. State Key Laboratory of Millimeter Waves, Southeast University, Nanjing, Jiangsu 210096, China)

Abstract: With the rapid development of millimeter-wave communication systems, radio-frequency front-end circuits are increasingly required to support high-quality and high-capacity data transmission. As a key building block in the receiver front-end, the low-noise amplifier (LNA) must provide a low noise figure (NF) for high sensitivity while maintaining sufficient linearity to alleviate gain compression and signal distortion under strong interferers and complex modulation scenarios. However, achieving low noise, high gain, and high linearity simultaneously over a wide bandwidth remains challenging for millimeter-wave integrated circuit design. To address these challenges, this paper presents a K/Ka-band high-linearity wideband LNA implemented in a 55 nm complementary metal-oxide-semiconductor (CMOS) process. The proposed LNA adopts a two-stage cascode topology, in which source inductive degeneration is introduced in the common-source transistors to extend the input voltage swing and improve large-signal linearity. The bias-dependent third-order transconductance nonlinearity is quantitatively analyzed, and the main amplifying transistors are biased near the zero-crossing point of

g_{m3} , thereby suppressing third-order nonlinear distortion and improving the input 1 dB compression point ($IP_{1\text{dB}}$). In addition, a gate-capacitance peaking strategy is employed to compensate the high-frequency gain response, further improving the gain performance over a broad bandwidth. A three-dimensional interdigitated layout strategy is further developed to optimize the transistor finger structure and metal-layer arrangement. This approach reduces the parasitic gate resistance and source inductance, which are particularly detrimental at millimeter-wave frequencies, thereby mitigating their impact on noise, gain, and stability. Measurement results show that the proposed LNA achieves a peak gain of 16.8 dB, a 3 dB bandwidth of 8.8 GHz over 21.5~30.3 GHz, and a minimum NF of 3.26 dB. The measured $IP_{1\text{dB}}$ reaches -3.6 dBm, while the core area is only 0.11 mm². These results demonstrate that the proposed design effectively improves the noise-linearity-gain trade-off and provides a promising solution for high-dynamic-range millimeter-wave receiver front ends.

Keywords: low-noise amplifier; millimeter-wave; high linearity; three-dimensional interdigitated layout structure; complementary metal-oxide-semiconductor

Foundation Item(s): National Key Research and Development Program of China (No.2023YFB3811503); National Natural Science Foundation of China (No.52302132); The State Key Laboratory of Millimeter Waves (No.KN202501-01)

0 引言

近年来,随着毫米波技术的快速发展,丰富的频谱资源为高质量业务和大容量数据传输提供了重要支撑^[1-2]。在雷达、无线通信等高动态范围应用中,接收机前端不仅需要较高增益和较低噪声系数,还需具备良好的线性度,以保证系统在强干扰和大动态范围输入条件下的稳定工作^[3]。对于低噪声放大器(Low-Noise Amplifier, LNA)而言,噪声系数决定接收机灵敏度,而线性度直接影响强信号条件下的增益稳定性和信号保真度。因此,如何在宽带条件下兼顾低噪声和高线性度,已成为毫米波接收前端设计中的重要发展方向^[4-7]。

得益于器件特征尺寸的持续缩小,互补金属氧化物半导体(Complementary Metal-Oxide-Semiconductor, CMOS)工艺凭借低成本、低功耗、高集成度以及与数字电路兼容性好等优势,已成为实现高性能毫米波系统的重要技术路线,并对 GaAs、GaN 等 III-V 族工艺形成了有力竞争^[8-10]。然而,标准 CMOS 工艺仍存在击穿电压较低、器件高频功率增益有限以及衬底损耗较大等固有局限^[11-13],使得在 CMOS 平台上同时实现高线性度、低噪声系数、宽带和高增益等性能面临较大挑战^[14]。

针对上述问题,近年来,研究人员围绕拓扑结构优化、跨导增强(g_m -boosting)以及无源网络协同设计等方面开展了大量研究。借助 g_m -boosting^[15-17]、变压器耦合^[18]、电流复用^[19]以及反馈网络^[20]与阻抗匹配协同优化等技术,面向 K/Ka 波段应用的 CMOS LNA 在增益、噪声和带宽等方面已取得显著进展,相关工作报道了约 14~22 dB 的增益、约 2.2~4.4 dB 的噪声系数以及 2.1~14.8 GHz 的工作带宽^[15-20]。针对提高线性度的方法,现有研究往往以牺牲其他关键性能指标为代价。例如,文献[21]采用背栅调谐技术提升线性度时,电路增益通常被限制在 10 dB 以内;文献[22]

基于导数叠加的线性化方法会导致噪声系数上升至 4.6 dB 以上,并显著增加功耗;文献[23]引入辅助晶体管进行非线性抵消的结构,虽能使输入 1 dB 压缩点(Input 1 dB compression Point, $IP_{1\text{dB}}$)提升约 2.5 dBm,但增益相应下降近 3.7 dB。相较于增益、噪声和带宽等指标的持续改善,目前宽带 LNA 线性度性能提升仍相对有限,已报道的 CMOS LNA 所实现的 $IP_{1\text{dB}}$ 普遍仍低于 -10 dBm。尤其在毫米波频段,器件非理想效应和版图寄生参数更加显著,使得线性度提升往往需要在线性度、噪声、增益、带宽、功耗和芯片面积之间进行更加困难的折中。因此,如何在显著牺牲其他关键性能指标的前提下进一步提升 LNA 线性度,仍然是毫米波 CMOS 接收前端设计中的关键瓶颈。

为此,本文提出并实现了一款工作于 21.5~30.3 GHz 的 CMOS 宽带 LNA,兼具高线性度和良好的综合性能。该设计采用源极负反馈和最佳偏置法,显著改善线性度;同时,结合三维交错版图策略,关键节点互连寄生效应得到显著抑制,提升了噪声性能。测试结果表明,该 CMOS LNA 在 21.5~30.3 GHz 频段内实现了 16.8 dB 峰值增益和 8.8 GHz 带宽,同时获得了 -3.6 dBm 的输入 1 dB 压缩点、3.26 dB 的最小噪声系数以及 0.11 mm²的核心面积,在线性度、噪声、带宽和面积等关键指标之间实现了优异折中,为宽动态范围毫米波接收前端提供了一种有效的实现方案。

1 电路设计

1.1 线性度协同优化设计

毫米波宽带 LNA 设计中,高增益与高线性度往往难以同时兼顾。为在宽带内获得较高的输入 1 dB 压缩点,本文采用共源共栅(Cascode)拓扑。对于该结构而言,其线性度通常主要受输入级共源晶体管 M_1 的非线性行为制约。当输入信号幅度增大时, M_1 的跨导出现压缩,从而导致放大器增益下降。针对这

一问题,如图1所示,本文在 M_1 支路中引入源极负反馈,并结合优化偏置设计,形成协同非线性抑制方案,从而有效改善宽带线性度性能。

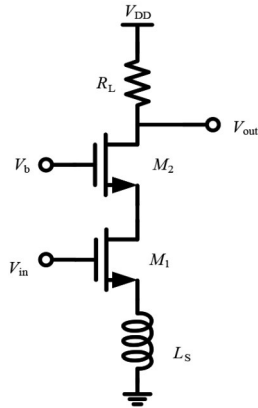


图1 采用源极退化电感的共源共栅结构简化原理图

Figure 1 Simplified schematic of the cascode structure with source degeneration inductor

在未引入负反馈的共源极晶体管中,其漏极电流 i_d 与栅源电压 V_{gs} 的非线性关系通过泰勒级数展开可表示为

$$i_d = g_{m1} v_{gs} + g_{m2} v_{gs}^2 + g_{m3} v_{gs}^3 + g_{m4} v_{gs}^4 + g_{m5} v_{gs}^5 + \dots \quad (1)$$

其中: g_{m1} 为小信号跨导,主导电路的线性增益; g_{m3} 为本征三阶非线性系数。在常规偏置下, g_{m3} 通常为负值,是引起大信号增益压缩的主要根源。

为了初步提升线性度,本设计在主放大管源极引入了等效阻抗为 Z_s ($Z_s \approx j\omega L_s$)的退化电感,形成串联电压负反馈。引入负反馈后,系统输入电压变为 $V_{in} = V_{gs} + i_d Z_s$ 。此时,闭环系统的等效漏极电流可重新表示为关于 v_{in} 的多项式,如式(2)所示:

$$i_d = G_{m1} v_{in} + G_{m2} v_{in}^2 + G_{m3} v_{in}^3 + \dots \quad (2)$$

其中,闭环一阶等效跨导 G_{m1} 与三阶等效跨导 G_{m3} 分别为

$$G_{m1} = \frac{g_{m1}}{1 + g_{m1} Z_s} \quad (3)$$

$$G_{m3} = \frac{g_{m3}}{(1 + g_{m1} Z_s)^4} - \frac{2g_{m2}^2 Z_s}{(1 + g_{m1} Z_s)^5} \quad (4)$$

提取基波频率分量,闭环系统的大信号平均跨导 G_m 可定义为输入信号振幅 A 的函数:

$$G_m(A) = G_{m1} + \frac{3}{4} G_{m3} A^2 + \frac{5}{8} G_{m5} A^4 + \dots \quad (5)$$

根据1 dB压缩点的定义,当输入信号振幅达到特定值(记为 A_{1dB})时,大信号跨导相比于小信号跨导下降1 dB,满足方程:

$$20 \log_{10} \left| \frac{G_m(A_{1dB})}{g_{m1}} \right| = -1 \text{ dB} \quad (6)$$

将对数关系转化为线性比例,即 $G_m(A_{1dB})/g_{m1} \approx 0.891$ 。在常规偏置下,三阶非线性系数 g_{m3} 通常为显著的负值,且主导了增益的压缩。忽略更高阶项,将式(5)代入压缩点定义式(6)中,可得式(7):

$$\frac{G_{m1} + \frac{3}{4} G_{m3} A_{1dB}^2}{G_{m1}} \approx 0.891 \Rightarrow \frac{3}{4} \frac{G_{m3}}{G_{m1}} A_{1dB}^2 \approx -0.109 \quad (7)$$

由此,可推导出常规偏置下的1 dB压缩点电压振幅 A_{1dB} 的表达式为

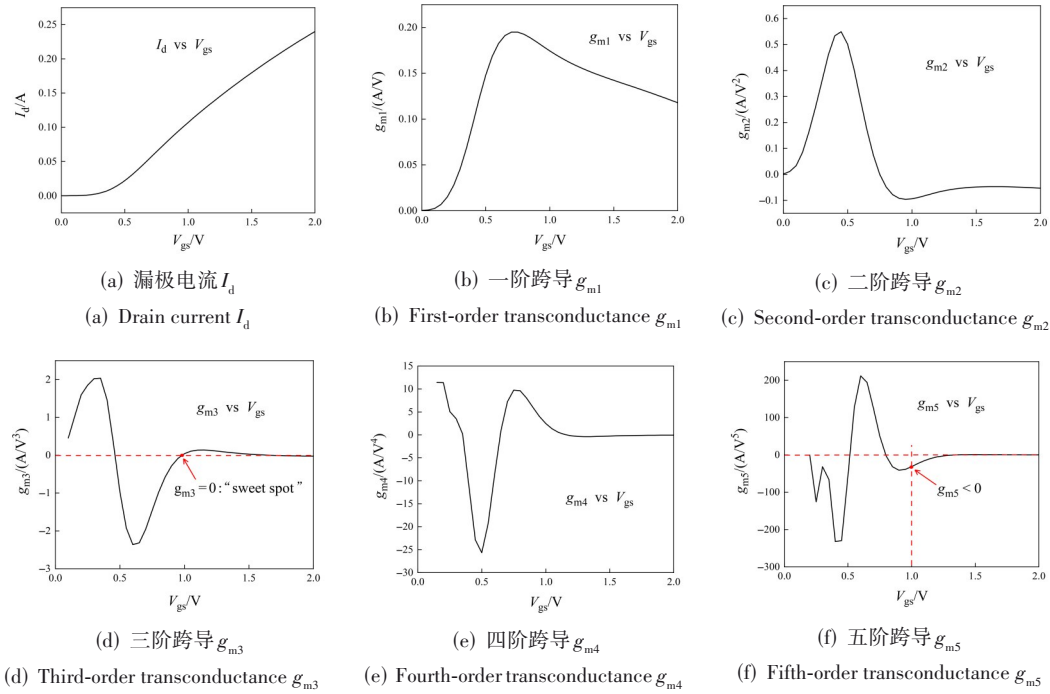
$$A_{1dB} \approx \sqrt{0.145 \left| \frac{G_{m1}}{G_{m3}} \right|} \approx \sqrt{0.145 \frac{g_{m1} |1 + g_{m1} Z_s|^3}{g_{m3} - \frac{2g_{m2}^2 Z_s}{1 + g_{m1} Z_s}}} \quad (8)$$

由式(8)可知,源极负反馈引入了 $|1 + g_{m1} Z_s|^3$ 的扩展因子,能够显著拓宽输入动态范围。然而,仅依靠增大 L_s 会导致 G_{m1} 的严重恶化。为此,本设计结合了最佳偏置法^[24]进行协同优化。图2给出了共源晶体管 M_1 的漏电流及一阶至五阶跨导系数随 V_{gs} 变化的详细仿真结果。图2(a)展示了漏极电流 I_d 的直流特性,反映了器件从亚阈值区向强反型区过渡的过程。图2(b)展示了一阶跨导 g_{m1} 随 V_{gs} 的演变过程:在0~0.7 V区间,随器件开启及载流子浓度增加, g_{m1} 快速升高;而在0.7~2 V区间,受高场强下迁移率退化与速度饱和效应抑制, g_{m1} 从峰值开始回落。图2(c)与图2(d)分别给出了二阶跨导 g_{m2} 和关键的三阶跨导 g_{m3} 特性。从图2(d)中可以观察到, g_{m3} 在 $V_{gs} \approx 1$ V处存在一个明显的零交叉点。理论上,在该最佳偏置点下本征三阶非线性失真将被完全抵消。图2(e)和图2(f)则展示了高阶项 g_{m4} 与 g_{m5} 的演变规律,这验证了当 g_{m3} 趋于0时,电路的增益压缩机制将由五阶项主导。此时,在 $g_{m3} = 0$ 且二阶交调引起的高阶注入可忽略的条件下,闭环系统的增益压缩机制发生阶次跃升,改由五阶等效非线性跨导 G_{m5} 主导($G_{m5} \approx g_{m5}/(1 + g_{m1} Z_s)^6$)。通过综合分析上述跨导特性曲线,本设计将偏置点锁定在 g_{m3} 的右侧零点位置附近,确保了在维持较高 g_{m1} 或增益的同时,最大限度地抑制了非线性项。

基于上述分析,重新求解1 dB压缩点方程(令 $G_{m3} = 0$,并代入 G_{m5}),可推导出本设计在协同优化下的最优1 dB压缩点振幅 $A_{1dB,opt}$ 如式(9)所示:

$$A_{1dB,opt} \approx \sqrt[4]{0.174 \left| \frac{G_{m1}}{G_{m5}} \right|} \approx \sqrt[4]{0.174 \left| \frac{g_{m1}}{g_{m5}} \right|} \cdot |1 + g_{m1} Z_s|^{5/4} \quad (9)$$

为了最终获得以功率电平表示的 IP_{1dB} ,需将前述推导得到的最优电压振幅 $A_{1dB,opt}$ 转换至分贝毫瓦(dBm)域。在等效输入阻抗为 R_s 的射频系统中,输入信号

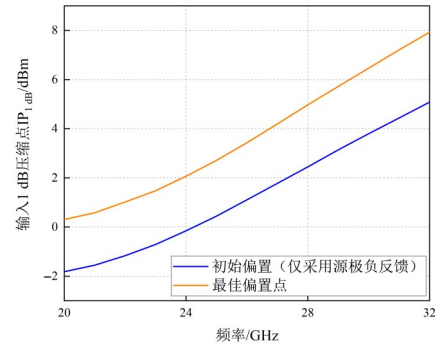
图2 不同 V_{gs} 下器件直流与跨导特性仿真结果Figure 2 Simulated DC and transconductance performance of the device at various V_{gs}

的平均功率 P_{in} 与其电压振幅 A 满足 $P_{in} = A^2/2R_s$ 。结合 dBm 的对数定义,最终的 IP_{1dB} 解析表达式可写为

$$IP_{1dB} = 10 \log_{10} \left(\frac{\sqrt{0.174} \left| \frac{g_{m1}}{g_{m5}} \right| \cdot |1 + g_{m1} Z_s|^{5/2}}{2R_s \cdot 10^{-3}} \right) \quad (10)$$

由式(8)~式(10)可见,通过偏置优化使 $g_{m3} = 0$, 压缩项从二次幂 A^2 变为四次幂 A^4 , 压缩点振幅对跨导非线性系数的依赖由平方根弱化为四次方根,电路的增益压缩机制发生了本质改变,由三阶主导跃升为五阶主导。这意味着,尽管在 1 V 偏置下 g_{m5} 仍为负值,但增益响应曲线在小信号向大信号过渡的区间内曲率显著减小,表现出极强的跨导平坦化特征。同时对于 IP_{1dB} , 源极负反馈进一步提供了 $|1 + g_{m1} Z_s|^{5/2}$ 乘积放大效应。

通过将压缩主导机制由传统的低阶非线性压缩转移至高阶非线性压缩,本文方法使放大器在保持较高增益的同时显著提升了 IP_{1dB} 。具体而言,在采用源极退化电感反馈的基础上,进一步将 M_1 的偏置调至 $g_{m3} = 0$ 区域,并对 IP_{1dB} 进行了仿真验证。仿真结果如图 3 所示,与仅采用源极退化电感反馈而未引入最佳偏置技术的情况相比,该方法可使 IP_{1dB} 进一步提升约 2.1 dBm。由此可见,源极负反馈与最佳偏置方法的协同作用能够有效抑制非线性压缩,从而在宽频带范围内实现高线性度优化。

图3 最佳偏置点 IP_{1dB} 仿真结果Figure 3 Simulated IP_{1dB} results at the optimal bias point

1.2 三维交错指状版图设计策略

多级 LNA 的总噪声系数主要由第一级决定:第一级噪声直接叠加,其增益可抑制后级噪声贡献。因此,第一级设计必须以噪声优化为核心。毫米波频段中,大尺寸晶体管带来的栅极电阻(R_g)和栅漏电容(C_{gl})、走线电感(L)与衬底电容(C_{sub})等寄生效应,会直接引入热噪声,并通过降低增益、破坏匹配间接恶化噪声性能,必须通过版图优化策略予以抑制。为降低高频寄生效应并提升器件一致性,本文在版图设计中采用了三维交错指状结构,第一级电路晶体管的版图布局如图 4(a)所示。在具体实现中,每个晶体管单元被划分为多个指状单元并联,通过多指并联、源漏交错排布以及多层金属立体互连,能够有效缩短电流

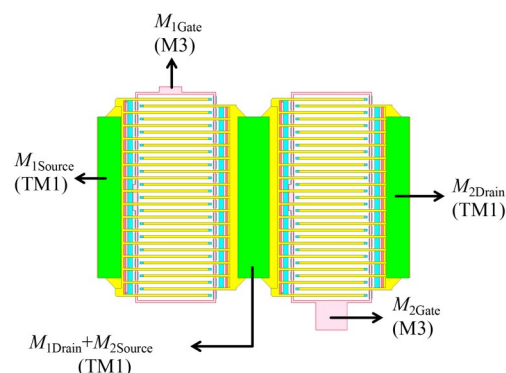
传输路径,减小栅极电阻、寄生电容及互连寄生效应。

为更直观地说明该版图结构的空实现形式,图4(b)给出了相应的三维结构示意图。由图可见,版图在器件单元排布基础上进一步结合多层金属的立体互连,在此基础上,针对高频性能敏感的寄生参数进行优化。以跨接在内部栅极与漏极之间的反馈电容 C_{gd1} 和 C_{gd2} 为例,共栅管 M_2 的漏极连接至金属TM1层,而其栅极则引出至金属M3层,通过增加垂直方向的物理间距,并结合走线布局以减小重叠面积,从而有效降低了栅漏之间的寄生反馈,有助于减小等效反馈通路,进而提升放大器的反向隔离度和高频稳定性。

上述版图优化对噪声性能的改善效果,可通过噪声圆(Noise Circle, NC)史密斯图验证。图4(c)为该结构版图前后仿真的NC史密斯圆图,多叉指结构显著减小了外部串联栅极电阻 R_g ,因此前后仿真的等噪声圆圆心基本重合,说明版图寄生未明显恶化最小噪声系数(Minimum Noise Figure, NF_{min});同时输入端寄生得到有效控制,前后仿真的最优噪声匹配点 Γ_{opt} 高度一致。此外,该版图降低了栅极寄生电阻与中间节点阻抗,使等效噪声电阻 R_n 维持在较低水平,保证了电路拥有宽松的噪声匹配容差和良好的噪声鲁棒性。

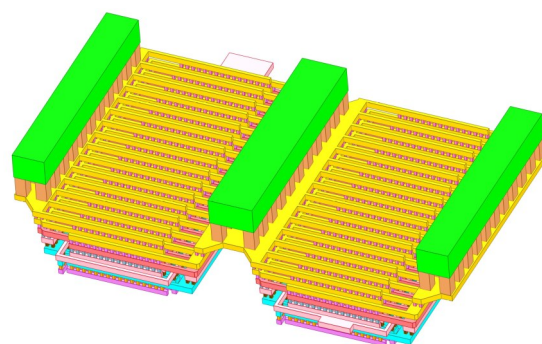
为验证优化后晶体管版图的优势,图5(a)给出了三维交错指状结构与传统晶体管级联结构在寄生参数提取后的最小噪声系数 NF_{min} 对比,图5(b)则给出了对应的最大稳定增益(Maximum Stable Gain, MSG)频率响应对比。可以看出,在20~32 GHz范围内,三维交错指状结构的后仿真 NF_{min} 恶化程度明显小于传统级联结构,且较后者低约0.55 dB,同时与前仿真结果保持了更好的一致性。对于MSG,传统级联结构在寄生参数引入后下降约1.5 dB,而三维交错指状结构仅下降约0.9 dB,表现出更强的寄生鲁棒性。上述结果表明,本文采用的三维交错指状版图在降低噪声退化和抑制增益损失方面均优于传统级联结构。

在电路设计中,第二级电路设计重点是在维持较低噪声性能的前提下,进一步提升增益与线性度。为此,第二级晶体管同样采用三维交错指状结构,其版图如图6(a)所示。具体而言,将大尺寸单一晶体管划分为3个并联的小尺寸晶体管单元,将6个晶体管单元以共质心方式并联布局。通过对称结构减弱了工艺偏差带来的失配影响,减小中间节点寄生电容,抑制该节点走线电感,减小了共源共栅中间节点的寄生阻抗。该版图的三维示意图如图6(b)所示,考虑到底部晶体管栅极作为射频输入端、顶部晶体管漏极



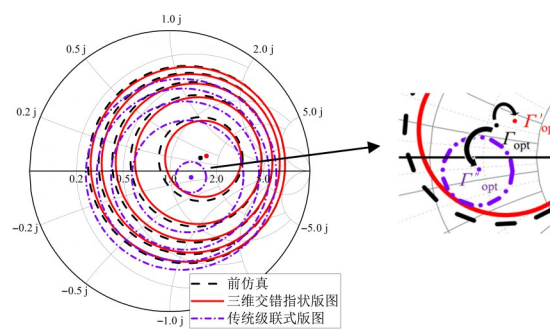
(a) 第一级电路晶体管三维交错指状版图布局

(a) Three-dimensional interdigitated layout of the first-stage transistor



(b) 第一级电路晶体管版图三维示意图

(b) Three-dimensional schematic view of the first-stage transistor layout



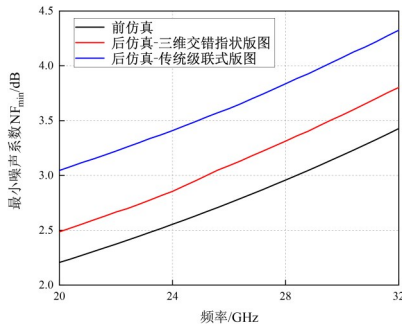
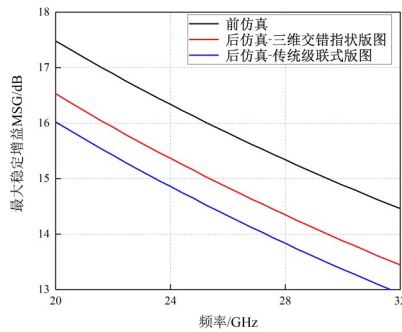
(c) 前仿真和后仿真下的NC史密斯圆图

(c) Pre- and post-simulated Smith chart of NC

图4 第一级电路晶体管版图及仿真NC史密斯圆图

Figure 4 Layout, three-dimensional schematic, and simulated NC Smith chart of the first-stage transistor

作为输出端,本文采用低损耗顶层厚金属完成主互连,并结合中间层金属(M4、M5)构建三维空间交错结构。该立体隔离方式有效减小了输入晶体管栅极与漏极之间的空间重叠面积,从而降低了关键寄生电容 C_{gd} 。

(a) 三种情况下仿真的最小噪声系数 $NF_{\min}$ (a) Simulated minimum noise figure ($NF_{\min}$) for three cases

(b) 三种情况下仿真的最大稳定增益 MSG

(b) Simulated maximum stable gain (MSG) for three cases

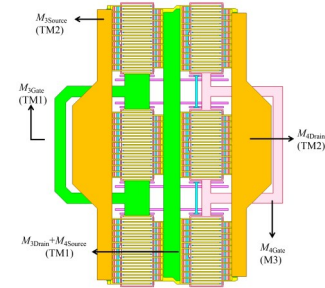
图5 三维交错指状结构后仿真对比结果

Figure 5 Post-simulation comparisons of the three-dimensional interdigitated structure

对第二级电路晶体管三维交错指状版图结构进行了仿真分析,如图7所示。仿真结果表明,该版图策略在适度牺牲部分MSG的前提下,源极寄生阻抗形成的局部负反馈可抑制大信号非线性失真,从而额外提升了第二级电路的输入1 dB压缩点。综上所述,本文采用的版图设计策略在适度牺牲部分MSG的情况下,实现了对寄生效应的有效控制,并在降低噪声系数的同时提升了电路线性度。

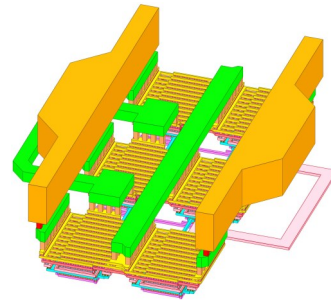
1.3 电路整体结构

如图8所示为所提出的低噪声放大器,电路结构上采用两级共源共栅拓扑结构以兼顾增益与隔离度。通过在共源管源极引入退化电感 L_4 和 L_5 形成串联负反馈,结合最佳偏置法将栅源电压调节至 g_{m3} 跨导系数的零交叉点附近,提升电路整体线性度。在此基础上,三维交错指状版图通过多指并联、源漏交错与多层金属立体互连,减小了关键节点的栅极电阻、寄生电容及互连电感,从而保证电路的低噪声特性,以及对寄生效应的鲁棒性。最后,引入栅极电容峰化技



(a) 第二级电路晶体管三维交错指状结构版图

(a) Three-dimensional interdigitated layout of the second-stage transistor

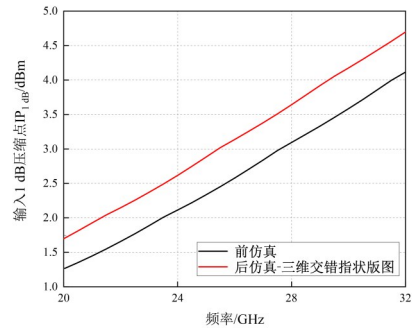


(b) 第二级电路晶体管版图三维示意图

(b) Three-dimensional schematic view of the second-stage transistor layout

图6 第二级电路晶体管版图

Figure 6 Layout of the second-stage transistor

图7 前仿真和版图提参后仿真的 IP_{1dB} 频率响应Figure 7 IP_{1dB} frequency response under pre- and post-layout extraction simulations

术,通过调谐共源共栅节点的寄生电容参数来优化高频增益。在具体电路实现中,由 M_1 和 M_2 构成的共源共栅放大器用作驱动级,而由 M_3 和 M_4 构成的共源共栅放大器用作放大级。在本设计中,所有 MOSFET 的栅长均为 60 nm,放大级 MOSFET 的尺寸为 $3 \mu\text{m} \times 22 \mu\text{m} \times 3 \mu\text{m}$,驱动级 MOSFET 的尺寸为 $3.5 \mu\text{m} \times 30 \mu\text{m} \times 1 \mu\text{m}$ 。

在采用共源共栅结构的放大器设计中,增益的提升往往受限于输出阻抗的有限大小。如图9(a)所

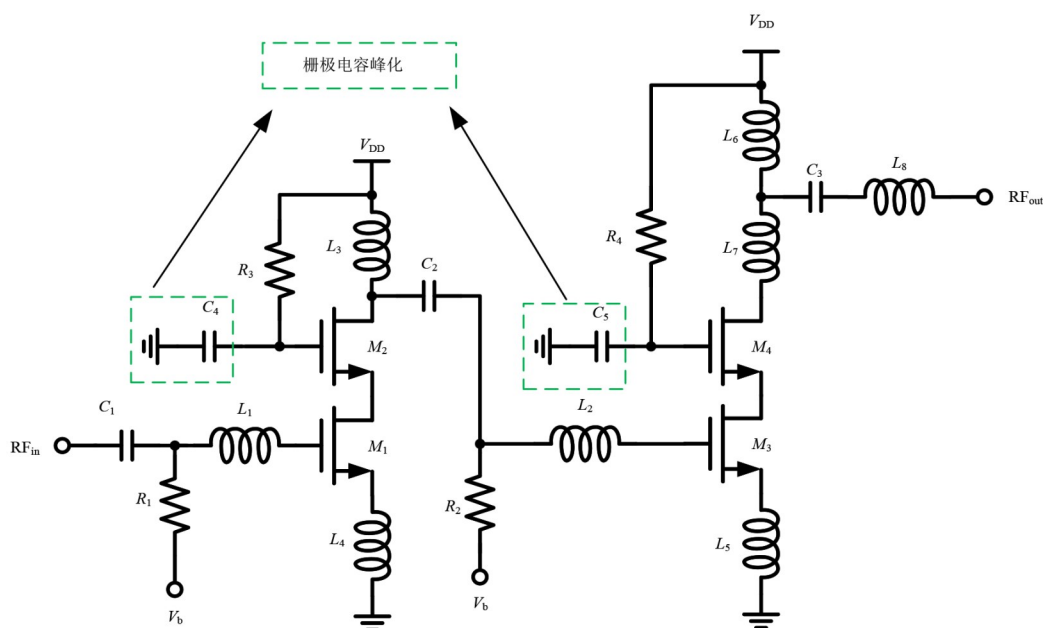


图8 所提出的CMOS两级LNA原理图

Figure 8 Schematic of the proposed two-stage CMOS LNA

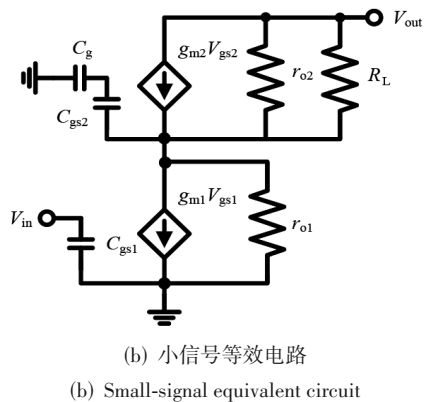
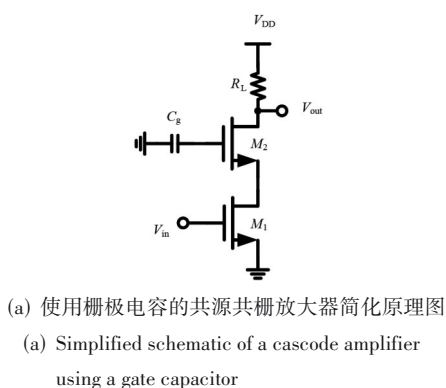


图9 栅极电容峰化技术原理图

Figure 9 Schematic of the gate-capacitor peaking technique

共源共栅极联管的共栅管栅极引入栅极电容 C_g , 通过改变其与共栅管输入寄生电容 C_{gs2} 的并联关系, 可调节等效电容 C_1 , 进而影响输出阻抗 Z_{out} 与电压增益 A_v 。由图9可以近似得到该电路的增益频率响应为

$$A_v = G_m \cdot Z_{out} \approx g_{m1} \cdot Z_{out} \quad (11)$$

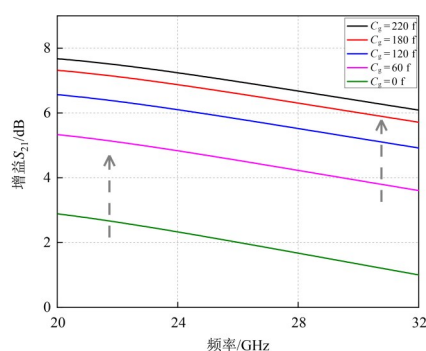
$$Z_{out} = \left[1 + g_{m2} \left(\frac{1}{sC_1} // r_{o1} \right) \right] // r_{o2} + \frac{1}{sC_1} // r_{o1} \quad (12)$$

$$C_1 = \frac{C_g C_{gs2}}{C_g + C_{gs2}} \quad (13)$$

其中: G_m 和 Z_{out} 分别是共源共栅放大器的总等效跨导和输出阻抗; g_{m1} 、 g_{m2} 、 C_{gs1} 、 C_{gs2} 、 r_{o1} 和 r_{o2} 分别是晶体管 M_1 和 M_2 的跨导、等效输入寄生电容和等效输出电阻。 C_{gs1} 、 C_{gs2} 、 r_{o1} 和 r_{o2} 由晶体管尺寸和偏置电压决定。由小信号模型推导可知, 随着栅极电容 C_g 的增加, C_1 会显著变大, 输出阻抗 Z_{out} 随之增加, 最终导致增益显著提升, 当 $C_g \gg C_{gs2}$ 时, C_1 趋于不变, 增益趋于饱和。

为了验证栅极电容对电路增益的影响, 图10展示了放大增益 ($|S_{21}|$) 随 C_g 变化的关系曲线。从仿真图可以发现, 当 C_g 值从0增加到120 fF时, $|S_{21}|$ 显著增大, 例如在25 GHz工作频率下, $|S_{21}|$ 从2.2 dB增加至6 dB; 当 C_g 值从120 fF增加到220 fF时, $|S_{21}|$ 上升的幅度明显变小, 同样在25 GHz工作频率下, $|S_{21}|$ 从6 dB增加至7.1 dB; 当栅极电容达到一定值时, $|S_{21}|$ 最终会趋于饱和不再增加。这表明合理选择栅极电容可在不额外消耗直流功耗的前提下实现增益增强。然而, 过高的输出阻抗会加大输出匹配网络的设计难度, 因

示, 为在不显著增加功耗的前提下有效提高增益, 本设计引入了栅极电容峰化技术。如图9(b)所示, 在

图 10 正向传输系数 $|S_{21}|$ 随 C_g 变化的关系曲线Figure 10 Forward transmission coefficient ($|S_{21}|$) variations with C_g

此需在增益与匹配之间进行折中,通过调节 C_g 选取

表 1 LNA 的关键设计参数

Table 1 Key design parameters of the LNA

C_1	C_2	C_3	C_4	C_5	L_1	L_2/L_3	L_4
263 fF	81.1 fF	292.9 fF	220.7 fF	218.4 fF	765 pH	200 pH	60 pH
L_5	L_6	L_7	L_8	M_1/M_2	M_3/M_4	$R_1/R_2/R_3/R_4$	V_{DD}/V_b
30 pH	300 pH	20 pH	90 pH	105 μm	198 μm	8.7 k Ω	1.8 V/1 V

2 测试结果与讨论

采用 55 nm CMOS 工艺设计并制造了所提出的低噪声放大器,芯片显微照片如图 11 所示。放大器核心电路尺寸为 0.11 mm^2 ,包含所有测试焊盘在内的总硅片面积为 0.42 mm^2 ($0.64 \text{ mm} \times 0.65 \text{ mm}$),放大器在 1.8 V 电源电压下的直流功耗为 130.7 mW。

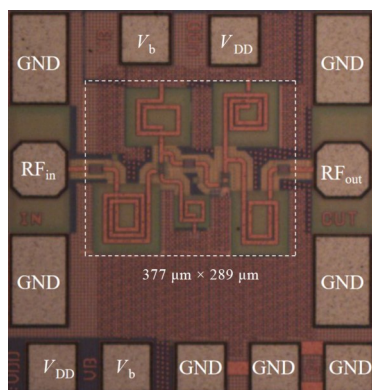


图 11 所提出的 K 波段放大器的显微照片

Figure 11 Chip photograph of the proposed K-band amplifier

采用 MPI TS200-SE 探针台对芯片进行了片上测试,测试频率范围为 20~32 GHz。测试设备包括支持噪声系数测试的 Keysight PNA-X-N5245A 微波网络分析仪,以及用于直流偏置供给和功耗监测的高分辨率 Keysight N6705B 直流电源分析仪。测试前,采用标准短路-开路-负载-直通 (Short-Open-Load-Thru, SOLT) 方法完成片上校准,以降低探针、传输线及测试夹具

合适的电容值。

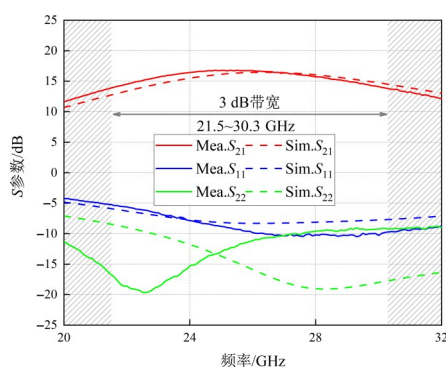
如图 8 所示,本设计在两级共源共栅 LNA 中分别于驱动级与放大级的共栅管栅极引入了栅极电容 C_4 和 C_5 。通过调整 C_4 和 C_5 的容值,可以分别控制两级的输出阻抗,从而在整体上优化增益与匹配性能。此外,输入匹配网络采用 L_1 、 C_1 的 LC 串联结构将 50Ω 端口匹配至 M_1 输入阻抗;级间匹配网络由 L_2 、 C_2 构成,用于前级输出与后级输入之间的阻抗匹配,同时兼顾噪声系数与增益的优化;输出匹配网络采用 L_6 、 L_7 、 L_8 和 C_3 组成的 T 形结构^[25],以实现宽带匹配并进一步扩展带宽。所有电感和互连线均采用顶层金属实现,以减小寄生效应与衬底耦合损耗。电路最终关键参数如表 1 所示。

引入的系统误差。

图 12(a)给出了 S 参数的仿真与测量结果。测试结果表明,该 LNA 的 3 dB 增益带宽为 8.8 GHz,覆盖 21.5~30.3 GHz,并在 25.5 GHz 处取得 16.8 dB 的峰值增益。可以看出,实测增益曲线与仿真结果存在一定偏差,主要归因于流片过程中代工厂为满足设计规则检查 (Design Rule Check, DRC) 要求,在版图中插入了随机分布的虚拟金属填充结构。这些结构引入了额外的寄生电感和寄生电容,改变了高频节点阻抗和信号传输特性,从而造成增益偏移。尽管如此,实测增益水平和带宽仍基本符合设计预期。输入回波损耗 ($|S_{11}|$) 和输出回波损耗 ($|S_{22}|$) 同样如图 12(a) 所示。由于本设计优先兼顾低噪声系数和高线性度,输入/输出匹配在一定程度上进行了折中,但整体仍满足宽带毫米波 LNA 的设计需求。

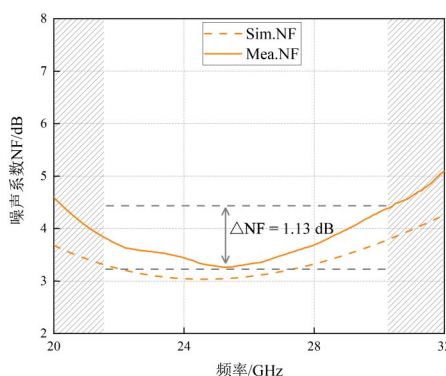
图 12(b)给出了 NF 的仿真与测量结果,二者在测量频段内整体吻合较好,尤其在 3 dB 带宽范围内具有较高一致性。实测结果表明,NF 在 25.2 GHz 处达到最小值 3.26 dB,并在高频 3 dB 截止点 30.3 GHz 处为 4.4 dB;同时,3 dB 带宽内 NF 波动小于 1.13 dB,说明该 LNA 在宽带工作范围内实现了较为稳定的低噪声性能。

图 13(a)给出了所设计 LNA 的稳定性结果,在 20~32 GHz 的测量频段内,最小稳定性系数 $K_1 > 7$,满足 $K_1 > 1$,故所提出的低噪声放大器在工作频段内能够稳定工作。



(a) S参数仿真和测量结果

(a) S-parameter simulation and measurement results



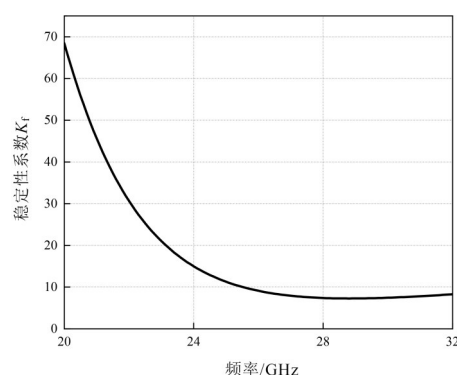
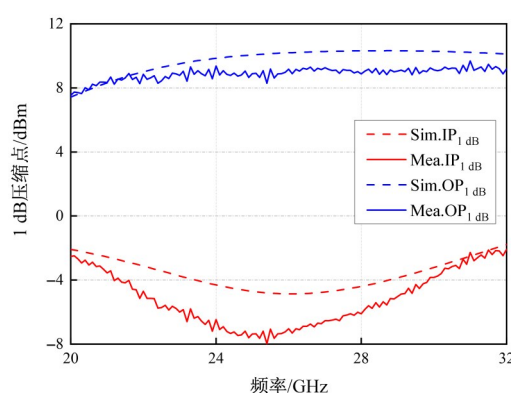
(b) 噪声系数NF仿真和测量结果

(b) Noise figure (NF) simulation and measurement results

图12 S参数与噪声系数NF的仿真和测量结果

Figure 12 S-parameter and Noise figure (NF) simulation and measurement results

为了评估所提出放大器的线性度,本文对工作频段内的输入1 dB压缩点与输出1 dB压缩点(Output 1 dB compression Point, $OP_{1\text{ dB}}$)进行了仿真与测试。受益于所采用的源极负反馈与最佳偏置协同优化方法,主放大晶体管偏置被设定在三阶非线性跨导 g_{m3} 的过零点附近,同时引入源极电感反馈以增强电压摆幅能力,从而将大信号的增益压缩延迟至更高阶非线性主导。图13(b)展示了 $IP_{1\text{ dB}}$ 和 $OP_{1\text{ dB}}$ 随频率变化的仿真与测量结果。可以观察到,两者在整个频段内变化趋势基本一致,仿真与实测结果具有良好一致性。在21.5~30.3 GHz的工作频率范围内,实测 $OP_{1\text{ dB}}$ 保持在8.5~9.2 dBm,实测 $IP_{1\text{ dB}}$ 为-7.97~-3.6 dBm,表现出稳定且较高的线性度水平。上述结果表明,该LNA在宽带范围内具有良好的大信号处理能力,可满足高动态范围毫米波接收前端的应用需求。

(a) 稳定性系数 K_t (a) Stability factor (K_t)

(b) 1 dB压缩点仿真与测量结果

(b) Simulated and measured 1 dB compression points

图13 稳定性与1 dB压缩点的仿真和测试结果

Figure 13 Simulated and measured stability and 1 dB compression point

表2总结了本文提出的LNA的性能,并与其他先进的CMOS LNA进行比较。可以看出,不同设计在增益、带宽、噪声系数、线性度及功耗之间存在明显的性能权衡关系。本设计的优势在于较高的线性度,实测 $IP_{1\text{ dB}}$ 达到-3.6 dBm,表现出优于多数对比工作的大信号处理能力。同时,本设计在宽带性能与噪声性能之间实现了良好折中:在获得8.8 GHz带宽的同时,获得了3.26 dB的最小噪声系数和16.8 dB的峰值增益。综合评价因子FOM从增益、带宽、噪声、线性度、功耗和面积等多方面衡量整体性能。对比结果表明,本文设计在高线性度和多指标协同优化方面具有较强竞争力。表中FOM^[26]的计算公式如下:

$$\text{FOM} = \frac{\text{Gain(dB)} \times \text{BW}_{3\text{ dB}}(\text{GHz}) \times \text{IP}_{1\text{ dB}}(\text{mW})}{(F_{\min} - 1) \times P_{\text{dc}}(\text{mW}) \times \text{Area}(\text{mm}^2)} \quad (14)$$

$$F_{\min} = 10^{\text{NF}_{\min}(\text{dB})/10} \quad (15)$$

表 2 性能总结及与近期报道的 CMOS LNA 的对比

Table 2 Performance summary and comparison with recently reported CMOS LNAs

参考 文献	CMOS Process/nm	Gain/dB	BW _{3dB} /GHz	FBW/%	IP _{1dB} /dBm	NF/dB	P _{dc} /mW	Area /mm ²	FOM
文献[15]	65	18.3	7.6(24.9~32.5)	26.5	-24.0	3.25~4.2	20.5	0.11 [#]	0.22
文献[16]	65	18.2	12(22~34)	42.9	-15.0	3.9~4.1	9.8	0.16 [#]	3.04
文献[17]	28	19.1	4.8(24.7~29.5)	17.7	-8.7	3.3~3.5	25.5	0.17 [#]	4.27
文献[18]	55	21.8	2.1(21.4~23.5 [*])	9.3	-25.1	4.04~4.6 [*]	3.1	0.34	0.09
文献[19]	90	21.6	3.4(25.8~29.2)	12.4	-28.0	2.24~2.74 [*]	3.8	0.29	0.16
文献[20]	65	14.0	14.8(8~22.8)	96.1	-7.6	3~6.4 [*]	16.5	0.35	6.27
本文	55	16.8	8.8(21.5~30.3)	34.0	-3.6	3.26~4.4	130.7	0.11 [#]	4.01/1.06 ^{&}

注: *表示从论文图中估计得到; #表示核心面积; &表示适用包含测试焊盘在内的面积进行计算的 FOM 值。

3 结论

本文提出了一种结合源极负反馈、最佳偏置法与三维交错指状版图结构的毫米波低噪声放大器设计方法。该方法在兼顾带宽、噪声、线性度与芯片面积等关键指标的同时,有效改善了电路的综合性能。基于该方法设计并实现了一款工作于 21.5~30.3 GHz 频段的两级 LNA。测试结果表明,该电路实现了 16.8 dB 的峰值增益、8.8 GHz 的 3 dB 带宽和 3.26 dB 的最小噪声系数,带内输入 1 dB 压缩点优于 -7.97 dBm,芯片核心面积仅为 0.11 mm²。结果验证了所提方法能够有效提升毫米波宽带 LNA 的综合性能,为高性能低噪声接收前端设计提供了一种可行方案。

参考文献

- [1] Hong W, Jiang Z H, Yu C, et al. The role of millimeter-wave technologies in 5G/6G wireless communications[J]. IEEE Journal of Microwaves, 2021, 1(1): 101-122.
- [2] 陈喆,王品清,周培根,等. 基于 45 nm CMOS SOI 工艺的毫米波双频段低相噪压控振荡器设计[J]. 电子学报, 2024, 52(7): 2161-2169.
Chen Zhe, Wang Pinqing, Zhou Peigen, et al. Design of a millimeter-wave dual-band low phase noise VCO in 45 nm CMOS SOI process[J]. Acta Electronica Sinica, 2024, 52(7): 2161-2169. (in Chinese)
- [3] Bai X J, Wu Y L, Zhen S C, et al. A 8~10 GHz compact low noise amplifier MMIC with high linearity based on GaAs technology[J]. Microelectronics Journal, 2025, 162: 106742.
- [4] Yang J, Chatterjee B, Abu Khater M, et al. Sub-1-ms instinctual interference adaptive GaN LNA front end with power and linearity tuning[J]. IEEE Transactions on Microwave Theory and Techniques, 2023, 71(9): 4037-4051.
- [5] Elsayed O, Zarate-Roldan J, Abuellil A, et al. Highly linear low-power wireless RF receiver for WSN[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(5): 1007-1016.
- [6] Wan J L, Yi X, Xu S L, et al. Research progress of millimeter-wave bidirectional transceiver circuits and systems[C]// 2025 IEEE MTT-S International Wireless Symposium. Piscataway: IEEE, 2025: 1-3.
- [7] Vigilante M, Reynaert P. 20.10 A 68.1~96.4 GHz variable-gain low-noise amplifier in 28 nm CMOS[C]//2016 IEEE International Solid-State Circuits Conference. Piscataway: IEEE, 2016: 360-362.
- [8] Hafeez M, Elelimy Abounemra A M, Ghannouchi F M. High gain 0.25 μ m GaN HEMT based MMIC LNA for GNSS applications[C]//2019 IEEE MTT-S International Wireless Symposium. Piscataway: IEEE, 2019: 1-4.
- [9] Wang C T, Hao Y, Zhang H Y, et al. A 60 GHz LNA with 4.7 dB NF and 18 dB gain using interstage impedance matching technique in 90 nm CMOS[C]//2011 IEEE International Conference on Microwave Technology & Computational Electromagnetics. Piscataway: IEEE, 2011: 270-273.
- [10] Kawano Y, Suzuki T, Sato M, et al. A 77 GHz transceiver in 90 nm CMOS[C]//2009 IEEE International Solid-State Circuits Conference-Digest of Technical Papers. Piscataway: IEEE, 2009: 310-311.
- [11] Lee J, Li Y A, Hung M H, et al. A fully-integrated 77 GHz FMCW radar transceiver in 65 nm CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2010, 45(12): 2746-2756.
- [12] Le V H, Duong H T, Huynh A T, et al. A CMOS 77 GHz receiver front-end for automotive radar[J]. IEEE Transactions on Microwave Theory and Techniques, 2013, 61(10): 3783-3793.
- [13] Ciccognani W, Limiti E, Longhi P E, et al. MMIC LNAs for radioastronomy applications using advanced industrial 70 nm metamorphic technology[J]. IEEE Journal of Solid-

- State Circuits, 2010, 45(10): 2008-2015.
- [14] Pan D F, Duan Z M, Chakraborty S, et al. A 60~90 GHz CMOS double-neutralized LNA technology with 6.3 dB NF and -10 dBm IP_{1dB} [J]. IEEE Microwave and Wireless Components Letters, 2019, 29(7): 489-491.
- [15] Kong S, Lee H D, Jang S, et al. A 28 GHz CMOS LNA with stability-enhanced G_m -boosting technique using transformers[C]//2019 IEEE Radio Frequency Integrated Circuits Symposium. Piscataway: IEEE, 2019: 7-10.
- [16] Kobal E, Siriburanon T, Chen X, et al. A G_m -boosting technique for millimeter-wave low-noise amplifiers in 28 nm triple-well bulk CMOS using floating resistor in body biasing[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69(12): 5007-5017.
- [17] Liang C L, Tang B J, Zhao Y, et al. High gain and low power K-band LNA with reversed current-reuse topology[J]. IEEE Microwave and Wireless Technology Letters, 2023, 33(12): 1638-1641.
- [18] Ali S N, Aminul Hoque M, Gopal S, et al. A continually-stepped variable-gain LNA in 65 nm CMOS enabled by a tunable-transformer for mm-wave 5G communications[C]//2019 IEEE MTT-S International Microwave Symposium. Piscataway: IEEE, 2019: 926-929.
- [19] Chang J F, Lin Y S. 3.8 mW 26~29 GHz CMOS LNA with 21.6 dB gain and 2.49 dB NF_{avg} using dual self-bias and gain boosting[J]. IEEE Microwave and Wireless Technology Letters, 2024, 34(1): 72-75.
- [20] Du Y Q, Song M Y, Hou X P, et al. A 8~22.8 GHz dual feedback wideband CMOS low-noise amplifier including package effects[J]. Microelectronics Journal, 2025, 160: 106660.
- [21] Li S H, Fritsche D, Szilagy L, et al. A highly linear 79 GHz Low-Noise Amplifier for Civil-Automotive Radars in 22 nm FD-SOI CMOS with -6 dBm IP_{1dB} and 5 dB NF[C]//2021 16th European Microwave Integrated Circuits Conference. Piscataway: IEEE, 2022: 1-4.
- [22] Rajaiyan A, Saberi M. A highly-linear wideband differential low-noise amplifier using derivative superposition technique[C]//2022 30th International Conference on Electrical Engineering. Piscataway: IEEE, 2022: 480-484.
- [23] Wu Q, Qi G Z. An 18.6~27.6 GHz high-linear wideband low-noise amplifier based on gate-source and gate-drain magnetically coupled resonators[C]//2024 9th International Conference on Integrated Circuits and Microsystems. Piscataway: IEEE, 2024: 166-170.
- [24] Zhang H, Sánchez-Sinencio E. Linearization techniques for CMOS low noise amplifiers: A tutorial[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2011, 58(1): 22-36.
- [25] Luo J, Shen Y, Peng Y, et al. A 18~33 GHz CMOS LNA with 26.7 dB peak gain and 2.8 dB minimum NF for K/Ka-band applications[J]. AEU-International Journal of Electronics and Communications, 2024, 177: 155175.
- [26] Huang X R, Jia H K, Deng W, et al. 28 GHz compact LNAs with 1.9 dB minimum NF using folded three-coil transformer and dual-feedforward techniques for phased array systems[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2024, 71(8): 3573-3583.

作者简介



罗 将 男, 1990 年 8 月生, 江西赣州人。现为杭州电子科技大学电子信息学院副教授、博士生导师。主要研究方向为毫米波/太赫兹芯片关键技术, 以及电磁信息超材料与调控芯片的融合设计。中国电子学会会员编号: E190157506S。
E-mail: luojiang@hdu.edu.cn



罗 军 男, 2003 年 3 月生, 安徽安庆人。现为杭州电子科技大学硕士研究生。主要研究方向为射频集成电路设计。
E-mail: 1649456847@qq.com



曾新喜 男, 1989 年 6 月生, 湖南娄底人。现为北京科技大学副教授。主要研究方向为电子信息材料与器件。
E-mail: zengxinxi@ustb.edu.cn