

一种快速建立的低噪声带隙基准源设计与实现

伍锡安^{1,2}, 章泽臣^{1,2,3}, 袁圣越¹, 田 彤^{1,2,3}

(1. 中国科学院上海微系统与信息技术研究所, 上海 200050; 2. 中国科学院大学, 北京 100049;
3. 上海科技大学信息科学与技术学院, 上海 201210)

摘要: 基于 UMC 65nm CMOS 工艺设计实现了一种快速建立的低噪声带隙基准源. 利用工作在深线性区的 MOS 管实现了 GΩ 级别大电阻, 因此仅采用 5pF 的电容即实现了截止频率低至 32Hz 的带开关低通滤波器, 有效降低了带隙基准源输出噪声. 有源器件的采用大大节省了芯片面积, 降低了制作成本. 通过采用上电延时电路去控制低通滤波器工作状态, 克服了采用大阻值电阻或大容值电容低通滤波器降噪面临的缓慢建立问题, 实现了快速建立. 通过 Spectre 仿真器对电路在 1.8V 电源电压下进行了仿真, 后仿真结果表明, 电路在 10kHz、100kHz、1MHz 的输出噪声分别为: 11.76nV/sqrtHz、1.213 nV/sqrtHz、336.8 pV/sqrtHz, 电路的建立时间为 1.436μs, 整体功耗为 104.4μW. 本文设计已在实际芯片中得到应用, 并取得了预期效果.

关键词: 低噪声; 带隙基准源; 快速建立; 低通滤波器

中图分类号: TN43

文献标识码: A

文章编号: 0372-2112(2021)11-2195-07

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20201143

Design and Implementation of a Fast Set-Up and Low-Noise Bandgap Reference

WU Xi-an^{1,2}, ZHANG Ze-chen^{1,2,3}, YUAN Sheng-yue¹, TIAN Tong^{1,2,3}

(1. Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China;

3. School of Information Science and Technology, Shanghai Tech University, Shanghai 201210, China)

Abstract: A fast set-up and low-noise bandgap reference is designed and implemented with UMC 65nm COMS process. A GΩ level resistor is realized by using a MOS transistor working in deep triode region. Therefore, only a 5pF capacitor is used to realize a switching low-pass filter with a cut-off frequency as low as 32Hz, which effectively reduces the output noise of the bandgap reference. The use of active devices greatly saves chip area and reduces manufacturing costs. A power-on delay circuit is adopted to control the working state of the low-pass filter, which overcomes the problem of slow set-up by using low-pass filters with large resistance or large capacitance capacitors to reduce noise and achieve rapid set-up. The circuit is simulated under 1.8V supply voltage by spectre simulator. The post simulation results show that the output noise of the circuit at 10kHz, 100kHz, and 1MHz are 11.76nV/sqrtHz, 1.213 nV/sqrtHz, 336.8 pV/sqrtHz, respectively. The settling time of the circuit is 1.436μs, and the power consumption is 104.4μW. This design has been applied to the actual chips and achieved the expected effect.

Key words: low noise; bandgap reference; fast set-up; low pass filter

1 引言

带隙基准源作为模拟或数模混合电路中的关键模块, 被广泛的应用于 LDO、ADC/DAC、PLL、VCO 等电路中. 在高性能应用中各个模块的噪声性能对整个系统性能起着决定性作用^[1-3]. 各个模块自身噪声得到了极

大优化之后, 带隙基准源输出噪声对各个模块噪声影响变得十分关键^[1-4]. 为降低带隙基准源的输出噪声, 以避免对其它模块噪声性能造成恶化, 有许多技术被采用. 传统方法通过在带隙基准源输出端外挂一个大电容实现一个很好的噪声性能, 但是外挂电容需要一个

额外的焊盘和引脚,这会增加芯片面积和封装难度,使得成本增加;文献[4]采用了电阻电容组成的低通滤波器以降低带隙基准源的输出噪声;这两种方法都有一个弊端,为了滤除足够低频的噪声,往往需要使用很大阻值电阻或很大容值电容,一方面无源器件的集成需要占据很大芯片面积,另一方面大的电阻和电容,将会导致一个非常大的时间常数,会使得带隙基准源需要一个很长瞬态响应时间.文献[5]采用了斩波技术将低频噪声进行转移,在低频处即实现了很低的 $1/f$ 噪声,但是该技术的实现需要额外采用非交叠时钟,增加了电路的复杂性,并且由于开关的时钟注入效应会引入新的失配;文献[6,7]在采用斩波技术的同时采用了陷波滤波器作为输出端的滤波器,进一步减小了输出电压的纹波,但是增加的陷波滤波器中使用的电容进一步增加了芯片面积和时钟电路的需求.文献[8]提出了一种噪声抑制技术,使用了达林顿结构的BJT管,相比传统结构双极型晶体管的使用需要占据更多面积,同时该结构对器件参数的设置非常灵敏和严格,对器件之间的匹配性要求很高.为了实现低噪声的带隙基准源,同时克服以上技术的弊端,本文对传统基于有源器件的低通滤波器进行了改进^[4,9,10],提出了带开关的低通滤波器结构,同时基于上电延时技术控制低通滤波器的开关状态,使带隙基准源获得了低噪声和快速建立性能.

2 提出的带隙基准源

本文提出的带隙基准源电路框图如图1所示,包括了基准源核心电路、低通滤波器、上电延迟电路.通过基准核心电路产生一个1.2V的输出电压 V_{BGR} ,通过低通滤波器对带隙基准源的输出电压 V_{BGR} 进一步降噪,实现低噪声输出电压 V_{REF} .对低通滤波器通过上电延时电路进行控制,实现在上电建立过程中使低通滤波器被旁路,最终实现带隙基准源的快速建立.

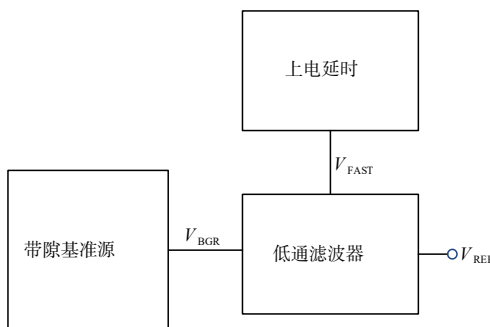


图1 提出的带隙基准源系统框图

2.1 带隙基准源基本原理

本文所采用的带隙基准源核心电路如图2所示.包括误差放大器 A_V 、PNP三极管 $Q_1/Q_2/Q_3$ 、晶体

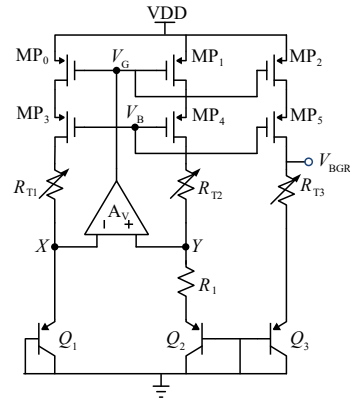


图2 提出的带隙基准源核心

管 $MP_0/MP_1/MP_2$ 、 $MP_3/MP_4/MP_5$ 、电阻 R_1 、电阻 $R_{T1}/R_{T2}/R_{T3}$ 等.晶体管 $MP_0/MP_1/MP_2$ 、 $MP_3/MP_4/MP_5$ 构成共源共栅电流镜,可以有效提升电流的镜像精度以及改善带隙基准源对电源噪声的抑制能力.电阻 $R_{T1}/R_{T2}/R_{T3}$ 大小一致,实现MOS管 $MP_3/MP_4/MP_5$ 漏端电压的匹配,有效减小沟道调制效应对共源共栅电流镜匹配度的影响,同时电阻 $R_{T1}/R_{T2}/R_{T3}$ 可通过开关控制进行阻值调整.运放 A_V 提供足够的增益使得节点 X 、 Y 处电压相等,即 $V_X \approx V_Y$. 从而有:

$$V_{BEQ1} = V_{BEQ2} + I_{PTAT} R_1 \quad (1)$$

对三极管有:

$$I_C = I_S \frac{V_{BE}}{V_T} \quad (2)$$

式中 I_C 为三极管集电极电流; I_S 为三极管反向饱和电流,与温度、工艺和三极管的面积相关; V_T 为热电压,并且 $V_T = KT/q$ (K 为玻尔兹曼常数, q 为电荷量, T 为温度),为一个与温度成正比的物理量.由式(1)、式(2)可得:

$$I_{PTAT} = \frac{KT \ln(n)}{R_1} \quad (3)$$

由式(3)可知 I_{PTAT} 为一个与温度成正比的电流,该电流通过电流镜 $MP_0/MP_1/MP_2$ 镜像到输出支路,流经电阻 R_{T3} . 因此输出电压:

$$\begin{aligned} V_{BGR} &= V_{BEQ3} + I_{PTAT} R_{T3} \\ &= V_{BEQ3} + KT \ln(n) \frac{R_{T3}}{R_1} \end{aligned} \quad (4)$$

式(4)中 V_{BEQ3} 是一个具有负温度系数的电压量,电阻 R_{T3} 上流经正温度系数的电流产生一个正温度系数的电压,通过设计晶体管 Q_1 和 Q_2 的尺寸比例 n 、电阻 R_{T3} 与电阻 R_1 的比值,可以获得一个与负温度系数绝对值相等的正温度系数,从而实现常温下的零温度系数输出电压 V_{BGR} .

2.2 噪声分析

文献[11]对带隙基准源的噪声进行了详细的分析,对带隙基准源的输出产生显著影响噪声源为误差放大器的噪声、MOS管噪声、电阻热噪声、三极管噪声.通过采用大尺寸的输入对管可以有效降低误差放大器的输出噪声,从而减小带隙基准源输出噪声;使用大的晶体管 Q_2/Q_1 的尺寸比例,可以减小电阻 R_{T3}/R_1 的值从而减小基准源的输出噪声.

本文采用低通滤波器对带隙基准源噪声进行滤除.传统的无源低通滤波器如图3所示.节点 V_{IN} 的噪声电压经过低通滤波器后的输出噪声电压 V_{OUT} 的传输函数如下式:

$$V_{OUT}(s) = \frac{V_{IN}(s)}{1 + sRC} \quad (5)$$

式中 $s = j\omega$,而 $\omega = 2\pi f$,因此

$$V_{OUT}(f) = \frac{V_{IN}(f)}{1 + 2\pi fRC} \quad (6)$$

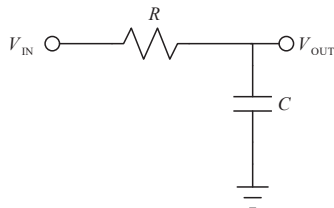


图3 传统RC低通滤波器

根据式(6)可知截止频率 $f_c = 1/2\pi RC$,为了获得很低截止频率,往往需要很大阻值电阻或很大容值电容来滤除低频噪声.采用无源器件实现的电阻或电容需要占据很大芯片面积,甚至是使用外挂的电容器件,增加额外的引脚,大大增大制造或封装成本.因此本文基于MOS器件实现低通滤波器,同时在传统基于MOS器件实现的低通滤波器^[4,9,10]上增加了控制开关,如图4所示.MOS管 MN_1 的栅端和源端共同接地,构成一个电流大小在nA级别的电流源 I_D ,为MOS管 MP_6 提供偏置. MP_6 具有很大的尺寸并且远远大于 MP_7 的尺寸,当足够小的电流 I_D 流经大尺寸的 MP_6 时, MP_6 的源漏端电压十分接近,因此MOS管 MP_7 栅源端电压也几乎一样,在此条件下器件 MP_7 工作在深线性区,可等效为一个G Ω 级别的大电阻 R . MP_7 等效的G Ω 级别电阻与电容 C 实现了一个截止频率很低的低通滤波器.本文设计的 MP_7 等效电阻为 $1G\Omega$,电容大小为 $5pF$,得到的截止频率为 $32Hz$,足以滤除几十Hz及以上频率的噪声电压,从而实现低噪声的带隙参考源.控制开关由被信号 V_{FAST} 控制的MOS管 MP_8 构成,为使 MP_8 等效电阻足够小, MP_8 采用足够大尺寸.为了进一步节省面积,同时使用MOS电容和普通电容方式构成滤波器中所需电容 C ,如图4

中所示 C_0 和 MN_0 ,在版图绘制时能够堆叠在一起,以降低制作成本.

2.3 建立时间和上电延时电路

对式(6)进行拉普拉斯逆变换可得:

$$V_{OUT}(t) = V_{IN}(t)(1 - e^{-t/RC}) \quad (7)$$

根据式(7)可知在使用nF乃至 μF 级别电容或几百M Ω 乃至G Ω 电阻的低通滤波器时,带隙基准源的输出电压 V_{BGR} 经过低通滤波器输出 V_{REF} ,具有一个很大的时间常数 $\tau = RC$,如本文中电阻为 $1G\Omega$,电容为 $5pF$ 时, $\tau = 0.005s = 5ms$.这意味着电路瞬态响应很慢,需要很长的建立时间,达到了毫秒级别.这一缺陷导致使用大电阻或大电容的低通滤波器降低带隙基准源的噪声技术应用受到了限制.为了改善使用大电容滤波器导致的带隙基准源建立时间性能.本文提出了如图4所示的带开关低通滤波器结构,通过控制开关管 MP_8 的导通与截止来加快带隙基准源的建立过程.在上电过程中,通过POR电路产生延时,使开关管 MP_8 处于闭合状态,此时大电阻 R 被短接,而电容 C 仅 $5pF$,因此电路能够很快建立,即 V_{REF} 能够在几个微秒的时间内达到 $1.2V$.在带隙基准源产生稳定的输出后,POR延时电路输出一个高电平电压,使得开关管 MP_8 断开,此时大电阻 R 连接在 V_{BGR} 和 V_{REF} 之间,与电容 C 构成一个截止频率很低的低通滤波器,能够滤除几Hz及以上的噪声.

本文所设计的上电延时电路核心如图5所示,电阻 R_3 与 R_4 对电源上电过程进行跟踪,当节点 V_g 处电压达到阈值电压 V_{th} 后,节点 V_c 处电压 V_{cl} 开始上升,当 V_{cl} 上升到由 MP_{11} 和 MN_3 组成的反相器的阈值时,节点 V_o 输出低电平,由 MP_{12} 和 MN_4 组成的反相器输出高电平,即节点 V_{FAST} 处电压从低电平变为高电平,去控制带开关的低通滤波器的工作模式切换.阈值电压 V_{th} 大小由MOS管 MN_1 、 MN_2 和电阻 R_1 、 R_2 决定^[12].

本文通过增加数字逻辑电路对 V_{FAST} 电压的延时

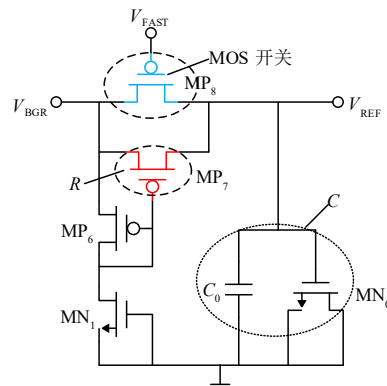


图4 MOS开关控制的低通滤波器

时间长度进一步进行控制,以保证在带隙基准源稳定工作后所设计的低通滤波器才开始工作,滤除噪声,实现快速低噪声的目的.电容 C_1 能够进一步保证在各种上电情况下电路能够正常工作.仿真结果如图6所示,仿真结果表明,上电延时电路在上电过程中,在经过 $4.75\mu\text{s}$ 的延时后输出一个接近VDD的高电平电压.

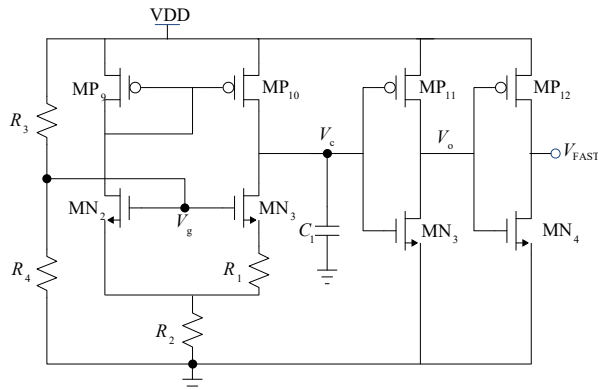


图5 上电延时电路核心

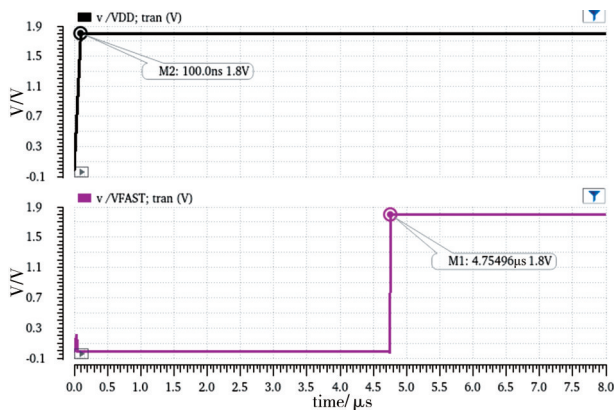


图6 上电延时电路仿真结果

2.4 输出电压精度

在高性能应用当中,输出电压精度也十分关键,为了实现输出电压具有高精度,本文基于温度编码对电阻进行校准.设计的校准网络如图7所示,电阻 R 为基本单元,且每个单元的阻值相同,MOS管作为控制开关,共实现了21位电阻校准网络,温度编码控制信号通过SPI(Serial Peripheral Interface)接口电路产生.MOS管的等效电阻不能够影响到电阻 R 的值,因此在设计时对尺寸进行了合理的选择.由于每个单元的电阻阻值相同,因此开关管尺寸一致,能够实现很好的匹配度.每一位的精度为 3.2mV ,整个校准范围为 $0\sim 67.2\text{mV}$,可以适用于较大范围的校准,满足不同工艺角的电压偏离的校准需求.

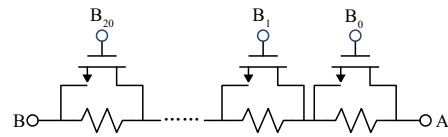


图7 电阻校准网络

3 仿真和测试结果

本文设计的电路基于UMC65nm工艺实现,图8为电路的版图.基准源核心部分和低通滤波器面积为 $310.1\mu\text{m}\times 163.63\mu\text{m}$,上电延时单元面积为 $58.53\mu\text{m}\times 49.6\mu\text{m}$.整体占用面积为 0.0536mm^2 .

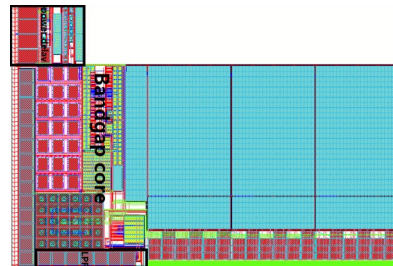


图8 提出的带隙基准源版图

基于spectre对电路进行仿真,在 1.8V 的电源电压下,带隙基准源输出电压为 1.2005V (常温),不同工艺角下通过校准网络可以实现对输出电压偏差的校准,电路消耗的电流为 $58\mu\text{A}$,整体功耗为 $104.4\mu\text{W}$.图9为电路的电压噪声后仿真结果,结果显示采用所提出带开关低通滤波器后基准源在 10kHz 、 100kHz 、 1MHz 频率处的输出噪声分别为: $11.76\text{nV}/\sqrt{\text{Hz}}$ 、 $1.213\text{nV}/\sqrt{\text{Hz}}$ 、 $336.8\text{pV}/\sqrt{\text{Hz}}$,未采用所提出低通滤波器进行噪声滤除 10kHz 、 100kHz 、 1MHz 的输出噪声分别为: $316.4\text{nV}/\sqrt{\text{Hz}}$ 、 $249.3\text{nV}/\sqrt{\text{Hz}}$ 、 $187.6\text{nV}/\sqrt{\text{Hz}}$.结果表明采用所提出的带开关低通滤波器后带隙基准源的噪声得到了极大的改善.图10为电路的瞬态响应后仿真结果,结果表明带隙基准源输出电压最终为 1.2V ,利用settling-

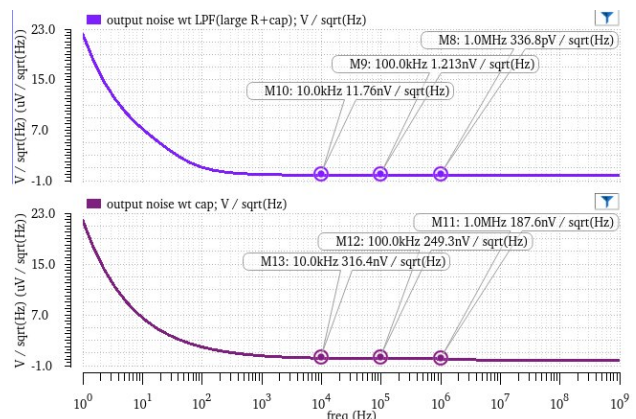


图9 输出噪声后仿真对比

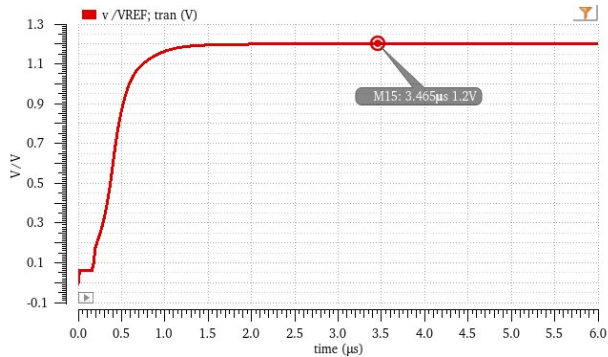


图 10 采用上电延时电路改善带隙基准源瞬态响应的仿真

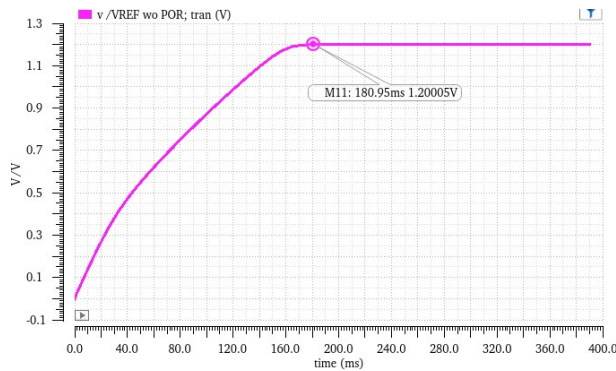


图 11 未采用上电延时带隙基准源瞬态响应的仿真

time 函数设置容差为 0.5% 得到建立时间为 1.436 μ s. 图 11 为 POR 功能关闭时电路瞬态响应的仿真结果, 结果显示电路在经过 180.95ms 后达到 1.2V, 即稳定建立状态. 因此表明在采用了 POR 电路控制开关管工作状态下, 电路的瞬态建立时间得到了极大的改善, 从毫秒级缩短至微秒级. 表 1 给出了仅采用与本文设计的低通滤波器使用同样大小的电容 C 作为输出滤波结构带隙基准源性能, 以及采用同样的低通滤波器但是未采用上电延时电路改善瞬态建立过程的带隙基准源性能与本文设计的带隙基准源性能对比. 图 12 为电路的蒙特卡洛仿真, 结果表明在考虑到工艺角和失配的情况下基准源具有 1σ 为 14.35mV 精度. 通过校准网络可以进一

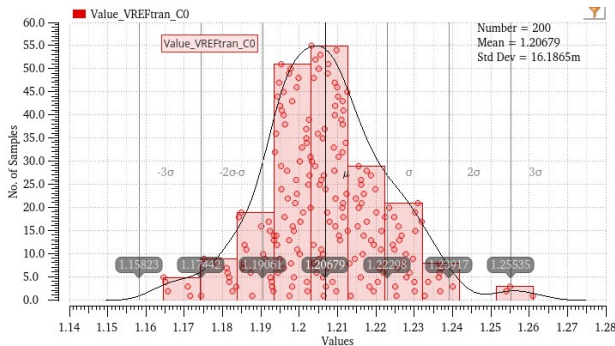


图 12 蒙特卡罗仿真

表 1 不同情况下带隙基准源的噪声和建立时间对比

LPF 结构	建立时间	Noise@1MHz
C	1.436 μ s	187.6 nV/sqrtHz
$R+C$	180.95ms	336.8 pV/sqrtHz
$R+C+POR$	1.436 μ s	336.8 pV/sqrtHz

步进行校准.

设计的带隙基准源应用于系统中给低压差线性稳压器 (Low dropout regulator, LDO) 等提供参考电压, 图 13 为带隙基准源和 LDO 的芯片图. 图 14 为瞬态测试结果图, VDD 为电源电压, 由于 PCB 板放置了大电容滤波, 导致上电时间比较长. V_{FAST} 为上电延时电路的输出, V_{REF} 为带隙基准源经过 LDO 的输出. 仿真结果表明在电路稳定建立后 V_{FAST} 才变为高电平使低通滤波器开始工作, 建立时间缩短至微秒级. 为了方便测试输出噪声, 所设计的带隙基准源经过 LDO 引出测试端口, 输出噪声仿真和测试结果分别如图 15~16 所示. 仿真和测试结果表明所设

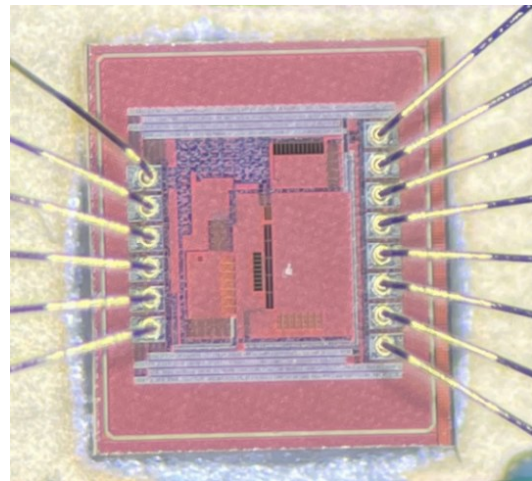


图 13 带隙基准源测试单元芯片显微照片

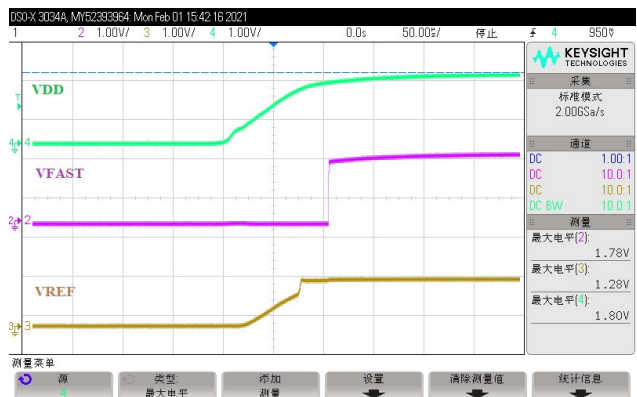


图 14 带隙基准源瞬态测试结果图

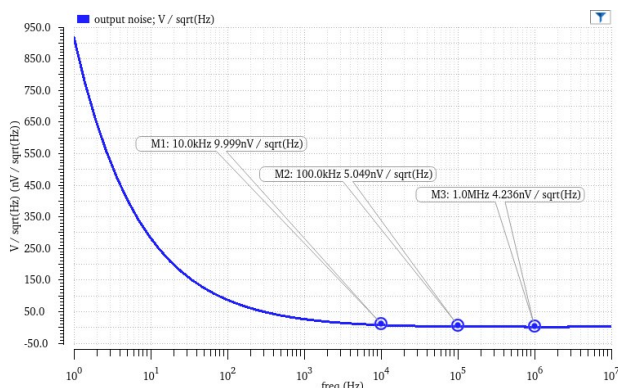


图 15 带隙基准源经过 LDO 后输出噪声仿真

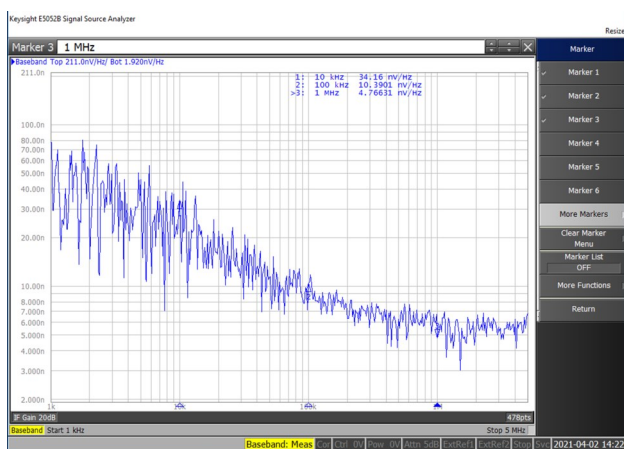


图 16 带隙基准源经过 LDO 后输出噪声测试结果

计的带隙基准源具有快速建立和低噪声性能。

4 结论

本文基于 UMC65nm 工艺实现了一种低噪声快响应的带隙基准源.通过采用基于 MOS 管实现的低通滤波器,一方面实现了带隙基准源的输出低噪声,一方面极大地节省了芯片面积,不增加芯片的制作和封装成本.同时在 LPF 增加一个与等效大电阻 MOS 管并联的开关管,并通过 POR 电路控制开关管的导通与断开,使低通滤波器仅在带隙基准源稳定建立后开始发挥作用,实现了带隙基准源的快速响应.总而言之,本文提出的带隙基准源克服了传统大电容大电阻低通滤波器实现低噪声输出电压需要大面积和长建立时间的弊端,能够很好的适用于高性能需求的应用场合。

参考文献

[1] Wang J P, Jiang J G, Zhou X F. Less occupied and ultra-low noise LDO design[J]. Analog Integrated Circuits and

Signal Processing, 2014, 81(2):453 – 459.

- [2] Li Jing-hu, Zhang Xing-bao, Yu Ming-yan. A 166MS/s 31mW pipelined interpolating ADC in 0.18 μ m CMOS with on-chip LDO regulator[A]. Proceedings of 2011 Cross Strait Quad-Regional Radio Science and Wireless Technology Conference[C]. Harbin, China: IEEE, 2011.1520 – 1523.
- [3] 王镇道, 伍锡安, 朱小莉. 一种新型低压低功耗伪差分环形压控振荡器设计[J]. 湖南大学学报(自然科学版), 2017, 44(10):117 – 122.
- Wang zhen-dao, Wu xi-an, Zhu xiao-li. Design of a novel low-voltage low-dissipation pseudo differential ring VCO [J]. Journal of Hunan University: Natural Sciences, 2017, 44 (10):117 – 122.(in Chinese)
- [4] Zhang W J, Liu M L, Xie L, et al. Low noise voltage reference for MEMS acceleration sensor readout circuit[A]. 2016 13th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT) [C]. Hangzhou, China: IEEE, 2016. 943 – 945.
- [5] Lingjie P, Xiangliang J, Mengliang L. Design and optimization of a low-noise voltage reference using chopper stabilization technique[J]. Chinese Journal of Electronics, 2017, 26(5):981 – 985.
- [6] Ge G, Zhang C, et al. A single-trim CMOS bandgap reference with a 3σ inaccuracy of $\pm 0.15\%$ from -40°C to 125°C [J]. IEEE Journal of Solid-State Circuits, 2011, 46(11): 2693 – 2701.
- [7] Lv D, Ma H, Liu F, et al. A curvature corrected bandgap reference with mismatch cancelling and noise reduction [A]. 2019 IEEE 13th International Conference on ASIC [C]. Chongqing, China: IEEE, 2019. 1 – 4.
- [8] Liu L, Liao X, Mu J. A 3.6 μ Vrms noise, 3 ppm/ $^{\circ}\text{C}$ TC bandgap reference with offset/noise suppression and five-piece linear compensation[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(10): 3786 – 3796.
- [9] Mannama V, Sabolotny R, Strik V. Ultra low noise low power LDO design[A]. 2006 IEEE International Biennial Baltic Electronics Conference[C]. Tallinn, Estonia: IEEE, 2006. 1 – 4.
- [10] 张伟, 袁圣越, 田彤. 一种高电源抑制比无片外电容 LDO 设计[J]. 电子设计工程, 2018, 26(3):93 – 97.
- Zhang wei, Yuan sheng-yue, Tian tong. Design of a high PSR output-capacitor-less LDO[J]. Electronic Design Engineering, 2018, 26(3):93 – 97.(in Chinese)

[11] Sanborn K, Ma D, Ivanov V. A sub-1-v low-noise band-gap voltage reference[J]. IEEE Journal of Solid-State Circuits, 2007, 42(11): 2466 – 2481.

[12] 蔡语昕, 丁川, 钱润发. 电源检测电路及方法[P]. CN108649939A.

作者简介



伍锡安 男, 1992年10月生于湖南邵阳, 中国科学院大学/中国科学院上海微系统所博士研究生, 研究方向为模拟/数模混合集成电路设计.
E-mail: wuxa@mail.sim.ac.cn



袁圣越 男, 1986年10月生于江苏南京, 硕士研究生毕业于华东师范大学, 长期从事模拟/射频集成电路及系统设计的研发工作.



章泽臣 男, 1996年10月生于江苏宿迁, 上海科技大学信息科学与技术学院硕士研究生, 研究方向为模拟/数模混合集成电路设计.



田彤(通信作者) 男, 1968年生于陕西西安, 博士, 研究员, 博士生导师. 1998年至2001年先后在西安电子科技大学、新加坡南洋理工大学任副教授. 2010年引进中科院上海微系统与信息技术研究所. 长期从事模拟/射频集成电路及系统设计的研发工作.
E-mail: tiantong@mail.sim.ac.cn