

# 一种适用于氮化镓半桥结构的高可靠性差分电流补偿电平移位电路

赵 鹏, 姜 梅

(深圳大学电子与信息工程学院, 广东深圳 518061)

**摘 要:** 为了提高氮化镓半桥结构的抗  $dv/dt$  特性, 提出了一种适用于氮化镓半桥结构的高可靠性差分电流补偿新颖电平移位电路. 该电路在自举电容作用下, 将 0 V~5 V 输入电压转换为 35 V~40 V 输出电压, 并且在浮点电压快速变化过程中, 输出的驱动电压均保持稳定. 电路采用电流镜结构传输信号, 能够实现电平信号的快速传递, 有效地减小传输延迟. 对于浮点电压的快速变化导致移位电平器输出变化的问题, 采用新颖的差分电流结构进行电流补偿, 提高电路的抗  $dv/dt$  特性, 获得高可靠性的输出电压. 本电路基于标准 0.35  $\mu\text{m}$  BCD 工艺 40 V 的 LDMOS 耐压器件, 对该电平移位电路在 1 MHz 频率下进行验证. 结果表明上升沿响应延迟为 587.184 ps, 下降沿响应延迟为 832.144 ps, 抗正的  $dv/dt$  变化为 116 V/ns 以及对负  $dv/dt$  变化不敏感, 该电路具有高速、高可靠性优点.

**关键词:** 氮化镓; 电平移位; 电流补偿; 半桥结构; 自举电容; 降压式变换电路

中图分类号: TN432

文献标识码: A

文章编号: 0372-2112(2022)11-2561-07

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20210827

## A High-Reliability Differential Current Compensation Level Shift Circuit for GaN Half-Bridge

ZHAO Peng, JIANG Mei

(College of Electronics and Information Engineering, Shenzhen University, Shenzhen, Guangdong 518061, China)

**Abstract:** In order to improve the power supply slew tolerance of the GaN half-bridge structure, a high-reliability differential current compensation level shift circuit suitable for GaN half-bridge structure is proposed. With the help of bootstrap capacitor, this circuit converts the input voltage of 0 V to 5 V into the output voltage of 35 V to 40 V and the output driving voltage remains stable during the rapid change of floating-point voltage. The circuit adopts a current mirror structure to transmit signals, which can realize the rapid transmission of level signals and effectively reduce the transmission delay. Since the rapid changing of the power supply voltage causes the output of the level shifter to change, in order to solve this issue, we propose a differential current structure, which is used for current compensation to improve the power supply slew tolerance and stabilize the output result based on the standard 0.35  $\mu\text{m}$  BCD(Bipolar-CMOS-DMOS) process and 40 V LD-MOS(Laterally Diffused Metal-Oxide Semiconductor) high voltage devices, the level shift circuit is verified at 1 MHz frequency. The results show that the rising edge response delay and the falling edge response delay are 587.184 ps and 832.144 ps, respectively, a 116 V/ns positive power-rail slew tolerance and infinite negative slew tolerance. This circuit has the advantages of high speed and high reliability.

**Key words:** GaN; level shifter; current compensation; half bridge structure; bootstrap capacitor; buck

### 1 引言

随着半导体材料的发展, 第三代半导体氮化镓逐渐进入人们的视野, 因其应用频率高, 传输速度快, 寄生电容小等优势, 逐渐代替原有的 MOS 功率管应

用于电源系统中各个方面<sup>[1,2]</sup>. 在 Dual-NMOS 高压半桥驱动电路中, 氮化镓功率管作为高压域和低压域的开关管代替原有 MOS 功率管, 高压域氮化镓功率管快速的开关动作引起的  $dv/dt$  变化会通过自举电容

收稿日期: 2021-07-01; 修回日期: 2021-09-27; 责任编辑: 覃怀银

基金项目: 广东省重点科技产业质量基础共性技术研究及应用(No.2020B0404030004)

耦合到前一级的电平移位电路,电平移位电路实现高压域和低压域之间的电平转换,由于电平移位电路的耐高压输入管存在很大的寄生电容,则会产生对于寄生电容的充电或者放电电流,影响电平移位电路正常工作,导致高压域的驱动电路逻辑电平发生错误<sup>[3,4]</sup>.文献[5]中提出了一种交叉开启 MOS 管结构的补偿电流设计,直接为寄生电容充电,但是由于 MOS 管失配影响,抗  $dv/dt$  干扰性能不高.文献[6]中采用基于电流镜的交叉耦合移位设计,但是由于高压管寄生电容的往往不同,导致抗  $dv/dt$  性能不高.文献[7]对文献[6]进行了改进,但是由于引进了多路电流,增大了整个移位电平设计的复杂性,同时增加大电路的传输延迟.文献[8]虽然采用了恒定电流补偿结构对电平移位器进行电流补偿,但是恒定电流补偿增加了传输延迟.

针对上述问题,本文设计一种新颖的高速、抗浮点电压的  $dv/dt$  变化的差分电流补偿电平移位电路,可以适用于用氮化镓功率管代替原有 Dual-NMOS 半桥结构中 MOS 功率管作为开关管,降低  $dv/dt$  变化对于电路的影响.采用电流镜结构,实现电平移位电路的高速传输,采用新颖的差分电流补偿结构,改善电平移位电路对浮点电压  $dv/dt$  变化的抗干扰性,提高电路的可靠性,同时减少补偿模块对电平移位电路传输延迟的影响.

## 2 高压半桥结构中存在 $dv/dt$ 问题

在传统的高压半桥结构中, Dual-NMOS 的半桥结构如图 1 所示,现如今用氮化镓功率晶体管代替原来 MOS 功率管作为开关管,自举电容  $cap$  在低侧驱动管开启时候充电,低压域的驱动管驱动结束时自举电容充电完成,然后通过自举电压来对高侧的电路模块进行供电,由于有浮动共模地  $V_{sw}$  的存在要求前一级电平移位电路 (level shift) 具有很好的抗  $dv/dt$  特性.如图 2 所示,由于在极短的时间里面输出电压从 0 变成  $V_{in}$ , 形成一个很大的  $dv/dt$  变化,此变化会通过

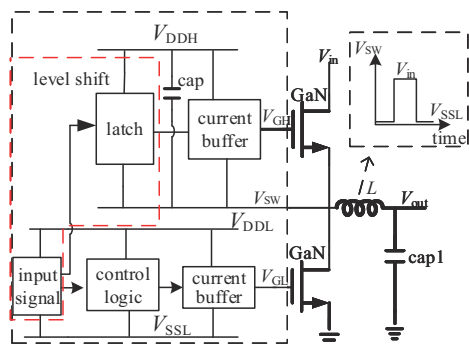


图1 高压半桥系统

自举电容耦合到前一级的电容  $C_1$  和  $C_2$  ( $C_1$  和  $C_2$  为 LD-MOS 管 HN1 和 HN2 的寄生电容),当电源轨发生  $dv/dt$  变化时,电源会对寄生电容进行充电,产生很大电流, A 点的电压下降,导致后级驱动输出错误的逻辑电平,所以移位电平器设计必须要有很大的抗  $dv/dt$  特性,保证当电源轨发生  $dv/dt$  时,电平移位电路输出保持稳定.

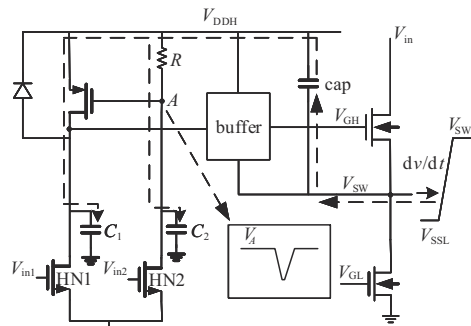


图2 电源  $dv/dt$  变化

## 3 改进型电平移位电路

### 3.1 基于电流镜改进的电平移位电路

基于电流镜的电平移位电路如图 3<sup>[5]</sup>所示,  $V_{in1}$  和  $V_{in2}$  是通过短脉冲触发的, RS 锁存器的输入信号为  $V_{out1}$  和  $V_{out2}$ , 依靠锁存器将  $V_{out1}$  和  $V_{out2}$  锁存, 持续输出. HN1 和 HN2 是两个高压 MOS 管, 具有很大的寄生电容. 当发生  $dv/dt$  干扰的时候,  $V_{out1}$ 、 $V_{out2}$  的电压同时降低, 使得 PM5、PM6、PM7、PM8 同时开启,  $I_A$  和  $I_B$  电流为高压管 HN1 和 HN2 的寄生电容  $C_1$ 、 $C_2$  充电, 以保证  $V_{out1}$  和  $V_{out2}$  的输出逻辑值不发改变, 但是由于寄生电容  $C_1$  与  $C_2$  的不匹配, 以及由于工艺原因, 补偿管 PM5~PM8 的阈值电压、栅长与栅宽都存在失配, 导致该电平移位电路抗  $dv/dt$  性能不高.

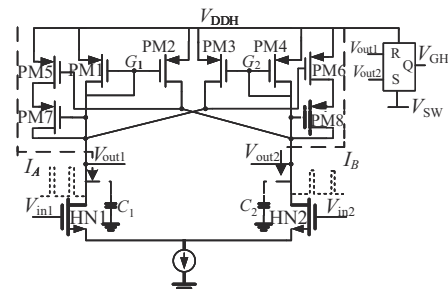


图3 基于电流镜的电平移位电路

### 3.2 二次锁定的电平移位电路

具有二次锁定的电平移位器如图 4<sup>[8]</sup>所示, 高压管 HN1、HN2 同样是通过短脉冲进行触发, MP4、MN4 与 MP5、MN5 构成交叉耦合结构, 可以抵消在发生  $dv/dt$

时由高压管HN1和HN2的寄生电容引入的电流,但是高压管HN1、HN2由于工艺原因,其寄生电容不完全相同,所以交叉耦合结构并不能完全抵消由于寄生电容引起的电流,在这里通过电阻 $R$ 引入了一个恒定的电流补偿结构,根据电路输出状态 $V_{out1}$ 与 $V_{out}$ 的不同,额外增加了两路电流分别对A、B两点进行补偿,对输出状态进行二次锁定.例如,当 $V_{out}=0, V_{out1}=1$ 时, MN9管镜像MN7管的电流,反相器INV2对B点提供一个恒定的下拉的作用, MP10管镜像MP11管的电流,反相器INV1对A点提供一个恒定的上拉的作用.当 $V_{out}=1, V_{out1}=0$ 时, MP9管镜像MP11的电流,反相器

INV2对B点提供一个恒定的上拉的作用, MN6管镜像MN7电流,反相器INV1对A点提供一个恒定的下拉的作用.该电路用两路恒定电流抵消由于寄生电容不同而引入的电流偏差,使A、B两点电压稳定.但是由于恒定电流补偿结构是一直处于工作状态,不能区分由 $dv/dt$ 产生的寄生电流与 $V_{in1}$ 、 $V_{in2}$ 驱动脉冲产生的信号电流,只有当 $V_{in1}$ 或 $V_{in2}$ 产生脉冲电流大于补偿结构的恒定电流时,整个电路才能正常工作,补偿电流与信号电流会相互抵消一部分,该二次锁定的电平移位电路虽然提高了 $dv/dt$ ,但是也增加了驱动信号的传输延迟.

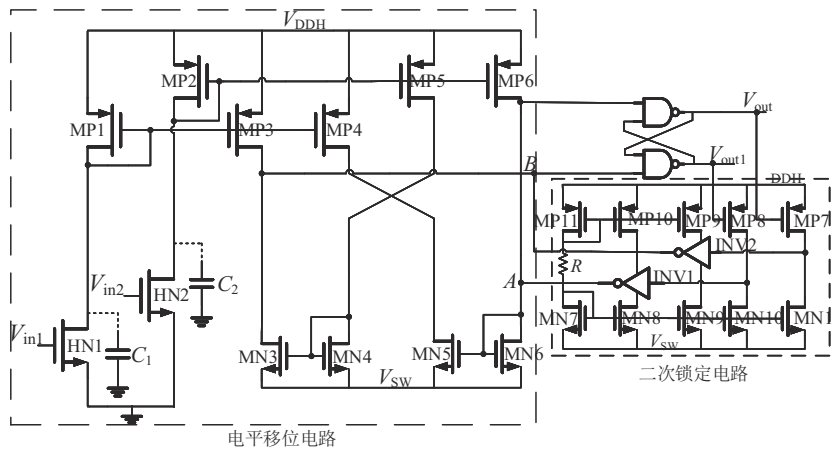
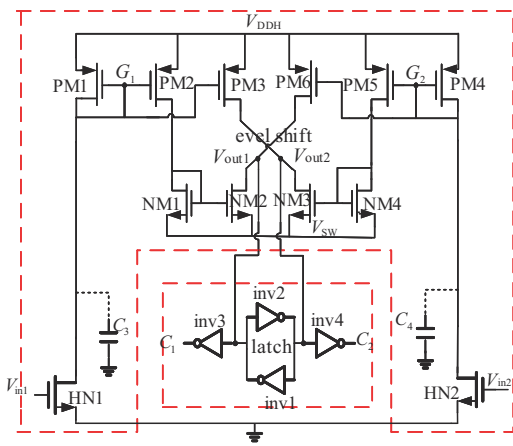


图4 基于恒定电流补偿的电平移位器

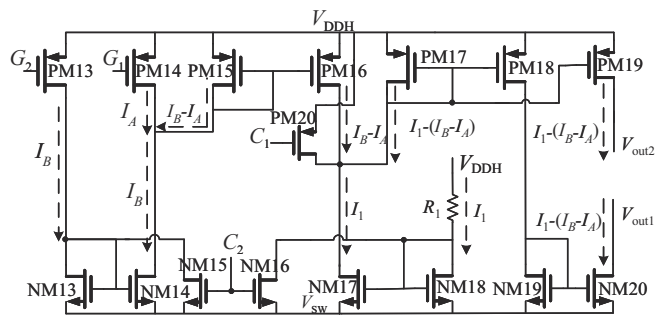
#### 4 新型电流补偿的移位电路

本文提出一款新颖的基于差分电流补偿的电平移位电路,如图5所示.图5(a)电平移位电路包括电平移位和锁存电路模块,HN1、HN2是高压LDMOS管,

PM1~PM6以及NM1~NM4组成基于电流镜的交叉耦合结构,该结构在一定程度上可以抵消由高压管HN1、HN2的寄生电容引起的电流,锁存器由四个反相器组成,传输速度快.图5(b)是一个差分电流补偿模块.



(a) 电平移位电路



(b) 差分电流补偿电路

图5 基于差分电流补偿的电平移位电路

### 4.1 移位电平器模块工作状态

当  $V_{in1}=1, V_{in2}=0$  时,  $G_1$  点的电压下降, PM1 管开启, PM4 关闭, PM2、PM3 镜像 PM1, PM5、PM6 关闭, PM3 管对  $V_{out2}$  产生上拉作用, NM2 管对  $V_{out1}$  产生下拉作用,  $V_{out2}=1, V_{out1}=0$ , 锁存器模块锁存器  $V_{out2}$  和  $V_{out1}$  的值.

当  $V_{in1}=0, V_{in2}=1$  时,  $G_2$  点的电压下降, PM4 管开启, PM1 管关闭, PM5、PM6 镜像 PM4 的电流, PM2、PM3 关闭, NM3 管对  $V_{out2}$  点产生下拉作用, PM6 对点  $V_{out1}$  产生上拉作用,  $V_{out2}=0, V_{out1}=1$ , 锁存器模块锁存器  $V_{out2}$  和  $V_{out1}$  的值. 电源电压向下跳变, 即电路发生负  $dv/dt$ , 如图 6 所示,  $G_1$  和  $G_2$  点电压升高, PM1 与 PM4 管的栅极电压最高不会超过  $V_{DDH} + V_f, V_f$  是源极与衬底之间的寄生二极管产生的电压, PM2 管与 PM5 管处于截止状态, 其他 MOS 管无镜像电流, 不会对锁存器产生影响, 所以此电路具有很好的抗负  $dv/dt$  特性. 当电源电压向上跳变时, 即电路发生正的  $dv/dt$  时, 如图 7 所示, 在高压晶体管 HM1、HM2 寄生电容完全匹配的情况下, 可以消除由于正  $dv/dt$  引起的寄生电流. 但是由于工艺原因, HN1 和 HN2 高压管寄生电容并不能完全匹配, 这

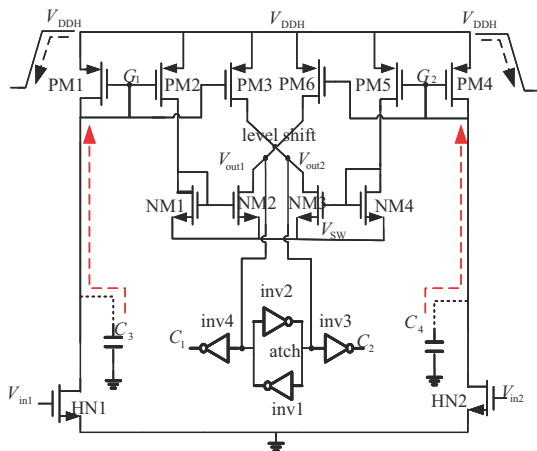


图 6 负  $dv/dt$  对电路影响

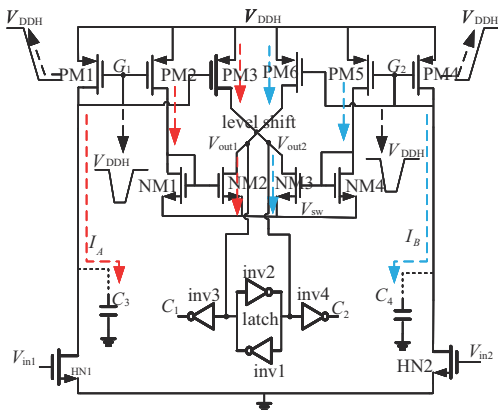


图 7 正  $dv/dt$  对电路影响

样就可能导致寄生电流  $I_A$  和  $I_B$  不能完全抵消, 信号电平受到  $dv/dt$  的影响, 会使得原低压域传到高压域的信号发生变化, 锁存器锁存错误的信号, 导致输出错误的逻辑电平. 所以本文引入了新颖的差分电流补偿模块, 对发生正的  $dv/dt$  时, 进行电流补偿, 以稳定电平移位电路的输出.

### 4.2 差分电流补偿模块

差分电流补偿模块如图 5(b) 所示, 当出现正的  $dv/dt$  时, 高压管的失配所引入的不同寄生电流将对输出信号产生影响, 为了尽可能地消除这种影响, 提出了差分电流补偿模块, 将失配电流和引入差分电流相抵消, 在不改变原有结构的基础上可以提高电路的抗  $dv/dt$  性能. 当  $C_1=0, C_2=1$  时, 补偿模块失效, 反之  $C_1=1, C_2=0$  时, 差分电流补偿模块对移位电平电路起电流补偿作用, 同时对原有结构的传输延迟影响可以忽略不计, 此结构具有普遍适用性, 可以适用各种类型的电平移位电路.

如图 8 所示, 当发生  $dv/dt$  时, 会产生寄生电流  $I_B$  与  $I_A$ , 当  $I_B$  大于  $I_A$  时, 就会引入差分电流进行补偿, 原理如图 5(b) 所示. 通过引入的差分电流去抵消由于高压管寄生电容不一样产生的电流, 稳定锁存器的输入信号. 电流  $I_1$  实际产生的电流不能大于移位电平器由高电位变成低电位时候流过高压 MOS 管的电流, 否则会影响移位电平的输出延迟. 当移位电平器由低电平变成高电平时, 由于补偿模块处于关闭状态, 不会对移位电平器的上升延迟产生影响.

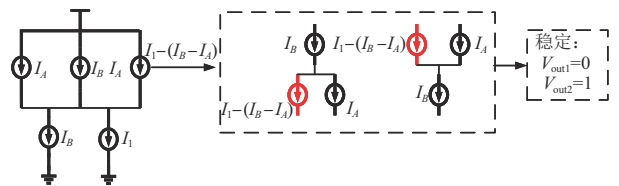


图 8 电流补偿原理图

如图 8 所示,  $I_A$  和  $I_B$  是移位电平器在  $dv/dt$  发生时候产生的寄生电流, 由电流的充电公式可以得到式 (1) 和式 (2),  $C_3$  与  $C_4$  分别为高压管 HN1 和 HN2 的寄生电容.

$$I_A = C_3 \frac{dv}{dt} \quad (1)$$

$$I_B = C_4 \frac{dv}{dt} \quad (2)$$

由图 8 可以推出补偿电流与寄生电容之间的差值以及  $dv/dt$  之间的关系, 如式 (3) 所示

$$I_1 - (I_B - I_A) + I_A = I_B \quad (3)$$

由式 (1)~(3) 可得式 (4)

$$\frac{1}{2} I_1 = \Delta C \frac{dv}{dt}, \Delta C = C_3 - C_4 \quad (4)$$

由式(4)可知,当  $\frac{1}{2}I_1 \geq \Delta C \frac{dv}{dt}$  时,  $V_{out1}$  和  $V_{out2}$  点电压不会发生变化. 当  $\frac{1}{2}I_1 < \Delta C \frac{dv}{dt}$  时,由于  $dv/dt$  时间较短,  $V_{out2}$  点会产生一个较小的正向脉冲电压,  $V_{out1}$  点会产生一个较小的负向脉冲电压,之后会恢复正常电平逻辑,由于  $V_{out1}$  和  $V_{out2}$  的脉冲电压没有达到锁存器对输入电压的最低要求,所以电平移位电路的输出值不会改变. 当  $\frac{1}{2}I_1 \ll \Delta C \frac{dv}{dt}$  时候,  $V_{out1}$  和  $V_{out2}$  点的电压会快速改变,锁存器锁存错误的逻辑电平,导致电平移位电路输出错误.

### 5 电路仿真与测试结果

本文差分电流补偿的移位电平器结构中,HN1、HN2采用 40 V 高压 LDNMOS 管,其他部分采用的是 5 V 耐压管,基于 0.35  $\mu\text{m}$  BCD 工艺,进行仿真和设计.

差分电流补偿的移位电平器的瞬态波形如图 9 所示,输入的方波信号的高电平为 5 V,低电平为 0 V,输入方波信号的频率为 1 MHz,输出信号的高电平为 40 V,低电平为 35 V,可以实现正常的电平移位器功能.

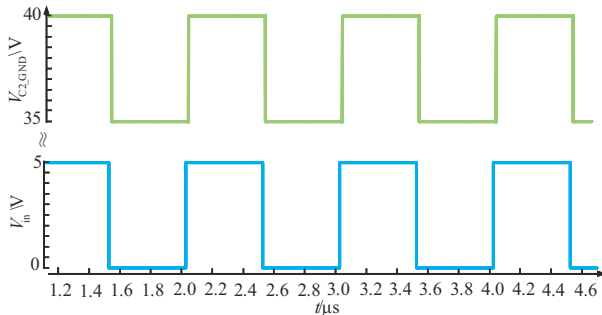


图9 差分电流补偿移位电平器电路瞬态仿真

对图 5(a)电平移位电路和在图 5(a)基础上添加差分电流补偿结构的电平移位电路进行抗  $dv/dt$  验证,输入的方波信号的高电平为 5 V,低电平为 0 V,输入方波信号的频率为 1 MHz,浮动地输入的方波信号高电平为 35 V,低电平为 0 V,延时 300 ns,避免与输入信号同时输入,对浮动电源地上升速率从 1 ns 到 2 ns 进行参数扫描设置 ( $V_{C2\_GND1}$  为具有差分电流补偿结构的电平移位电路的输出,  $V_{C2\_1\_GND1}$  为无差分电流补偿结构的电平移位电路输出),瞬态输出波形如图 10 所示,无差分电流补偿的移位电平器的  $dv/dt$  为 30 V/ns,因为  $dv/dt$  变化,引入了对于高压管 HN2 的寄生电容充电电流较大,PM6 管上拉作用、NM3 管下拉作用大于 PM3 管的上拉作用、NM2 的下作用,导致锁存器的值发生变化,输出了错误逻辑电平. 同理,具有差分电流补偿模块的电平移位电路的瞬态仿真如图 11 所示,差分电流补偿的电平移位电路抗  $dv/dt$  可

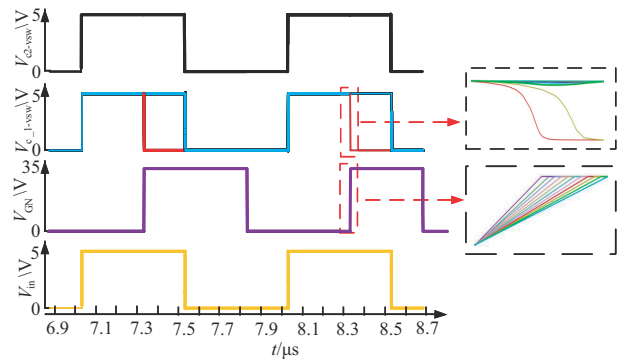


图 10 电平移位器  $dv/dt$  瞬态仿真

以达到 116 V/ns,具有很好抗  $dv/dt$  性能. 如图 12 所示,新颖差分电流补偿电平移位电路在不同工艺角 (ff, tt, ss), 温度 ( $-40\text{ }^\circ\text{C} \sim 120\text{ }^\circ\text{C}$ ) 和浮点电压的  $dv/dt$  变化为 116 V/ns 的条件下仿真,从仿真的波形图可以得到,都能达到正常工作状态,但是在不同的工艺角和温度下延迟又略微不同,电路受到  $dv/dt$  影响的时候,传输信号电平会有一个较小的向下脉冲,但不会影响电路正常工作状态.

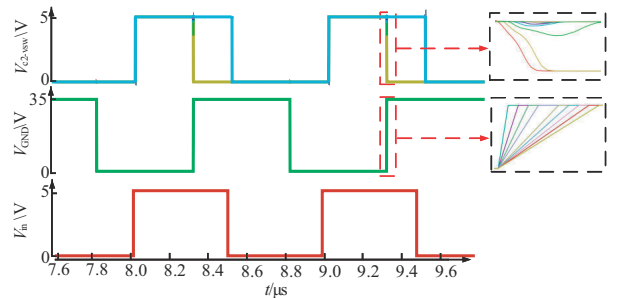


图 11 带差分电流补偿模块移位电平器

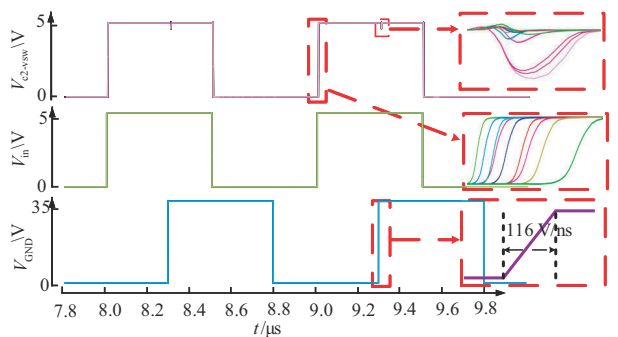


图 12 工艺角仿真

当发生  $dv/dt$  变化时,具有差分电流补偿的移位电平器的  $V_{out2}$  和不具有差分电流补偿的移位电平器  $V_{out2}$  点的电压变化如图 13 所示 ( $V_{out2,1}$  是无差分电流补偿的移位电平器,在电路中位置与  $V_{out2}$  相同,  $V_{sw}$  为浮动地电压),移位电平器  $V_{out2,1}$  点的电压直接由低电平转为了高电平,而具有差分电流补偿的移位

电平器的  $V_{out2}$  点的电压会产生一个较小的正向脉冲, 之后又恢复到低电平, 没有触发锁存器, 改变输出状态. 差分电流补偿的移位电平器的传输延迟如图 14 所示, 上升沿传输延迟为 587.184 ps, 下降沿传输延迟为 832.144 ps, 实现了高速, 高可靠性的电平移位电路.

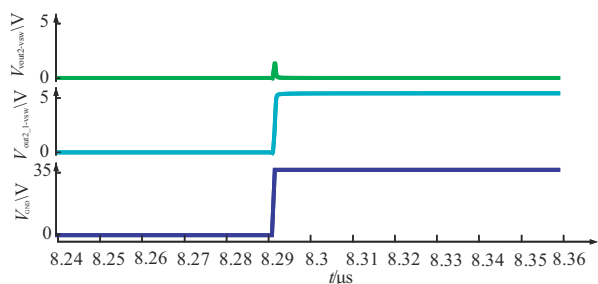


图 13  $V_{out2}$  点电压对比

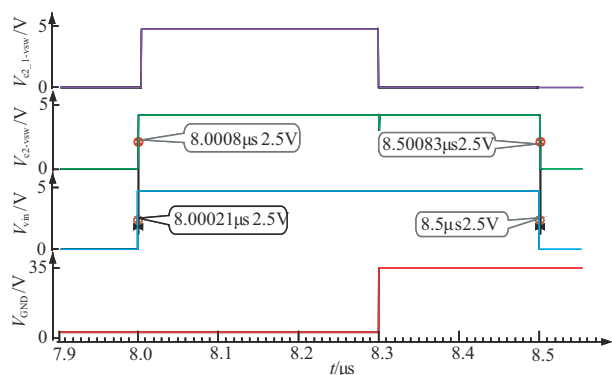


图 14 差分电流补偿移位电平器输出延迟

表 1 为本文与其他文献中电平移位电路的性能参数对比结果, 可以看出采用基于电流结构作为信号传输基本结构, 可以获得较低的传输延迟, 同时引入新颖差分电流补偿结构, 能够大幅度提高电路的抗  $dv/dt$  性能, 其参数优于其他的现有设计电路.

表 1 本文与其他文献中电平移位电路的参数对比

文献	工艺	电压(V)	延迟(ns)	抗 $dv/dt$ (V/ns)
文献[5]	0.5 $\mu\text{m}$ HVCMOS	40	2	40
文献[6]	0.18 $\mu\text{m}$ HVCMOS	20	0.37	30
文献[9]	0.5 $\mu\text{m}$ UHV	700	20	120
文献[10]	0.18 $\mu\text{m}$ BiCMOS	50	5	20
本文	0.35 $\mu\text{m}$ HVCMOS	40	0.709	116

## 6 结论

本文设计了一种新颖的差分电流补偿的移位电平器, 采用基于电流镜结构进行高压域和低压域之间的信号传输, 有效的减少传输延迟. 采用差分电流补偿结构, 对电平移位电路进行补偿, 有效地提高了

电路的抗  $dv/dt$  特性. 仿真结果表明, 该电路抗  $dv/dt$  变化达到 116 V/ns, 上升传输延迟 587.184 ps, 下降传输延迟为 832.144 ps, 具有高速, 高可靠性的特点, 可以应用于当前以氮化镓功率管作为开关管的电源系统中.

## 参考文献

- [1] 余旭明, 洪伟, 等. Ku 波段宽带氮化镓功率放大器 MMIC[J]. 电子学报, 2015, 43(9): 1859-1863.  
YU Xu-ming, HONG Wei, et al. Ku band power amplifier MMIC based on GaN HEMT technology[J]. Acta Electronica Sinica, 2015, 43(9): 1859-1863. (in Chinese)
- [2] BANDYOPADHYAY S, NEIDORFF B, et al. 90.6% efficient 11MHz 22W LED driver using GaN FETs and burst-mode controller with 0.96 power factor[C]//2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers Digest of Technical Papers. San Francisco: IEEE, 2013: 368-369.
- [3] ZHANG Yun-wu, ZHU Jing, et al. A capacitive-loaded level shift circuit for improving the noise immunity of high voltage gate drive IC[C]//2015 IEEE 27th International Symposium on Power Semiconductor Devices & IC's (ISPSD). Hong Kong: IEEE, 2015: 173-176.
- [4] AKAHANE M, JONISHI A, et al. A new level up shifter for HVICs with high noise tolerance[C]// 2014 International Power Electronics Conference. Hiroshima: IEEE, 2014: 2302-2309.
- [5] LIU Zhi-dong, LIN Cong, et al. Design of on-chip gate drivers with power-efficient high-speed level shifting and dynamic timing control for high-voltage synchronous switching power converters[J]. IEEE Journal of Solid-State Circuits, 2015, 50(6): 1463-1477.
- [6] HOLLIS J S, MCNEILL N, et al. Design of 370-ps delay floating-voltage level shifters with 30 V/ns power supply slew tolerance[J]. IEEE Transactions on Circuits and Systems II, 2016, 63(7): 688-692.
- [7] STARK H B, HOLLIS J S, et al. A new design technique for sub-nanosecond delay and 200 V/ns power supply slew-tolerant floating voltage level shifters for GaN SMPS[J]. IEEE Transactions on Circuits and Systems I, 2019, 66(3): 1280-1290.
- [8] ZHU Jing, YU Si-yuan, et al. Study and implementation of 600-v high-voltage gate driver IC with the common-mode dual-interlock technique for GaN devices[J]. IEEE Transactions on Industrial Electronics, 2021, 68(2): 1506-1514.
- [9] CHEN J L, CHIU C C, et al. 120 V/ns output slew rate en-

hancement technique and high voltage clamping circuit in high integrated gate driver for power GaN FETs[C]//ESS-CIRC Conference 2015—41st European Solid-State Circuits Conference. Graz: IEEE, 2015: 291-294.

- [10] WITTMANN J, ROSAHL T, et al. A 50 V high-speed level shifter with high dv/dt immunity for multi-MHz DCDC converters[C]//ESSCIRC 2014—40th European Solid State Circuits Conference. Venice Lido: IEEE, 2014: 151-154.

#### 作者简介



赵 鹏 男, 1994 年出生, 广东省佛山市人. 2018 年在大连海事大学获得电子信息科学与技术学士学位, 目前正在深圳大学集成电路工程专业攻读硕士学位, 目前研究方向为氮化镓功率器件的驱动设计.

E-mail: zhaopeng321542@163.com



姜 梅 女, 1976 年出生, 四川省阆中市人. 分别于 2000 年、2003 年在华中科技大学获得微电子学与固体电子学学士、硕士学位, 2012 年在北京大学获得微电子学与固体电子学博士学位, 同年进入深圳大学任教. 目前的研究领域为高性能、低功耗模拟集成电路设计.

E-mail: mjiang@szu.edu.cn