

一种具有自适应优化电源抑制比的低静态 电流无片外电容 LDO

徐 叶¹, 张培勇¹, 李 豪¹, 黄开天²

(1. 浙江大学超大规模集成电路研究所, 浙江杭州 310027; 2. 南方电网科学研究院有限责任公司信息安全中心, 广东广州 510663)

摘 要: 为改善无片外电容 LDO (Capacitor-Less Low-DropOut regulator, CL-LDO) 的电源抑制比 (Power Supply Rejection, PSR), 本文提出一种低静态电流 PSR 自适应优化方案. 采用 push-pull 放大器, 避免复杂的频率补偿电路与片外大电容, 缩小了面积. 为优化中频段 PSR, 在功率管栅极注入一个与频率相关的补偿电流. 采用低静态电流的补偿电流动态调整方案, 减小压差和负载电流变化对 PSR 优化效果的影响. 该 LDO 基于 0.11 μm CMOS 工艺, 芯片面积为 0.026 mm^2 . 测试结果表明, 在 0.1~80 mA 负载电流下, 静态电流最大值为 55 μA . 在 8 kHz 到 1 MHz 频率范围内, 在不同压差和负载电流下, PSR 最大优化值为 21~37 dB.

关键词: 无片外电容低压差线性稳压器; 电源抑制比; 可适应电源噪声消除; 低静态电流; 频率补偿

中图分类号: TN431.1 **文献标识码:** A **文章编号:** 0372-2112(2022)07-1674-10

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20201137

A Low-Quiescent-Current Capacitor-less LDO Using an Adaptive PSR Optimization Technique

XU Ye¹, ZHANG Pei-yong¹, LI Hao¹, HUANG Kai-tian²

(1. The Institute of VLSI Design, Zhejiang University, Hangzhou, Zhejiang 310027, China;

2. Information Security Center, China Southern Power Grid Research Institute Co., Ltd., Guangzhou, Guangdong 510663, China)

Abstract: To improve the power supply rejection ratio (PSR) of capacitor-less low dropout regulator (CL-LDO), this paper proposes an adaptive optimization technique for PSR with low quiescent current. Using push-pull amplifier avoids complex frequency compensation circuits and a bulky external capacitor, thereby reducing the area. To optimize the mid-band PSR, a frequency-dependent compensation current is injected into the gate of the pass transistor. Moreover, a low power dynamic adjustment scheme of the compensation current is adopted to alleviate the impacts of the dropout voltage and load current variations on the optimal PSR improvement. This LDO was designed and fabricated in a 0.11 μm CMOS technology with an active area of 0.026 mm^2 . The experimental results show that the maximum quiescent current is 55 μA with 0.1-80 mA load current. In the frequency range of 8 kHz to 1 MHz, the maximum PSR improvement is 21-37 dB with different dropout voltages and load currents.

Key words: capacitor-less low-dropout regulator; power supply rejection ratio; adaptive supply-ripple cancellation; low quiescent current; frequency compensation

1 引言

稳压器作为电源管理的关键组件, 提供了可调节的、稳定的和低噪声的电压^[1], 广泛应用于片上系统 (System on Chip, SoC). 线性低压差稳压器 (Low-DropOut regulator, LDO) 是稳压器的一种, 相比开关电源或开关稳压器来说, 具有更好的抗电源噪声能力. 根

据主极点位置, LDO 分为外部补偿和内部补偿两类. 前者主极点位于 LDO 输出端, 后者主极点位于 LDO 内部. 内部补偿 LDO, 也可称为 CL-LDO (Capacitor-Less LDO), 由于输出端无须负载大电容, 因而具有小面积、高集成度的优势. 但是, CL-LDO 面临着瞬态响应差、稳定性差及低电源抑制比 (Power Supply Rejection, PSR) 的问题^[1,2].

CL-LDO 一般有以下 2 种 PSR 优化方案. 第一种是预调电源电压^[3-5]. 在功率管与电源之间插入一个 NMOS 作为共栅(cascode)管,增大电源与 LDO 输出之间的阻抗. 但这种方式既提高了压差,又增加了面积. 第二种是前馈电源噪声消除(FeedForward Ripple Canceller, FFRC)^[6-9]. 在电源和功率管栅极之间提供一条具有适当增益的前馈通路,令功率管栅极电压跟随电源电压,使得输出噪声电流约等于 0. 该方法不但不会提高压差,而且结构相对简单,可行性强. 但 PSR 优化效果依赖前馈增益,增益最优值对压差和负载电流以及 PVT 变化十分敏感,难以成为一个可靠的 PSR 优化方案.

基于传统的 FFRC,文献[10]提出一种电流模式的 FFRC(Current-mode FFRC, CFFRC),不使用额外的电压加法电路,因此降低了功耗,减小了复杂度. 但功率管栅极阻抗极小,其主极点位于 LDO 输出端,不适用于 CL-LDO. 文献[11]提出一种负电容电路(Negative Capacitance Circuit, NCC),使得在功率管栅极因寄生电容耦合的电源噪声与电源噪声一致,从而消除 LDO 输出端的噪声电流. 但其负电容最优反馈增益依赖数字调节,灵活性不够,同时片上电容为 10 pF,面积不够理想.

FFRC 前馈通路最优增益与 NCC 负电容最优反馈增益会受功率管工作状态影响,针对该问题,有学者提出一些自适应增益机制. 文献[12]提出一种面向 CL-LDO 的一种可适应电源噪声消除方式(Adaptive Supply-Ripple Cancellation, ASRC). ASRC 将电源噪声自适应地注入功率管衬底中,不需要像 FFRC 那样添加额外的加法电路. 但其自适应电路较为复杂,并且由于 ASRC 中有个比例缩小的功率管拷贝管,静态电流与负载电流成正比. 文献[13]同样利用比例缩小的功率管拷贝管,生成一个比例缩小的栅漏寄生电容(C_{gd})补偿电流,经过电流放大器等比例放大后注入功率管栅极. 由于电路中存在许多中高频极点,所以该补偿电流只在中低频段(<4 MHz)有效. 另外,该方式忽略了功率管的漏体寄生电容与漏源电导,由后续的 PSR 分析可知,当功率管处于线性区时,该参数对 PSR 的优化起到了关键性作用. 上述自适应增益方案均使用了比例缩小的功率管拷贝管,当负载大电流时,存在静态电流过大的问题.

针对上述 PSR 优化方案存在的面积大、功耗高、结构复杂等问题,本文提出一种适用于 CL-LDO 的 PSR 自适应优化方案. 该方案无需功率管拷贝管,具有低静态电流的优势;通过监测功率管工作状态,对前馈补偿电流进行动态调节,更具灵活性. 本文基于此方案,采用 0.11 μm CMOS 工艺实现了一种高 PSR 的 CL-LDO,具有

面积小、功耗低、PSR 自适应调节等优点.

2 PSR 分析与优化

电源与 LDO 输出之间有多条路径,使得电源噪声耦合到输出端,从而限制 PSR. 图 1 为以 PMOS 为功率管(M_{pass})的 LDO 电源-输出噪声耦合路径图,一共有 3 条主路径^[13]:(1)误差放大器(Error Amplifier, EA);(2)功率管栅源寄生电容(C_{gs});(3)功率管的漏体寄生电容(C_{db})与漏源电导(g_{ds}). 前 2 条路径的电源噪声先耦合到 M_{pass} 栅极,再被 M_{pass} 跨导(g_m)放大并转化成噪声电流. 为方便小信号分析,将寄生电容拆分为 2 个对地分电容和 2 个压控电流源,并画出 LDO 小信号等价模型,如图 2 所示.

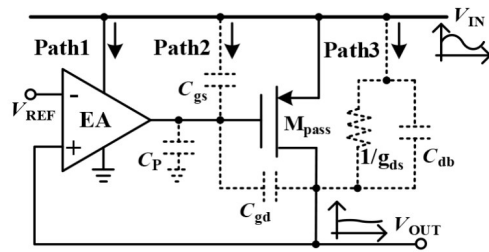


图 1 电源-输出噪声耦合路径图

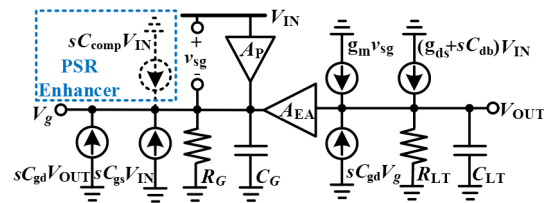


图 2 LDO 小信号等价模型

暂不考虑虚线框中的 PSR 优化模块(PSR Enhancer),得到 PSR 方程如下所示:

$$\text{PSR}(s) = \frac{V_{\text{OUT}}(s)}{V_{\text{IN}}(s)} \approx \frac{[g_{ds} + C_{db}s + g_m(1 - A_p - C_{gs}Z_Gs)]Z_{LT}}{1 + LG(s)} \quad (1)$$

$$Z_G = R_G \left\| \left(\frac{1}{sC_G} \right) \right. \quad (2)$$

$$Z_{LT} = R_{LT} \left\| \left(\frac{1}{sC_{LT}} \right) \right. \quad (3)$$

$$LG(s) = g_m(sC_{gd}Z_G + A_{EA})Z_{LT} \quad (4)$$

其中, $C_G = C_{gs} + C_{gd} + C_p$, $R_{LT} = R_{\text{load}} \left\| (1/g_{ds})$, $C_{LT} = C_{\text{load}} + C_{gd} + C_{db}$, Z_G 和 Z_{LT} 分别为 M_{pass} 栅极与输出端阻抗, g_m 为 M_{pass} 跨导, $LG(s)$ 为环路增益, A_p 为误差放大器的电源噪声增益, A_{EA} 为误差放大器增益, C_{load} 和 R_{load} 分别为负载电容和电阻, R_G 为功率管栅端寄生电阻, C_p 为误差放大器输出端的寄生电容. 由式(1)可知,提高环路增益可

有效降低电源到输出端的噪声。

为优化 PSR, 电源噪声通过各路径耦合到 LDO 输出端的噪声电流 (i_{tot}) 应尽量小. 现考虑 PSR 优化模块 (图 2 虚线框), 即在 M_{pass} 栅极添加一个与频率相关的补偿电流, 即压控电流源 $sC_{\text{comp}}V_{\text{IN}}$, C_{comp} 为补偿电容. 补偿后的电源- M_{pass} 栅极噪声电压公式如下 ($sC_{\text{gd}}V_{\text{OUT}}$ 是局部反馈, 其影响体现在环路增益中; 考虑路径 2, 忽略路径 1 对 PSR 的影响^[13]; R_G 足够大, 可忽略; C_p 相对 C_{gs} 和 C_{gd} 来说过小, 可忽略^[13]):

$$\begin{aligned} V_G(s) &= s(C_{\text{gs}} + C_{\text{comp}})V_{\text{IN}}Z_G \\ &= \frac{s(C_{\text{gs}} + C_{\text{comp}})V_{\text{IN}}}{1/R_G + C_G s} \approx \left(\frac{C_{\text{gs}} + C_{\text{comp}}}{C_{\text{gs}} + C_{\text{gd}}}\right)V_{\text{IN}} \quad (5) \end{aligned}$$

补偿后的路径 2 电源-输出噪声电流公式如下:

$$\begin{aligned} i_{p2\&comp}(s) &= g_m(V_{\text{IN}} - V_G(s)) \\ &= g_m\left(\frac{C_{\text{gd}} - C_{\text{comp}}}{C_{\text{gs}} + C_{\text{gd}}}\right)V_{\text{IN}} \quad (6) \end{aligned}$$

路径 3 电源-输出噪声电流公式如下 (该噪声电流存在一个零点, 处于 1 GHz 以上, 中低频段为 g_{ds} 主导, 故忽略 sC_{db}):

$$i_{p3}(s) = (g_{\text{ds}} + sC_{\text{db}})V_{\text{IN}} \approx g_{\text{ds}}V_{\text{IN}} \quad (7)$$

令 $i_{\text{tot}}(s) = i_{p2\&comp}(s) + i_{p3}(s) \approx 0$, 解得:

$$C_{\text{comp}} \approx \frac{g_{\text{ds}}}{g_m}(C_{\text{gs}} + C_{\text{gd}}) + C_{\text{gd}} \quad (8)$$

如令 C_{comp} 满足 (8) 式, PSR 将进一步优化. 图 3 为 M_{pass} 的 C_{gd} , V_{dsat} , V_{ds} , V_{gs} 与 C_{comp} 随负载电流变化曲线图. 当 M_{pass} 在亚阈值 (Subthreshold) 区和饱和 (Saturation) 区时, C_{comp} 变化不大; 当 M_{pass} 进入线性 (Linear) 区后, C_{comp} 增长速率变快. 图 4 为 M_{pass} 在不同 V_{drop} 下, C_{comp} 随负载电流变化曲线图. 由图 4 可知, V_{drop} 越大, M_{pass} 越容易趋向于饱和, C_{comp} 变化越小. 因此, C_{comp} 与 M_{pass} 工作状态有关. 假如能够判断 M_{pass} 的工作状态, 再对 C_{comp} 进行动态调节, 使其接近于理想值, 就能进一步优化 PSR.

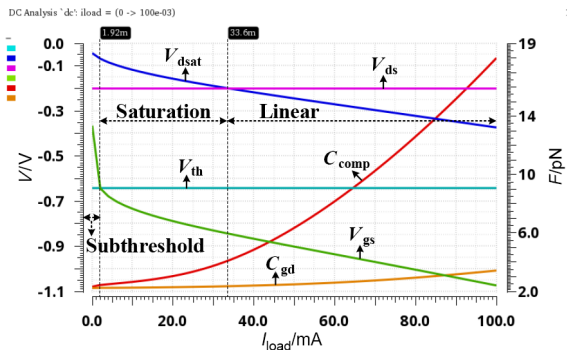


图 3 M_{pass} 的 C_{gd} , V_{dsat} , V_{ds} , V_{gs} 与 C_{comp} 随负载电流变化曲线图 ($V_{\text{drop}} = 200 \text{ mV}$, $V_{\text{th}} = -640 \text{ mV}$)

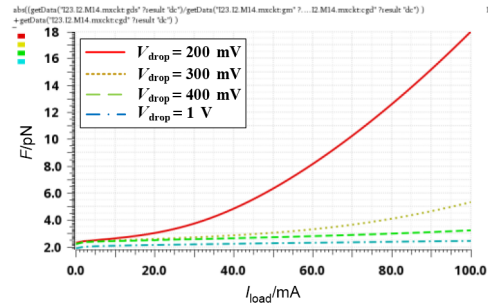


图 4 M_{pass} 在不同 V_{drop} 下, C_{comp} 随负载电流变化曲线图

3 结构与实现

LDO 主要由主模块 (Core)、PSR 优化模块 (PSR Enhancer) 和瞬态响应优化模块构成。

3.1 主模块

图 5 为 LDO 主模块原理图, 包括 push-pull 放大器 (Push-Pull Amplifier)、功率管以及基准源缓冲器 (Reference Buffer). 本设计采用 push-pull 放大器作为 LDO 的反馈放大器. 该结构具有静态电流小、压摆率高, 以及稳定性高 (输出阻抗小) 的优点^[14,15]. 但在文献 [14] 的结构中, 存在最小负载电流限制和低环路增益的问题, 后者限制了 PSR. 文献 [16] 在文献 [14] 的基础上, 增加一对复制的差分共栅 MOS 管, 以提高放大器的跨导, 从而增加 LDO 的环路增益. 本设计以文献 [16] 的结构为基础, 做了一些修改, 旨在提高环路增益.

为驱动 80 mA 负载电流, 同时考虑到面积, 且功率管一般允许大电流下工作在线性区, 将 M_{pass} 的宽长比设置为 $9\ 600\ \mu\text{m}/0.3\ \mu\text{m}$. 综合上述分析, push-pull 放大器 MOS 管的比例如表 1 所示.

LDO 输出阻抗约等于 $(1/g_{\text{ds}}) \parallel (1/G_{\text{mH}}) \parallel Z_{\text{load}}$, $G_{\text{mH}} = 1.5g_{\text{m,AH2}}$, Z_{load} 是负载阻抗, G_{mH} 为共栅差分输入跨导, $g_{\text{m,AH2}}$ 为 M_{AH2} 跨导. 当负载电流较大, Z_{load} 和 $1/g_{\text{ds}}$ 极小, 可将输出极点推至极高的频率处 ($>10\ \text{MHz}$). 因此, 主极点位于 M_{pass} 的栅极, 输出极点成为非主极点. 但当负载电流极小时, Z_{load} 与 $1/g_{\text{ds}}$ 增大, 输出极点向低频移动, 靠近主极点, 使得相位裕度不够, 系统不稳定. 因此, 与许多传统结构的无片外电容 LDO 类似, 该结构存在最小负载电流限制的问题. 为了让 LDO 尽可能驱动更小的负载电流, 在设计中, M_{AP2} 与 M_{AN1} 的管子应保持小尺寸.

图 6 为 LDO 主模块开环交流响应. 当负载电流为 $100\ \mu\text{A}$ (最差情况)、 $1\ \text{mA}$ 、 $20\ \text{mA}$ 、 $40\ \text{mA}$ 和 $80\ \text{mA}$ 时, 相位裕度分别为 42° 、 72° 、 81° 、 85° 、 88° .

3.2 PSR 优化模块

如第 2 节所述, M_{pass} 栅极添加一个频率相关的补偿电流 $sC_{\text{comp}}V_{\text{IN}}$, 可优化 LDO 中频 PSR. 为实现该补偿电

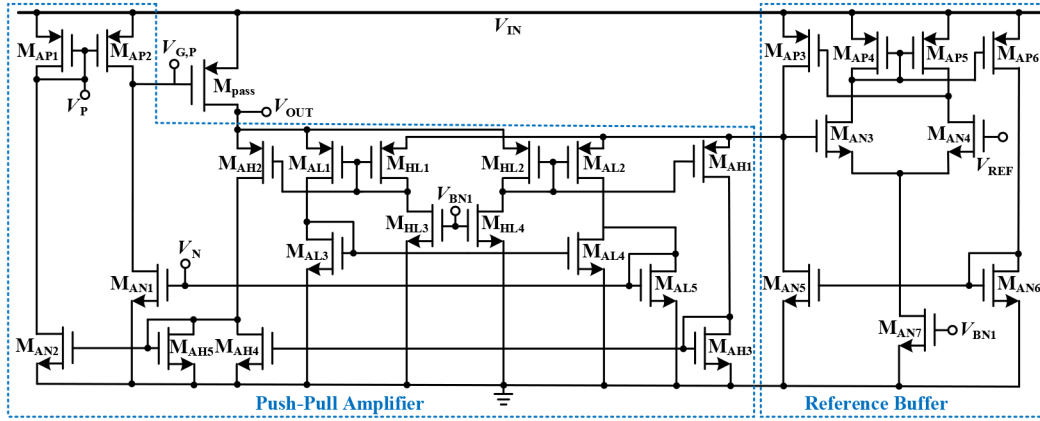


图5 LDO主模块原理图

表1 push-pull放大器MOS管比例表

MOS管	比例
$M_{AH2}:M_{HL1}:M_{HL2}:M_{AL2}:M_{AL1}:M_{AH1}$	2:2:2:2:1:1
$M_{HL3}:M_{HL4}$ & $M_{AP2}:M_{AP1}$	1:1
$M_{AH3}:M_{AH4}:M_{AH5}:M_{AN2}$	1:1:1:1
$M_{AL3}:M_{AL4}:M_{AL5}:M_{AN1}$	1:1:1:1

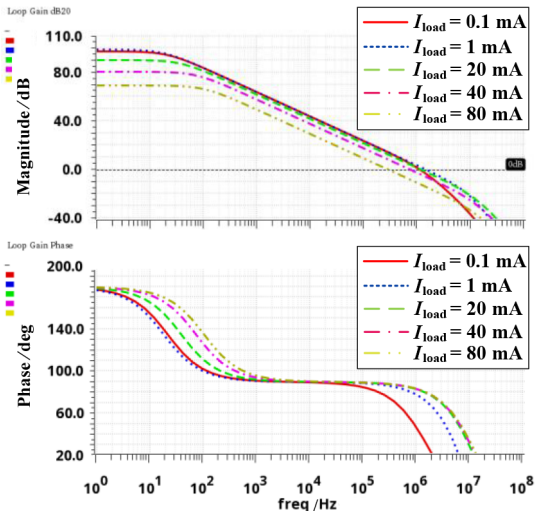


图6 LDO主模块开环交流响应图($C_{load}=100$ pF)

流,有2点需要解决的问题.

(1)精确可靠的电流放大电路(Current Amplifier Circuit, CAC). 从第2节可知,在最坏情况下, C_{comp} 最优值大于 10 pF. 大电容不仅意味着大面积,而且会产生更低频的极点,衰减优化性能. 因此,需要一个精确可靠的无低频极点的CAC,既能放大中低频电流,又不会引入过大的误差电流. 文献[13]中CAC由放大器与电阻组成,虽可精确控制放大倍数,但额外的电阻也增加了电路噪声和面积成本.

(2)自适应动态调节的电流增益. 最优 C_{comp} 与 M_{pass} 工作状态有关,所以其电流增益需要依据 M_{pass} 工作状态,并做出动态调节. 在文献[13]中,PSR的优化只考

虑了 M_{pass} 的 C_{gd} ,所以采用等比例缩小的功率管拷贝管来生成动态可调的前馈补偿电流. 但上下偏置电流的失配,会产生较大的直流偏移和交流失配,限制放大精度. 这将引入额外的小信号噪声,且该噪声经过电流放大器放大之后,将严重影响LDO直流工作点和PSR优化效果.

3.2.1 电流放大电路

设 $C_{comp} = kC_{var}$, 其中 k 为电流放大增益. C_{comp} 最大值为 13 pF(负载电流 80 mA). 考虑面积、精度以及极点问题,设 k 值为 50 倍, C_{var} 可调,最大值为 260 fF.

CAC 共分为 2 级(Stage1 和 Stage2),分别放大 20 倍和 2.5 倍,共放大 50 倍. 两级放大结构均采用差分对称^[17,18]的结构. 图7、图8分别为电流放大电路 Stage1 和 Stage2 原理图. Stage2 采用了对称的电流镜结构,以减小直流失配.

为在达到指定放大倍数的同时,不增加静态电流, Stage1 使用了电流转电压(Current-to-Voltage, I-V)转换器和电压转电流(Voltage-to-Current, V-I)转换器^[18]来替代电流镜^[17]. 电源噪声通过跨导增益增强电路(Transconductance Gain Enhancer, TGE)耦合到 N_{x2} 点,再通过作为 M_{BN6} 耦合到 N_{x3} 点(M_{BP6} 和 M_{BP7} 栅端). 接着 $sC_{var}V_{IN}$ 从 N_1 点注入,经过工作在线性区的 M_{BN6} ,转换成电压 $v_{N2}(s) = r_{o,BN6}(sC_{var}v_{in})$, $r_{o,BN6}$ 为 M_{BN6} 等效电阻. 然后 $v_{N2}(s)$ 被作为共源极的 M_{BP9} 放大转换成电流 $i_{stg1}(s) = g_{m,BP9}r_{o,BN6}(sC_{var}v_{in})$, $g_{m,BP9}$ 为 M_{BP9} 跨导. 最终 Stage1 电流的放大倍数 $k_1 = g_{m,BP9}r_{o,BN6}$.

不考虑 TGE, 右侧电路 N_1 和 N_2 处有两个极点:

$$\omega_{P,N1} = \frac{1}{Z_{N1}C_{var}} \cong \frac{g_{m,BP7}}{C_{var}} \quad (9)$$

$$\omega_{P,N2} = \frac{1}{\left[r_{o,BN6} \parallel \left(g_{m,BP7}r_{o,BP5} \right) \right] C_{P,N2}} \quad (10)$$

其中, Z_{N1} 为 N_1 处的输入阻抗, $g_{m,BP7}$ 为 M_{BP7} 的跨导, $r_{o,BP7}$ 和 $r_{o,BP5}$ 分别为 M_{BP7} 和 M_{BP5} 的等效电阻, $C_{P,N2}$ 为 N_2 处的

寄生电容. 为使得补偿电流在中频有效, $\omega_{p,N1}$ 和 $\omega_{p,N2}$ 必须位于 10 MHz 及以上频率处. 令 M_{BN6} 工作在线性区, 减小 $r_{o,BN6}$, 可使 $\omega_{p,N2}$ 推至高频. 对于 $\omega_{p,N1}$ 来说, 最简单的方式是提高偏置电流以提高 $g_{m,BP7}$, 但会增加功耗^[17]. 因此需要一个 TGE, 提高跨导, 减小 Z_{N1} , 将 $\omega_{p,N1}$ 推向更高频. 与文献[17]不同, 本设计将 C_{var} 放在与 N_{X2} 对称的 N_1 处, 由于 N_{X3} 与 M_{BP7} 的栅极相连, 所以 TGE 效果是相同的. 同时 TGE 环路稳定性不受 C_{var} 大小影响. 图 7 左侧虚线蓝框为所设计的 TGE 电路. 为避免产生低频极点, 运算跨导放大器 (Operational Transconductance Amplifier, OTA) 采用以 NMOS 作为输入对管, 差

分输入单端输出的一级运放.

在 OTA 和 M_{BP6} 之间, 插入一级 SF 作为缓冲级, 目的是为了降低 N_{X1} 处的电位, 以满足 M_{BP6} 的输入共模范围. 从 N_{X1}, N_{X2} 到 N_{X3} 形成一个环路, 共有 3 个极点 ($\omega_{p,N_{X1}}, \omega_{p,N_{X2}}$ 和 $\omega_{p,N_{X3}}$), 如下所示:

$$\omega_{p,N_{X1}} = \frac{1}{R_{p,N_{X1}} C_{p,N_{X1}}} \quad (11)$$

$$\omega_{p,N_{X2}} = \frac{1}{R_{p,N_{X2}} C_{p,N_{X2}}} \quad (12)$$

$$\omega_{p,N_{X3}} = \frac{g_{m,BN7}}{C_{p,N_{X3}}} \quad (13)$$

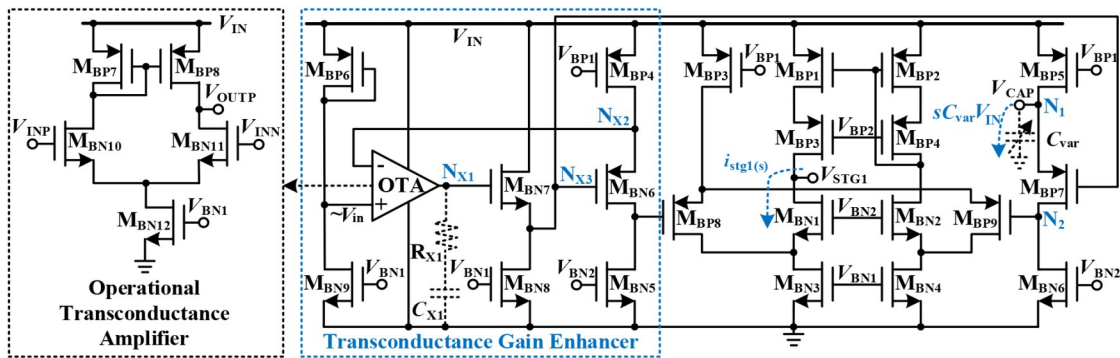


图 7 电流放大电路 Stage1 原理图

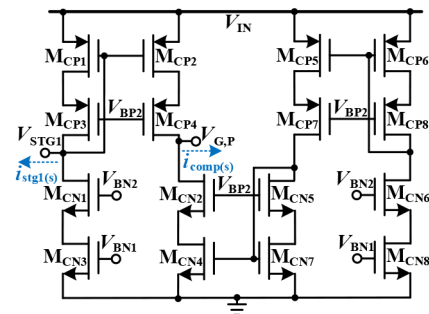


图 8 电流放大电路 Stage2 原理图

其中, $R_{p,N_{X1}}$ 和 $R_{p,N_{X2}}$ 分别为 N_{X1} 和 N_{X2} 点的寄生电阻, $C_{p,N_{X1}}, C_{p,N_{X2}}$ 和 $C_{p,N_{X3}}$ 分别为 N_{X1}, N_{X2} 和 N_{X3} 的寄生电容, $g_{m,BN7}$ 为 M_{BN7} 的跨导. $\omega_{p,N_{X3}}$ 因 $g_{m,BN7}$ 位于极高频, 可忽略. 由式(11)与(12)可知, $\omega_{p,N_{X1}}$ 与 $\omega_{p,N_{X2}}$ 两极点十分接近, 环路容易不稳定. 因此在 N_{X1} 处添加一个电容 C_{X1} , 以将 $\omega_{p,N_{X1}}$ 推至低频, 使其远离 $\omega_{p,N_{X2}}$. 为了避免过小的带宽, 在 N_{X1} 处串联一个电阻 R_{X1} , 产生一个左半平面零点抵消 $\omega_{p,N_{X2}}$. 补偿后的 $\omega_{p,N_{X1}}'$ 和新产生 $\omega_{z,N_{X1}}$ 如式(14)和(15)所示:

$$\omega_{p,N_{X1}}' \cong \frac{1}{R_{X1} C_{X1} + R_{p,N_{X1}} C_{p,N_{X2}} + R_{p,N_{X1}} C_{X1}} \quad (14)$$

$$\omega_{z,N_{X1}} = \frac{1}{R_{X1} C_{X1}} \quad (15)$$

其中, C_{X1} 和 R_{X1} 分别为 N_{X1} 点的频率补偿电容和电阻. 图 9 为 PSR 跨导增益增强电路的开环交流响应图. 频率补偿前相位裕度为 12° , 频率补偿后相位裕度为 76° . 式(16)为跨导增益放大之后得到的 z_{N1} . 其中, g_{OTA} 为放大器跨导. 在低频下, z_{N1} 缩小了 $g_{OTA} R_{p,N_{X1}}$ 倍. 为在高频处保持低阻抗, R_{X1} 与 C_{X1} 应尽可能小.

$$z_{N1} \cong \left(\frac{1}{g_{m,BP7} g_{OTA} R_{p,N_{X1}}} \right)$$

$$\times \left\{ \frac{1 + s(R_{X1} + R_{p,N_{X1}})C_{X1}}{1 + \left[R_{X1} C_{X1} + \frac{(R_{X1} + R_{p,N_{X1}})C_{X1}}{g_{OTA} R_{p,N_{X1}}} \right] s} \right\} \quad (16)$$

取 $C_{var} = 300$ fF (最坏情况 $C_{comp} = 15$ pF), 对 CAC 进行交流仿真. 图 10 为电流放大电路的交流仿真图. CAC 在 10 Hz 到 10 MHz 下可以正常放大, 放大倍数为 49. 在低频直流处有小的直流偏移误差, 极高频处由于 Z_{N1} 增大, CAC 失效.

3.2.2 PSR 动态调节电路

由图 3 可知, C_{comp} 最优值在亚阈值与饱和区变化

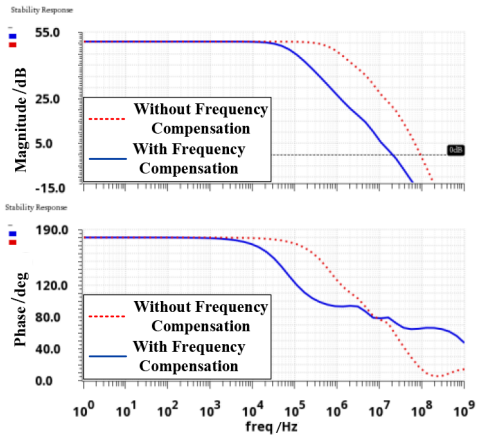


图9 PSR 跨导增益增强电路开环交流响应图

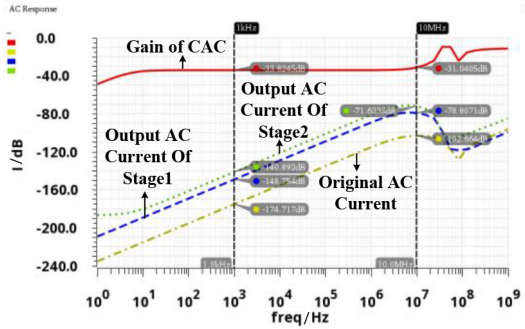


图10 电流放大电路交流仿真图($C_{var}=300$ fF)

小,在线性区增长速率加快. 设 M_{pass} 工作在线性区与饱和区边缘,临界点如下所示:

$$V_{SD,P} = V_{SG,P} - |V_{TH,P}| = V_{TRIG} \quad (17)$$

由式(17),易推得式(18)~(20):

$$V_{G,P} = V_{D,P} - |V_{TH,P}| = V_{OUT} - |V_{TH,P}| = V_{TRIG} \quad (18)$$

$$\Delta V_{TRIG,G} = V_{TRIG} - V_{G,P} \quad (19)$$

$$\Delta V_{TRIG,G} \begin{cases} \leq 0, & M_{pass} \text{ 亚阈值或饱和区} \\ > 0, & M_{pass} \text{ 线性区} \end{cases} \quad (20)$$

其中, $V_{SD,P}$, $V_{SG,P}$ 和 $|V_{TH,P}|$ 分别代表 M_{pass} 的源漏电压、源栅电压和阈值电压绝对值; $\Delta V_{TRIG,G}$ 表示 V_{TRIG} 与 $V_{G,P}$ 之间的差值,差值越大,说明 M_{pass} 偏离饱和区越远. 但在集成电路设计中,电压差比电流差更难获得. 所以,本设计利用单级共源放大器,实现简单的电压转电流功能,降低设计复杂度. 图 11 为 PSR 动态调节电路原理图. 将 Part2 和 Part3 作为整体进行多组并联,可实现 M_{pass} 的多段工作区间. 本设计中并联数为 4, i 表示并联序号.

(1) Part1: 提取 V_{TRIG}

M_{DP1} 源端接 LDO 的输出端 V_{OUT} , 其沟道长度与 M_{pass} 相同,工作在线性区与饱和区临界点,令 $V_{GS,DP1} \approx V_{TH,DP1} \approx V_{TH,P}$. 最终 M_{DP1} 输出电压为 $V_{OUT} - |V_{TH,DP1}| \approx$

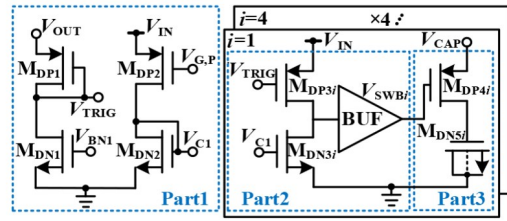


图11 PSR 动态调节电路原理图

V_{TRIG} .

(2) Part2: 生成临界开关信号 V_{SWBi}

M_{DP2} 和 M_{DP3i} 作为共源级, M_{DP2} 和 M_{DP3i} 栅极输入分别为 $V_{G,P}$ 与 V_{TRIG} , 流过 M_{DP2} 与 M_{DP3i} 的电流如下式所示:

$$I_{M_{DP2}} = \frac{1}{2} k_p \left(\frac{W}{L} \right)_{M_{DP2}} (V_{IN} - V_{G,P} - |V_{TH,P}|)^2 \quad (21)$$

$$I_{M_{DP3i}} = \frac{1}{2} k_p \left(\frac{W}{L} \right)_{M_{DP3i}} (V_{IN} - V_{TRIG} - |V_{TH,P}|)^2 \quad (22)$$

其中, $k_p = \mu_p C_{ox}$, μ_p 为电子迁移率, C_{ox} 为栅极氧化层单位电容, i 表示序号, $(W/L)_{M_{DP2}}$ 和 $(W/L)_{M_{DP3i}}$ 分别是 M_{DP2} 和 M_{DP3i} 的宽长比. 令电流镜对 $M_{DN2} : M_{DN3i}$ 大小比例为 1:1. 当 $I_{M_{DP3i}} \geq I_{M_{DP2}}$ 时, M_{DP3i} 处于线性区, V_{SWBi} 为高电平; 否则, M_{DN3i} 处于线性区, V_{SWBi} 为低电平. 令 $I_{M_{DP2}} = I_{M_{DP3i}}$, 可得 V_{SWBi} 电平转换的临界点如下式所示:

$$V_{G,P} = f(K_{M_{Di}}) \quad (23)$$

$$\begin{aligned} f(K_{M_{Di}}) &= K_{M_{Di}} V_{TRIG} + (V_{IN} - |V_{TH,P}|)(1 - K_{M_{Di}}) \\ &= K_{M_{Di}} (V_{OUT} - V_{IN}) + V_{IN} - |V_{TH,P}| \end{aligned} \quad (24)$$

V_{SWBi} 取值如下式所示:

$$V_{SWBi} = \begin{cases} = 1, & V_{G,P} \geq f(K_{M_{Di}}) \\ = 0, & V_{G,P} < f(K_{M_{Di}}) \end{cases} \quad (25)$$

其中, $K_{M_{Di}} = \sqrt{(W/L)_{M_{DP3i}} / (W/L)_{M_{DP2}}}$. 若将 $K_{M_{Di}}$ 看作自变量, $V_{OUT} - V_{IN}$ 小于 0, 故 $f(K_{M_{Di}})$ 随 $K_{M_{Di}}$ 增大而减小. 通过调节 M_{DP3i} 与 M_{DP2} 管的大小比例, 可以获得多个 $K_{M_{Di}}$ 不同的不等式. Part2 由相同结构. 不同 $K_{M_{Di}}$ 的 4 组并联电路构成, 其 MOS 管比例及 $K_{M_{Di}}$ 如表 2 所示.

表2 PSR 动态调节电路部分 MOS 管比例表

MOS 管	比例	$K_{M_{Di}}$
$M_{DN2} : M_{DN3i}$	1:1	
$M_{DP3i} : M_{DP2}$	1:2	$\sqrt{0.5}$
$M_{DP32} : M_{DP2}$	1:1	1
$M_{DP33} : M_{DP2}$	2:1	$\sqrt{2}$
$M_{DP34} : M_{DP2}$	3:1	$\sqrt{3}$

图 12 为 C_{comp} , $V_{G,P}$ 和 $f(K_{M_{Di}})$ 随负载电流变化曲线图

($V_{IN}=2V, V_{OUT}=1.8V$). M_{pass} 工作状态依据式(26)分成5段区间(Phase1~5),同时,图中展示了每个区间临界点, C_{comp} 所对应的值.

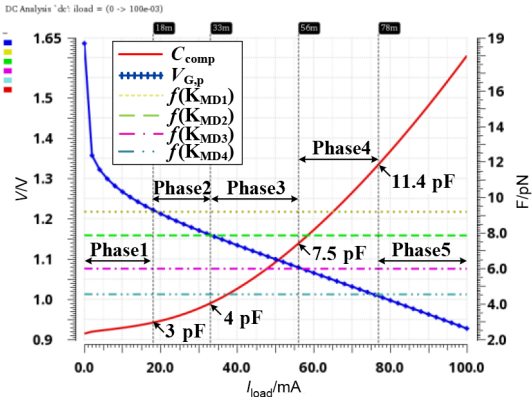


图12 $C_{comp}, V_{G,P}$ 和 $f(K_{MDi})$ 随负载电流变化曲线图($V_{IN}=2V, V_{OUT}=1.8V$)

(3) Part3: C_{var} 可调电路

图11中 M_{DP4i} 为 PMOS 开关, M_{DN5i} 为 MOS 电容, 4组拷贝阵列共同构成 C_{var} , V_{CAP} 为 CAC 的输入端. 采用 MOS 电容, 一方面因为优化 PSR 对 C_{var} 精度要求不高, 另一方面可节省面积. 当 M_{pass} 进入新的状态区间时, V_{SWBi} 会转变高低电平, 开启或关闭 M_{DP4i} , 动态调节 C_{var} . 经过计算及仿真, M_{DP5i} 寄生电容值如下表3所示, 其中 M_{DN50} 为初始 C_{var} .

表3 M_{DP5i} 寄生电容值表

MOS管	MOS电容/fF
M_{DN50}	50
M_{DN51}	10
M_{DN52}	40
M_{DN53}	80
M_{DN54}	100

设 M_{pass} 进入第四区间(Phase4), 即 $V_{SWB1,2,3}=0$, $C_{var} = \sum_{i=0}^3 C_{MDN5i} = 50 + 10 + 40 + 80 = 180 \text{ fF}$, $C_{comp} = 50C_{var} = 9 \text{ pF}$. 实际设计的 C_{comp} 比图12中的 7.5 pF 要大, 因为考虑到要优化整个区间, 所以接近于 Phase 4 中间点的 C_{comp} 值.

3.3 瞬态响应优化模块

CL-LDO 采用 push-pull 放大器结构, 虽具有低功耗的优点, 但瞬态响应依然较差. 本模块结合辅助电路^[19] (Assistant Push-pull Output Stage, APPOS) 和基于反相器的动态单元^[20] (Inverter-based Dynamic Unit, IDU), 旨在提高响应速度, 减小过冲或下冲电压. 图13为瞬态响应优化模块的原理图. 其中 $V_p, V_n, V_{G,P}$ 与图5主模块各输出端口对应.

左侧为 APPOS. 一般情况下, V_{UP} 为低电平, V_{DOWN} 为

高电平. 以负载电流减小为例, LDO 输出电压 V_{OUT} 上升, 经过 LDO 环路, V_p 下降, 使得 M_{pass} 栅极电容充电电流增加. APPOS 检测到 V_p 下降, 拉高 V_{UP} , 开启 M_{SW1} , 使 M_{EP4} 栅极与 V_p 短接, 增大 M_{pass} 栅极电容充电电流, 提高 M_{pass} 栅极电压, 减小其漏电流. 待 V_{OUT} 稳定后, M_{SW1} 再次关闭, 不耗静态电流.

右侧为 IDU. 与文献[20]不同, 仅用一级放大器, 减小 V_{OUT} 的下冲电压. 耦合电容 C_E 作为小信号高通通路, R_E 用来隔离 M_{EP5} 与 M_{EP6} 的栅极信号. IDU 通过 C_E 将 V_{OUT} 的下降信号耦合到 N_{E1} , 接着经由 M_{EP6} 与 M_{EN6} 反向放大后输入到 M_{EN7} 的栅极, 从而动态增加 M_{pass} 栅极电容放电电流.

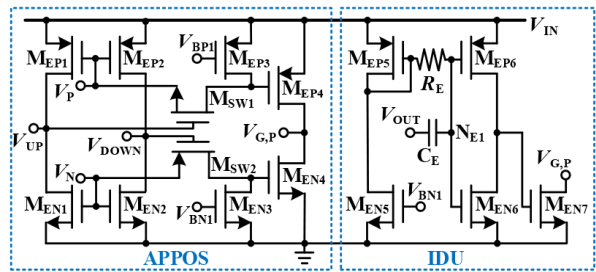


图13 瞬态响应优化模块原理图

4 测试结果与分析

本文所提出的 CL-LDO 采用 0.11 μm 的 CMOS 工艺设计与实现. CL-LDO 芯片封装照片如图14所示. 芯片总面积为 0.026 mm^2 , 不包括负载电容、PAD 及测试电路. CL-LDO 输出电压为 1.8 V, 输入电压范围为 2~3.3 V.

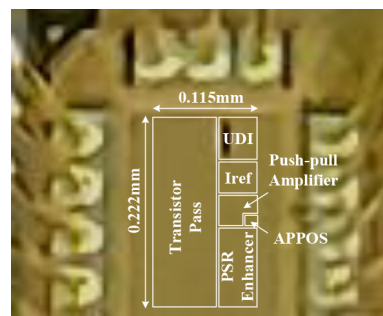


图14 CL-LDO 芯片封装照片

图15(a)和(b)分别为 LDO 的 PSR 和瞬态响应测试设置. 对于 PSR 测试, 采用 Bias Tee 注入电源噪声. 输入正弦信号峰峰值为 100 mV, 频率范围为 1 kHz~10 MHz, 由信号发生器(型号 33500B)产生, 注入到 Bias Tee 的 AC 端; 输入直流偏置为 2 V, 由电压源(型号 PWS2185)提供. 其中负载电流由 NPN 电流镜提供; C_{load} 为 100 pF 负载电容. 输入和输出信号皆由频谱仪(型号 SSA 2032X)测量. 对于瞬态响应测试, C_s 被添加

到 LDO 输入端,用于滤去输入信号的噪声. 输入输出信号由示波器(MSO-X 3024A)测量.

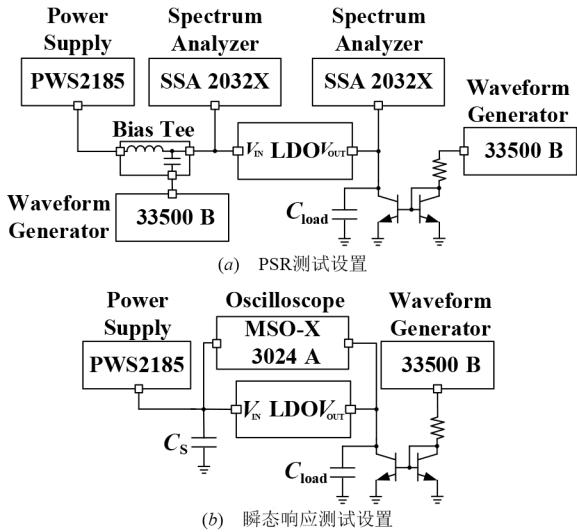


图 15 LDO 测试设置

图 16 展示了在不同压差下静态电流随负载电流的变化曲线. 在测试中,LDO 的静态电流为输入端总电流减去负载电流. 由图可见,当压差为 200 mV 时,负载电流从 0 变化到 80 mA,最大静态电流为 55 μ A. 曲线上存在尖峰电流,这与 PSR 优化电路中动态调节电路有关(见图 12). 尖峰意味着此时 $I_{MDP2} = I_{MDP3}$,两管均处于饱和态,消耗电流增加.

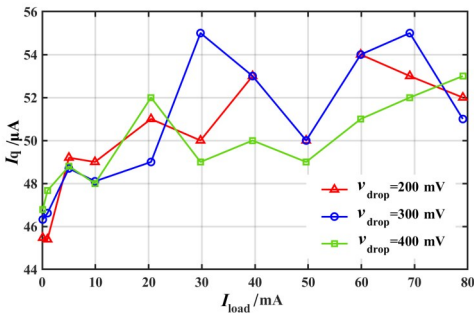


图 16 CL-LDO 在不同压差下静态电流随负载电流变化的曲线

图 17 为 CL-LDO 有无 PSR Enhancer 的 PSR 测试对比图. 由 17(a)可知,在 0.1~60 mA 的宽负载电流范围内,使用本文所提出的 PSR 优化方案后,PSR 在 8 kHz 到 1 MHz 频率范围内均有所优化. 在不同负载电流下,PSR 最大优化值为 21~37 dB. 图 17(b)也验证了本设计在不同压差下保持同样的优化效果. CL-LDO 瞬态响应如图 18 所示. 图 18(a)为负载瞬态响应. 负载电流上升时间和下降时间均为 500 ns,电流变化为 0.1~80 mA;最大过冲与下冲电压分别为 200 mV 与 245 mV;过冲与下冲回复时间约为 3 μ s. 图 18(b)为线性瞬态响应,输入电压

为 2~3.3 V,上升和下降时间均为 1 μ s. 最大过冲电压为 263 mV,恢复时间为 1.6 μ s;最大下冲电压为 240 mV,恢复时间为 1.7 μ s.

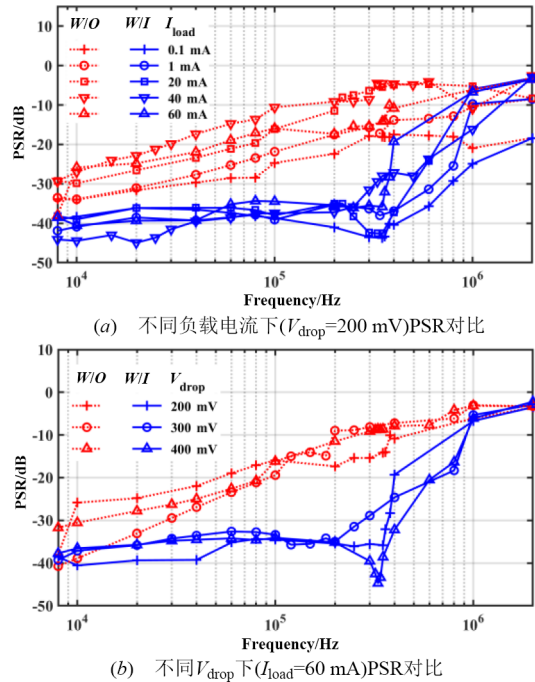
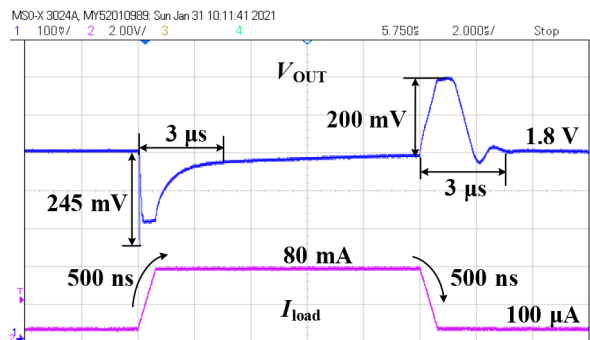
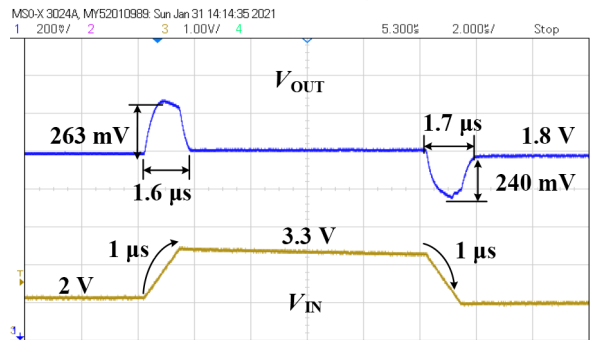


图 17 CL-LDO 有无 PSR Enhancer 的 PSR 测试对比图($C_{load} = 100$ pF)



(a) 负载瞬态响应($V_{IN}/2$ V)



(b) 线性瞬态响应($I_{load}/80$ mA)

图 18 CL-LDO 瞬态响应($C_{load} = 100$ pF)图

表 4 总结了近年来针对 CL-LDO PSR 的优化论文. 本文方案可实现中频段的 PSR 动态优化. 同时,在 0.1~

表 4 CL-LDO主要性能比较表

参数	本文	TCAS-II ^[11]	JSSC ^[12]	JSSC ^[13]	
工艺	CMOS 0.11 μm	CMOS 0.18 μm	CMOS 65 nm	CMOS 0.18 μm	
主极点位置	功率管栅极	功率管栅极	功率管栅极	功率管栅极	
输出电压/V/压差/V	1.8 / 0.2	1.6 / 0.2	1 / 0.2	1.6 / 0.2	
静态电流/ μA	45.5~55	71~101	8~297.5	55~555	
可负载电容/pF	0~100	0~100	0~240	0~100	
可负载电流/mA	0.1~80	0.2~100	1~25	0~50	
面积/ mm^2	0.026*	0.033*	0.087**	0.14*	
PSR优化技术	自适应前馈补偿电流	NCC(非自适应)	ASRC	自适应寄生电容前馈补偿电流	
PSR	优化前@60 mA	优化后@60 mA	-50 @100 kHz	-65 @10 kHz -58 @100 kHz	
	-26 @10 kHz	-40.6 @10 kHz			-52 @10 kHz
	-16 @100 kHz	-35 @100 kHz			-51 @100 kHz
负载瞬态响应	过冲/下冲电压/mV	200/245	210 / -	153 / 225	
	恢复时间/ μs /负载电流阶跃时间/ μs	3/0.5	0.2 / 0.1	1.3 / 0.1	
FOM ^{***} /mV		0.842	0.11	2.789	
				1.332	

注:*面积不包括负载电容;**面积包括负载电容;***FOM^[21]= $K(\frac{\Delta V_{\text{OUT}} I_{\text{Q}}}{\Delta I_{\text{load}}})$.

80 mA的宽负载电流范围内,保持较低的静态电流,因此FOM值较优.

5 总结

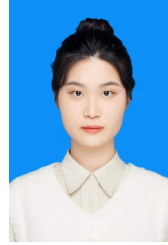
本文采用自适应前馈补偿电流技术,设计并实现了一种具有自适应优化PSR的小静态电流CL-LDO.其中反馈放大器采用低功耗、高稳定性的push-pull放大器,避免了复杂的频率补偿电路与片外大电容,减小了面积.此外,在PSR优化模块中采用无大电阻的差分对称结构的电流放大电路,减小直流偏移误差和面积.而且,在PSR动态调节模块中未使用传统动态优化的功率管拷贝管,而是通过判断功率管的工作状态对MOS补偿电容做出动态调节,进一步减小了静态电流.电路基于0.11 μm CMOS工艺,芯片面积为0.026 mm^2 .流片测试结果表明,当负载电流从0.1 mA变化到80 mA,最大静态电流为55 μA .PSR在8 kHz~1 MHz频率范围内均有所优化.在不同压差和负载电流下,PSR最大优化值为21~37 dB.得益于瞬态响应优化模块,负载瞬态响应恢复时间为3 μs .最终FOM值为0.21 m,与同类研究相比有一定优势.实测结果验证了其性能与可靠性,非常适用于低功耗SoC应用.

参考文献

- [1] HINOJO J M, MARTÍNEZ CL, TORRALBA A. Internally Compensated LDO Regulators for Modern System-on-Chip Design[M]. Switzerland: Springer, 2018: 14-28.
- [2] CHEN, KE-HORNG. Power Management Techniques for Integrated Circuit Design[M]. Singapore: John Wiley & Sons Singapore Pte. Ltd., 2016: 34-49.
- [3] GUPTA V, RINCÓN-MORA G. A low dropout, CMOS regulator with high PSR over wideband frequencies[C]// 2005 IEEE International Symposium on Circuits and Systems. Japan: IEEE, 2005: 4245-4248.
- [4] LEE C H, MCCLELLAN K, CHOMA J. A supply-noise-insensitive CMOS PLL with a voltage regulator using DC-DC capacitive converter[J]. IEEE Journal of Solid-State Circuits, 2001, 36(10): 1453-1463.
- [5] INGINO J M, KAENEL V V. A 4-GHz clock system for a high-performance system-on-a-chip design[J]. IEEE Journal of Solid-State Circuits, 2001, 36(11): 1693-1698.
- [6] YANG B, DROST B, RAO S, et al. A high-PSR LDO using a feedforward supply-noise cancellation technique[C]// 2011 IEEE Custom Integrated Circuits Conference(CICC). USA: IEEE, 2011: 1-4.
- [7] EL-NOZAHY M, AMER A, TORRES J, et al. High PSR low drop-out regulator with feed-forward ripple cancellation technique[J]. IEEE Journal of Solid State Circuits, 2010, 45(3): 565-577.
- [8] Ho E N Y. Wide-loading-range fully integrated LDR with a power-supply ripple injection filter[J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2012, 59(6): 356-360.
- [9] JIANG J Z, WEI S, JOSEPH S, et al. A 65-nm CMOS low dropout regulator featuring > 60-dB PSRR over 10-MHz frequency range and 100-mA load current range[J]. IEEE Journal of Solid-State Circuits, 2018, 53(8): 2331-2342.
- [10] JOSHI K, MANANDHAR S, BAKKALOGLU B. A 5.6 μA wide bandwidth, high power supply rejection linear

- low-dropout regulator with 68 dB of PSR up to 2 MHz[J]. IEEE Journal of Solid-State Circuits, 2020, 55(8): 2151-2160.
- [11] YUN S J, YUN J S, YONG S K . Capless LDO regulator achieving -76 dB PSR and 96.3 fs FOM[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2016, 64 (10): 1147-1151.
- [12] LIM Y, LEE J, PARK S, et al. An external capacitorless low-dropout regulator with high PSR at all frequencies from 10 kHz to 1 GHz using an adaptive supply-ripple cancellation technique[J]. IEEE Journal of Solid-State Circuits, 2018, 53(9): 2675-2685.
- [13] CHANG-JOON P, ONABAJO M, SILVA-MARTINEZ J. External capacitor-less low drop-out regulator with 25 dB superior power supply rejection in the 0.4—4 MHz range [J]. IEEE Journal of Solid-State Circuits, 2013, 49(2): 486-501.
- [14] MAN T Y, MOK P K T, CHAN M . A high slew-rate push-pull output amplifier for low-quiescent current low-dropout regulators with transient-response improvement [J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2007, 54(9): 755-759.
- [15] LI G, QIAN H, GUO J, et al. Dual active-feedback frequency compensation for output-capacitorless LDO with transient and stability enhancement in 65-nm CMOS. [J] IEEE Transactions on Power Electronics, 2019, 35(1): 415-429.
- [16] MING X, LI Q, ZHOU Z K, et al. An Ultrafast Adaptively Biased Capacitorless LDO With Dynamic Charging Control[J]. Circuits and Systems II: Express Briefs, IEEE Transactions on, 2012, 59(1): 40-44.
- [17] CHAVA CHAITANYA K, SILVA-MARTINEZ JOSE. A frequency compensation scheme for LDO voltage regulators[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2004, 51(6): 1041-1050.
- [18] LIN H C, WU H H, CHANG T Y. An active-frequency compensation scheme for cmos low-dropout regulators with transient-response improvement[J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2008, 55 (9): 853-857.
- [19] QU X, ZHOU Z K, ZHANG B, et al. An ultralow-power fast-transient capacitor-free low-dropout regulator with assistant push-pull output stage[J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2013, 60(2): 96-100.
- [20] HUANG Y, LU Y, MALOBERTI F, et al. Nano-ampere low-dropout regulator designs for iot devices[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2018, 65(11): 4017-4026.
- [21] GUO J, LEUNG K N . A 6-w chip-area-efficient output-capacitorless ldo in 90-nm CMOS technology[J]. IEEE Journal of Solid State Circuits, 2010, 45(9): 1896-1905.

作者简介



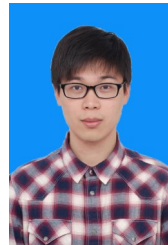
徐 叶 女,1995年生,浙江江山人. 浙江大学信息与电子工程学院硕士研究生. 主要研究方向为模拟集成电路.

E-mail: yeahz@zju.edu.cn



张培勇(通讯作者) 男,1977年生,安徽安庆人. 浙江大学获博士. 主要研究方向为超大规模集成电路设计.

E-mail: zhangpy@zju.edu.cn



李 豪 男,1995年生,浙江嘉兴人. 浙江大学信息与电子工程学院博士研究生. 主要研究方向为SoC电路设计.

E-mail: 11931078@zju.edu.cn



黄开天 男,1992年生,广西钦州人. 清华大学硕士. 主要研究方向为电力物联网通信与传感器应用安全、密码芯片应用.

E-mail: huangkt@csg.cn