

# 面向超大面阵CMOS图像传感器的列总线 自加速建立方法研究

郭仲杰,程新齐,余宁梅,许睿明,李 晨,苏昌勛

(西安理工大学自动化与信息工程学院,陕西西安 710048)

**摘 要:** 在超大面阵CMOS图像传感器(COMS Image Sensor, CIS)中,由于像素面阵输出的列总线上存在超大的寄生电阻电容,列总线信号建立速度的主导因素发生改变,严重影响了读出速度.为了解决这一问题,本文提出了一种可应用于超大面阵CIS列并行读出机制的列总线自加速建立方法,基于电流增益增强理论,在不引入额外总线的前提下,通过对模拟信号建立过程的实时跟踪,加快列总线信号的变化过程,在列总线终端实现了自加速,将超长列总线的读出速度提升了一个数量级.55 nm工艺下的测试与实验结果显示,采用本文提出的方法后,在亿级像素规模CIS列总线引入的寄生电容与寄生电阻分别为47 pF和20 k $\Omega$ 的情况下,光电信号从像素节点到列级电路采样节点的上升建立时间由4  $\mu$ s缩短至790 ns,下降建立时间由22.43  $\mu$ s缩短至1.17  $\mu$ s,将亿级像素规模的CMOS图像传感器帧频提升至100帧,压缩了相关双采样的取样间隔时间,从而拓宽了噪声抑制的频率范围.本文方法实现了在保持低噪声和高速读出的同时,单列功耗仅有6.6  $\mu$ W.

**关键词:** CMOS图像传感器;列并行;相关双采样;低噪声;高速读出

**基金项目:** 国家自然科学基金面上项目(No.62171367);陕西省重点研发计划(No.2021GY-060);陕西省创新能力支撑计划(No.2022TD-39)

中图分类号: TN47

文献标识码: A

文章编号: 0372-2112(2023)06-1581-09

电子学报URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20220002

## Research on Self-Accelerated Establishment Method of Column Bus for Super Large Array CMOS Image Sensor

GUO Zhong-jie, CHENG Xin-qi, YU Ning-mei, XU Rui-ming, LI Chen, SU Chang-xu

(School of Automation and Information Engineering, Xi'an University of Technology, Xi'an, Shaanxi 710048, China)

**Abstract:** In the super large array CMOS image sensor (CIS), due to the large parasitic resistance and capacitance on the column bus output by pixel area array, the dominant factor of column bus signal establishment speed is changed, which seriously affects the readout speed. In order to solve the problem, this paper proposes a high-speed readout circuit that can be applied to the very large array of column parallel readout mechanism CIS. Based on the current gain enhancement theory, on the premise of not produce extra bus, by tracking the analog signal establishment process in real time, the change process of the column bus signal is accelerated, self-acceleration is realized in the terminal of the column bus, and the reading speed of the ultra-long column bus is improved by an order of magnitude. The test and experimental results show that after using the method proposed in this paper, for the 47 pF parasitic capacitance and 20 k $\Omega$  parasitic resistance generated by the 100 million pixel CIS column bus in the 55 nm process, the rising time of the photoelectric signal from the pixel node to the column level circuit sampling node is shortened from 4  $\mu$ s to 790 ns, and the falling time decreased from 22.43  $\mu$ s to 1.17  $\mu$ s. On the one hand, the frame rate of the multi-million-pixel CMOS image sensor is increased to 100 frames, and the sampling interval time of the relevant double sampling is compressed, so the frequency range of noise suppression is broadened. While realizing low noise and high speed readout, the single-column power consumption is only 6.6  $\mu$ W.

**Key words:** CMOS image sensor; column parallel; correlation double sampling; low noise; high-speed readout

**Foundation Item(s):** National Natural Science Foundation of China (No.62171367); Key Research and Development Plan Projects in Shaanxi Province (No.2021GY-060); Shaanxi Provincial Innovation Capability Support Program Project (No.2022TD-39)

### 1 引言

CMOS 图像传感器由于其低功耗、高集成度、低成本等诸多优势被日益青睐,并逐步取代了电荷耦合器件(Charge Coupled Device, CCD). 近些年大面阵的 CIS 在便携设备、航空航天、医疗器械、安防等领域备受关注. 当面阵规模达到亿级规模时,列总线的寄生电容和寄生电阻可达到几十皮法和几十千欧量级,此时寄生参数引起的时间常数将成为制约建立时间的主导因素,这也是亿级面阵规模 CIS 帧频不足一帧的主要原因之一.

文献[1]通过优化版图布局与线宽来减小寄生电容,从而提高读出速度,但是这种方式优化的幅度有限,不能大幅度提高读出速度,因为寄生电容与寄生电阻对线宽的优化是矛盾的. 文献[2~4]通过在像素单元源极跟随器的一侧进行电流采样并传感,然后与基准电流进行比较放大,通过将比较放大后的结果反馈到列总线的方式,来实现对寄生电容的快速充放电,与加速前相比,放电速度可提高 10 倍以上. 然而,该结构存在很明显的缺点. 如果这种加速电路采用行复用结构,则会带来两个问题:一是会引入较长的行总线,行总线带来的较大寄生也会对读出速度产生较大影响;二是行复用结构只能应用于逐个读出机制的 CIS,不适用于现在主流的列并行读出机制的 CIS. 如果加速电路采用列复用结构<sup>[3]</sup>,则会额外引入一条列总线,额外引入的列总线自身的建立时间过慢问题仍然没有解决. 针对以上现有研究进展中未解决的问题,为了提升亿级面阵规模 CIS 的光电信号读取速度,本文基于对超大面阵 CIS 中影响读出速度的瓶颈因素的本质原因分析,提出了一种能够应用于列并行读出的 CIS 自适应加速读出电路,在不引入额外总线的前提下,在列总线采样端实现信号的自加速机制,有效降低了列总线信号的建立时间. 经实验验证,在一款 55 nm 工艺亿级 CIS 的实际物理试验下,面对 47 pF 寄生电容与 20 kΩ 寄生电阻的列线超大寄生参数,采用本文提出的加速方法后,建立时间提高了 10 倍以上.

### 2 CIS 架构特征分析

CIS 在同一芯片上集成了模拟读出电路和数字时序产生电路,其中模拟电路主要包括像素阵列、列级可编程增益放大器(Programmable Gain Amplifier, PGA)、模数转换器(Analog-to-Digital Converter, ADC)等模块,如图 1 所示. 为了便于分析,本文以 4T 结构为例进行分析. 需要说明的是,本文提出的方法可以适用于 4T, 5T, 6T, 7T, 8T 等所有有源像素结构的 CIS.

从 4T 像素输出的图像信号经过列级 PGA 放大,然后经 ADC 将模拟信号数字化,并将数字化后的数据存

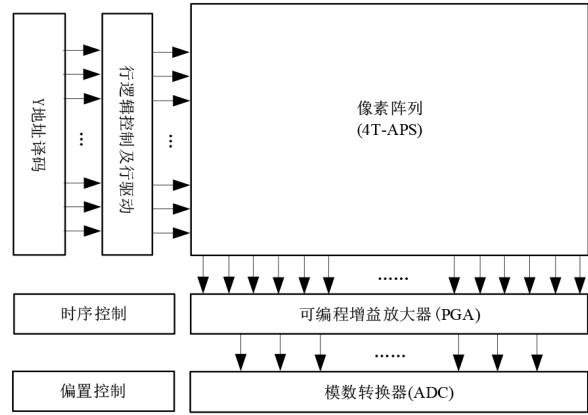


图 1 CMOS 图像传感器结构框图

储在静态随机存储器(Static Random-Access Memory, SRAM)中,最后水平移位以数字信号形式进行输出. 可以看出,影响 CIS 帧频的主要路径包括像素面阵的采集与读出、模拟信号的放大处理与数字转换、数字信号的串行输出. 当前在模拟信号的放大处理与数字转换、数字信号的串行输出等方面,研究人员已经实现了结构的不断改进,对处理速度进行了提升. 但是,在像素面阵的列总线信号采集与读出节点上,对于亿级像素面阵而言,此时的读出速度的制约因素已经不是传统电路,而是超大的布线寄生参数.

影响系统读出速度和精度的模拟前端核心电路如图 2 所示. CMOS 图像传感器的像素阵列采用列复用结构,每一列像素由列总线相连,共用一个读出电路,图中所示的列总线在亿级像素规模下,金属布线的长达将超过 100 mm,这对集成电路设计而言,已经达到天文量级,寄生参数影响巨大.

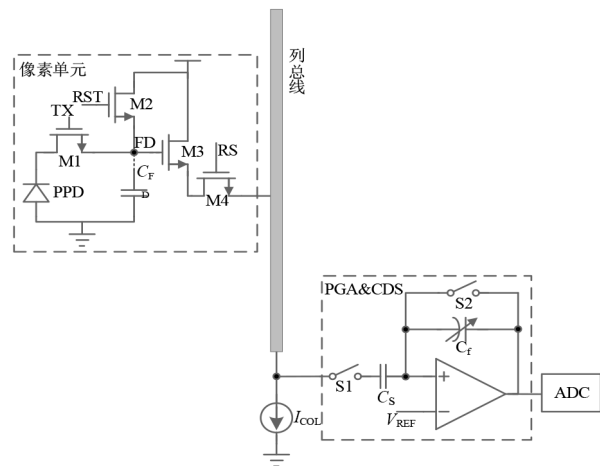


图 2 CIS 模拟前端核心电路

### 3 寄生对 CIS 列线输出的影响

#### 3.1 寄生电阻对输出的影响分析

列共用结构的 CIS 不可避免地会在列金属总线上

引入寄生电阻  $R_p$  与电容  $C_p$ 。为了进一步描述列总线的寄生参数,本文用  $\pi$  模型表示<sup>[5]</sup>,如图 3 所示,图中 M1 管为 4T 像素中的源极跟随器,M2 管为位于列线末端的恒流源偏置管。

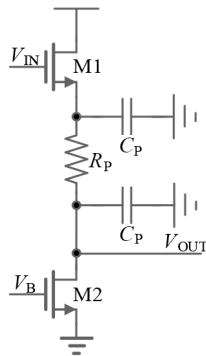


图 3 带寄生参数的源极跟随器

考虑到寄生电阻对输出的影响,可推出源极跟随器(Source Follower, SF)输出为

$$V_{OUT} = V_{IN} - V_{GS1} - I_{COL} \times R_p \quad (1)$$

其中,  $V_{IN}$  为 4T 像素单元的悬浮点(用 FD 表示)的电压;  $V_{GS1}$  为 M1 的栅源压差;  $I_{COL}$  为源极跟随器的尾电流,同时也是 M2 工作在饱和区时的电流。

结合式(1),经过相关双取样电路(Correlated Double Sampling, CDS)后的输出电压为

$$\begin{aligned} V_{OUT\_CDS} &= V_{OUT\_RST} - V_{OUT\_INT} \\ &= V_{IN\_RST} - V_{IN\_INT} \end{aligned} \quad (2)$$

其中,  $V_{IN\_RST}$  为 FD 点的复位电压;  $V_{OUT\_RST}$  为 CDS 采样到的复位电压;  $V_{IN\_INT}$  为光电二极管曝光完成后的积分电压;  $V_{OUT\_INT}$  为 CDS 采样到的积分电压信号。

由式(1)和式(2)可以看出,寄生电阻会降低输出电压的摆幅,但是在 M2 工作饱和的情况下,几乎不影响 CDS 输出的结果<sup>[6]</sup>。

### 3.2 寄生电容对输出的影响分析

当列线输出复位电压  $V_{OUT\_RST}$  时,源极跟随器对寄生电容充电,充电时间  $T_C$  可以表示为

$$\begin{aligned} T_C &= \frac{C_{line} \Delta V}{I_C} \\ &= \frac{C_{line} (V_{OUT\_RST} - V_{OUT\_INT0})}{k_{n1} V_{sat}^2 - I_{COL}} \end{aligned} \quad (3)$$

其中,  $V_{OUT\_INT0}$  为上一帧列线输出的积分信号;  $I_C$  为寄生电容的充电电流;  $V_{sat}$  为过驱动电压,具体表示如下:

$$V_{sat} = V_{IN\_RST} - V_{OUT} - I_{COL} \times R_p - V_{TH} \quad (4)$$

其中,  $V_{OUT}$  是一个关于时间  $t$  的函数。初始时刻  $V_{OUT}$  为  $V_{OUT\_INT0}$ ,此时充电电流最大,随着时间的变化,  $V_{OUT}$  逐渐升高,充电电流  $I_C$  逐渐减小,信号的上升速度也逐渐降低。

当列线输出积分信号  $V_{OUT\_INT}$  时,寄生电容通过尾电流  $I_{COL}$  放电,放电时间  $T_D$  可以表示为

$$T_D = \frac{C_{line} (V_{OUT\_RST} - V_{OUT\_INT})}{I_{COL}} \quad (5)$$

通过式(5)可以看出:在尾电流  $I_{COL}$  和寄生电容  $C_{line}$  一定时,放电时间  $T_D$  与输出电压的变化量成正比;在尾电流  $I_{COL}$  和输出电压的变化量一定时,放电时间  $T_D$  与寄生电容  $C_{line}$  成正比。这也是限制寄生电容放电速度的直接原因。

### 3.3 寄生参数理论计算与实验结果的对比与分析

寄生电阻  $R_p$  与电容  $C_{line}$  的数值会随着列线的长度的增加而增加。长 100 mm、宽 0.5  $\mu\text{m}$  的金属线产生的寄生电阻为

$$R_p = \frac{\rho}{t} \cdot \frac{L}{W} = R_s \frac{L}{W} = 100(\text{m}\Omega) \frac{100(\text{mm})}{0.5(\mu\text{m})} = 20(\text{k}\Omega) \quad (6)$$

其中,  $L$  和  $W$  是金属线的长度和宽度;  $R_s$  为方阻,可从工艺手册中获取。因此,随着面阵规模的增加,金属列线的长度也会随之增加,阻值就会增大,导致图像质量变差。在同一个 CIS 中,不同行的寄生电阻不同,导致像素的响应也是不同的<sup>[7]</sup>。由式(1)可推导源极跟随器输出的动态摆幅  $DS_{OUT}$  与寄生电阻  $R_p$  之间的关系为

$$\begin{aligned} DS_{OUT} &= DS_{IN} + \frac{R_p}{R_p + R_{ON}} (V_{IN\_RST} - DS_{IN} - V_{gs1\_ON}) \\ &\quad - R_p \times I_{COL} - \Delta V_{gs1} \end{aligned} \quad (7)$$

其中,  $DS_{IN}$  为 FD 点的信号摆幅,它与像素的曝光时间和光电二极管的动态范围有关。

寄生电阻对输出摆幅影响的实验结果如图 4 所示。实验结果显示:在寄生电阻为 0 k $\Omega$  时,即在理想情况下,列总线输出摆幅最大;寄生电阻为 20 k $\Omega$  时,摆幅居中;寄生电阻为 40 k $\Omega$  时的摆幅最小。可见寄生电阻越大,列总线上的输出摆幅越小。

假设 FD 点的复位电压  $V_{IN\_RST}$  为 2.8 V,寄生电阻对 CDS 的影响结果如图 5 所示。结果显示:在寄生电阻为

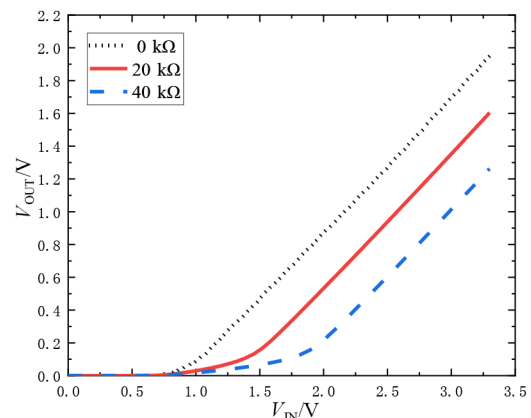


图 4 寄生电阻对输出摆幅的影响

0 kΩ时,CDS的输出摆幅最大;寄生电阻为20 kΩ时的摆幅居中;寄生电阻为40 kΩ时的摆幅最小.可见寄生电阻会严重影响CDS的范围,但是当 $V_{IN\_INT} > 1.9$  V时,尾电流源管工作在饱和区,3条输出曲线几乎重合,即寄生电阻对CDS的结果几乎不产生影响,这与前面的理论分析一致.

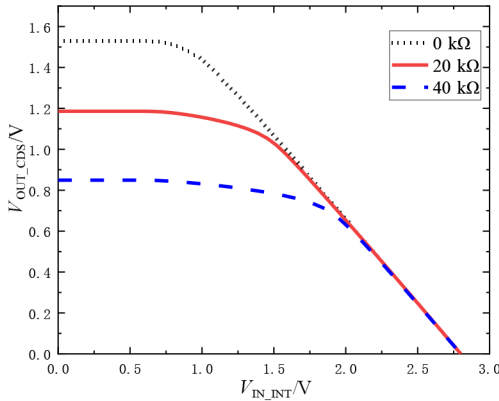


图5 寄生电阻对CDS结果的影响

寄生电容主要由平行板和边缘场组成.由于电路寄生环境较为复杂,无法用手工计算寄生电容,可以通过仿真工具进行模拟<sup>[1]</sup>,对单位长度的寄生电容做出估计.模拟出寄生电容大小表示为

$$C_{line} = 4.2 \times 10^{-16} (\text{F}/\mu\text{m}) \times L_{BUS} \quad (8)$$

其中,常数为模拟出的单位长度的寄生电容, $L_{BUS}$ 为列总线的长度.假设像素尺寸为10 μm,则10 000行像素模拟出的寄生电容为

$$\begin{aligned} C_{line} &= 4.2 \times 10^{-16} (\text{F}/\mu\text{m}) \times 100(\text{mm}) \\ &\cong 42(\text{pF}) \end{aligned} \quad (9)$$

考虑到4T像素单元行选晶体管M4的结电容,则10 000行像素的结电容为

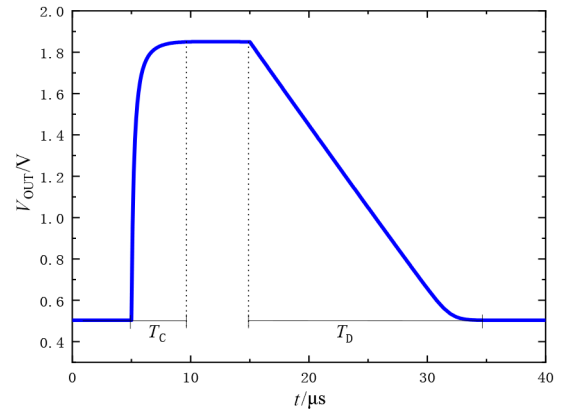
$$\begin{aligned} C_{diff} &= 1.12 \times 10^{-15} (\text{F}/\mu\text{m}) \times 0.42(\mu\text{m}) \times 10\,000 \\ &\cong 4.704(\text{pF}) \end{aligned} \quad (10)$$

$I_{COL}$ 为3 μA时,列总线上的输出电压波形与寄生电容的充放电电流波形如图6所示.可以看出,由于 $I_{COL}$ 对放电电流的限制,放电过程不像充电过程那样具有瞬间的大电流,导致放电时间 $T_D$ 明显比充电时间 $T_C$ 长数倍.这也为我们的设计提供了思路:需要给寄生电容提供一个额外的放电通路,以达到快速建立的效果,来提高面阵的读出速度.

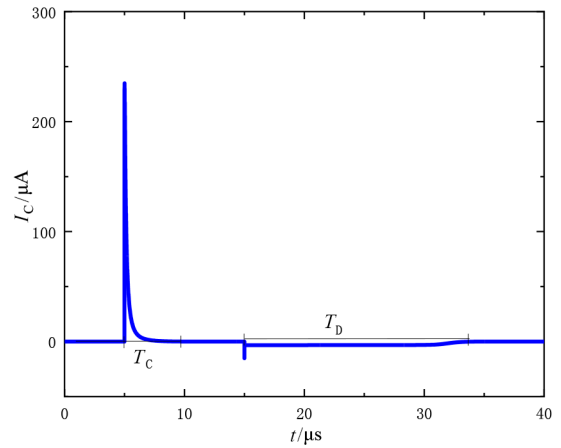
## 4 基于电流增益增强型的列总线终端自加速机制

### 4.1 自加速电路设计思想

本文提出的基于电流增益增强型的列总线终端自加速电路原理如图7所示.电路结构简单,只包含2个



(a) 列线输出电压波形



(b) 对寄生电容的充放电电流波形

图6 寄生电容对输出的影响

部分,分别是 $C_S$ 和 $R_S$ 组成的电流采样电路和运算跨导放大器(Operational Transconductance Amplifier, OTA).如图8所示,当像素单元输出复位电压 $V_{OUT\_RST}$ 时,像素内部的源极跟随器对寄生电容 $C_{line}$ 和采样电容 $C_S$ 同时进行充电,充电波形如图8中所示, $I_C$ 中的正电流为对寄生电容的充电电流波形, $I_S$ 中的正电流为对采样电容 $C_S$ 的充电电流波形.对 $C_S$ 的充电电流 $I_S$ 经过 $R_S$ 转化为电压信号 $V_S$ 并输入至OTA的同相端,由于OTA的反相端电位为0,同相端电位大于反相端,OTA会输出电流给 $C_{line}$ 和 $C_S$ 进行加速充电. $I_C$ 和 $I_S$ 中所示的充电电流由两部分组成,分别是像素中源极跟随器输出的电流和OTA输出的电流.正是由于OTA输出电流的加入,寄生电容得到了一个较大的充电电流,进而加快了列线的上升建立速度.

此时OTA输出电流大小为

$$\begin{aligned} I_O &= I_S \times A_i \\ &= \frac{sC_S V_{OUT}}{1 + sR_S C_S} \times A_i \end{aligned} \quad (11)$$

其中, $I_S$ 为采样电流; $A_i$ 为OTA的增益.由于列线输出

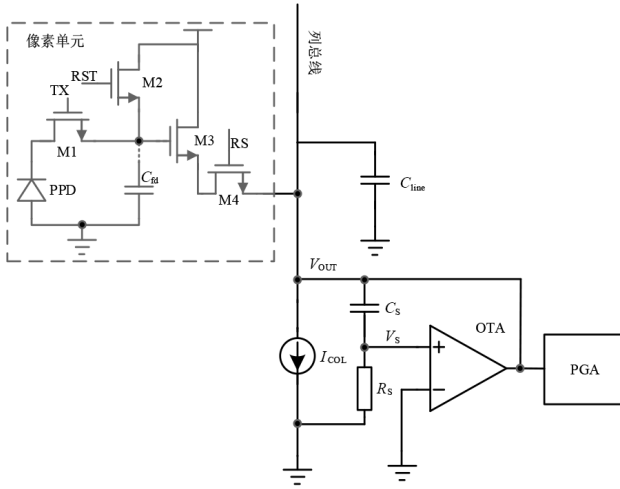


图7 本文提出的基于电流增益增强型的列总线终端自加速电路原理

电压迅速升高,导致OTA输出电流 $I_O$ 迅速下降, $I_S$ 和 $V_S$ 也会随着逐渐下降.当 $V_{OUT}$ 达到复位电压 $V_{OUT\_RST}$ 时, $I_S$ 和 $V_S$ 均为0,此时OTA的同相端和反相端电位相同,OTA输出电流为0.至此,对寄生电容 $C_{line}$ 加速充电完成.加速后的充电时间可以表示为

$$\begin{aligned} T_{C1} &= \frac{C_{line}(V_{OUT\_RST} - V_{OUT\_INT0})}{k_{n1}V_{sat}^2 + I_O - I_{COL}} \\ &= \frac{C_{line}(V_{OUT\_RST} - V_{OUT\_INT0})}{k_{n1}V_{sat}^2 + \frac{sC_S V_{OUT} A_i}{1 + sR_S C_S} - I_{COL}} \end{aligned} \quad (12)$$

当像素单元输出积分信号 $V_{OUT\_INT}$ 时, $C_{line}$ 和 $C_S$ 同时放电,如图8中 $I_C$ 和 $I_S$ 的电流波形所示,放电过程中采样电流 $I_S$ 为负电流,经过采样电阻产生的采样电压信号 $V_S$ 也为负值,此时OTA的反相端电位大于同相端,OTA输出负电流,即 $C_{line}$ 和 $C_S$ 通过OTA放电.之后由于列总线输出电压逐渐降低, $I_S$ 逐渐升高,致使放电电流逐渐减小.当 $V_{OUT}$ 下降到 $V_{OUT\_INT}$ 时, $I_S$ 为0,则采样电压 $V_S$ 也为0,此时由于OTA的同相端和反相端的电位相同,OTA输出电流也为0.至此,对寄生电容 $C_{line}$ 加速放电完成.

加速后的放电时间可以表示为

$$\begin{aligned} T_{D1} &= \frac{C_{line}(V_{OUT\_RST} - V_{OUT\_INT})}{I_{COL} + I_O} \\ &= \frac{C_{line}(V_{OUT\_RST} - V_{OUT\_INT})}{I_{COL} + \frac{sC_S V_{OUT} A_i}{1 + sR_S C_S}} \end{aligned} \quad (13)$$

#### 4.2 自加速电路改进与优化

通过上述的分析可知,对列线信号的加速过程是一个正反馈的过程, $I_C$ 与 $I_S$ 的相位差达一旦到一定程度,极易产生振荡.为了提高图7电路的稳定性,在OTA的输

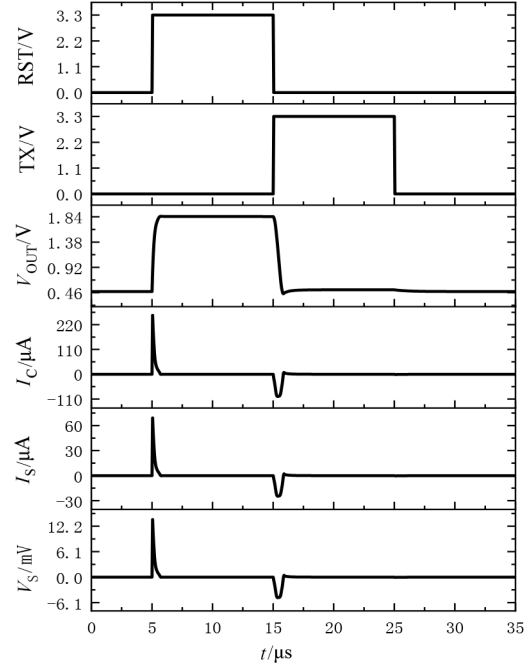


图8 采样信号波形

出端引入2个二极管,如图9所示.二极管可保证在像素单元输出复位电压或者积分信号时,OTA只对寄生电容进行充电或者放电.这样做带来的弊端有2点:

(1)加速电路丧失了动态调节能力.当对寄生电容产生过充电和过放电的情况时,只能依靠源极跟随器自身的驱动能力进行调节.

(2)由于二极管压降,损失了一部分像素单元的输出摆幅,损失的摆幅为

$$V_{LOSS} = V_{TH\_DIO} - V_{dsmin} \quad (14)$$

其中, $V_{TH\_DIO}$ 为二极管的阈值电压; $V_{dsmin}$ 为尾电流管工作在饱和区时的最小漏源电压.由于像素单元最高输出电压远低于OTA的最高输出电压,即使OTA输出的最高电压损失了1个 $V_{TH\_DIO}$ ,仍大于像素的最高输出电压,所以二极管的引入不会导致像素单元输出的最高电压损耗,但是会使像素单元输出的最低电压为 $V_{TH\_DIO}$ .OTA采用负压供电,将OTA输出的最低电压降低到负值,可以解决这一输出摆幅损耗问题.

通过上述方式,可使列总线输出的复位信号和积分信号加速建立,从而大幅度缩短复位信号与积分信号读出的时间间隔,可提高面阵的读出速度,同时还能大幅度提高CDS的降噪性能<sup>[8]</sup>.

#### 5 测试验证结果与数据分析

采用55 nm的CMOS图像传感器工艺对本文提出的研究成果进行了物理级验证与分析.基于对亿级像素的超大面阵CIS的实际寄生参数的分析,在寄生电容 $C_{line}$ 为47 pF情况下, $C_S$ 设计为2 pF, $R_S$ 设计为5 k $\Omega$ ,

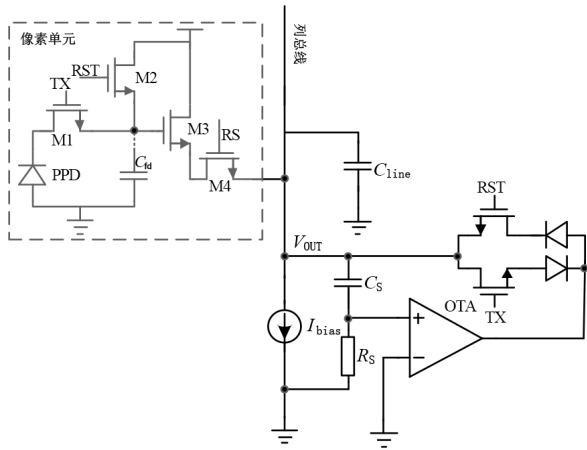


图9 具有高稳定性的加速电路

OTA 采用文献[9]中的低功耗、高摆率结构,PGA 采用普通结构,ADC 采用文献[10]中的TDC 型结构,其转换时间可小于  $1 \mu\text{s}$ . 64 列自加速电路与PGA 和ADC 读出电路版图如图10 所示,从图中可以看出,加速电路占列电路的比例约为 20%,对于亿级像素以上规模 CIS 而言,加速电路占全芯片的比例不足 0.01%,可见,本文提出的方法对于亿级像素规模 CIS 的版图占比几乎可以忽略. 验证结果如图 11 所示. 加速前充电时间  $T_C$  和放电时间  $T_D$  分别为  $4 \mu\text{s}$  和  $22.43 \mu\text{s}$ ,加速后充电时间  $T_{C1}$  和放电时间  $T_{D1}$  分别为  $790 \text{ ns}$  和  $1.17 \mu\text{s}$ . 可以看出,与加速前相比,由于给寄生电容提供了基于建立信号对应关系的自适应电流增强型充放电电流,对寄生电容的充电时间至少提升了 5 倍,放电时间提升了 10 倍以上. 同时可以看出,该增强电流在信号稳定建立后会趋于零功耗,并不会在芯片的设计中引入额外的直流功耗,这对低功耗高速 CIS 的研制具有相当大的优势.

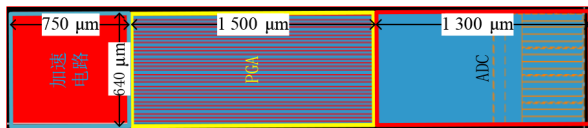
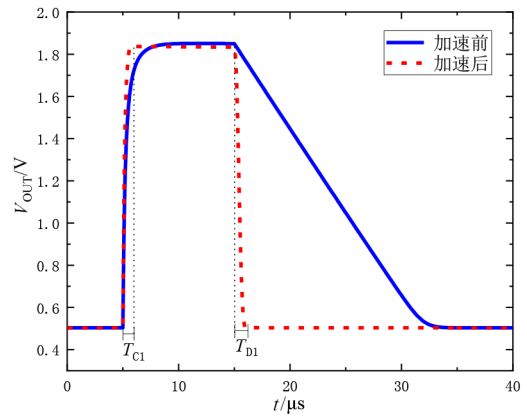
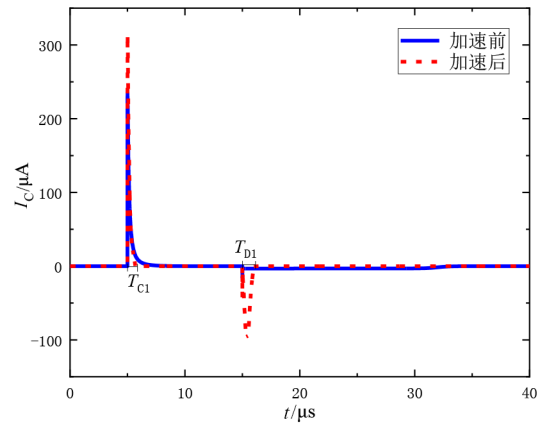


图10 64列读出电路版图

在面阵的读出过程中,在读取不同行时,总线的有效长度会发生改变,由式(6)和式(8)可知寄生电阻与寄生电容的量也会随之发生改变. 图12 分别验证了在读取不同行时的上升与下降建立时间,并将加速前后的结果做了对比. 根据图中的实验结果可知,在行数从 1 递增至 10 000 时,加速前上升建立时间从  $0.1 \mu\text{s}$  递增至  $4 \mu\text{s}$ ,下降建立时间从  $0.2 \mu\text{s}$  递增至  $22.43 \mu\text{s}$ ,加速后上升建立时间从  $0.1 \mu\text{s}$  递增至  $0.79 \mu\text{s}$ ,下降建立时间从  $0.3 \mu\text{s}$  递增至  $1.17 \mu\text{s}$ . 与加速前相比,加速后的效果明显,上升和下降建立时间稳定,不会随着行数的改变出现巨大波动,并且建立时间与列数无关.



(a) 加速前后的输出电压波形



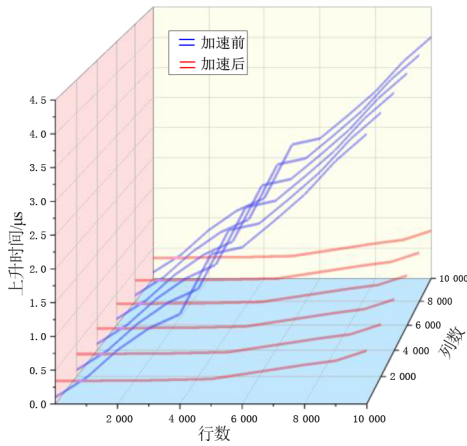
(b) 加速前后电容充放电电流波形

图11 加速前后的对比波形

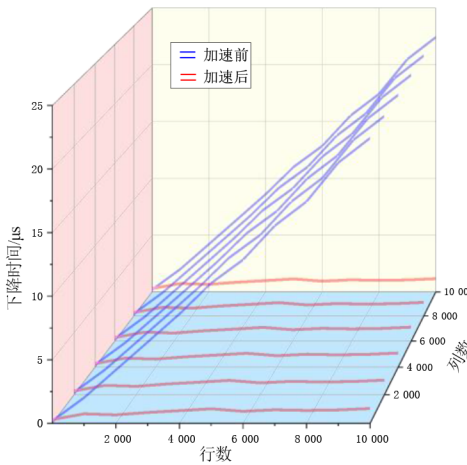
为了进一步验证电路的可靠性,分别验证了在不同光照以及在不同工艺角和温度条件下对输出的影响,测试结果如图13 和图14 所示. 结果显示,光照越强,输出的摆幅越大并且信号建立的速度也很快. 在不同温度和工艺角的情况下,输出有差异,但是整体稳定,具有较高的可靠性.

由于列线每次输出的复位信号几乎是固定的,为了进一步提高亿像素 CIS 的帧率,在设计中,本文在列线上额外接入了复位信号的驱动跟随电路,使列线上的复位电压在  $100 \text{ ns}$  以内快速建立,如图15 所示. 图中的复位参考电压  $V_{\text{REF\_RST}}$  是从 dummy 列上采样的复位信号. 积分信号的快速建立还是通过自加速电路来实现. CIS 像素阵列的读出时序如图16 所示,读出的行时间为  $1.22 \mu\text{s}$ ,对于  $7560 \times 13440$  的亿级规模 CIS 而言,其帧率即达到 100 帧/s.

当前的研究成果如表1 所示,可以看出,文献[1]在具有  $73 \text{ pF}$  的寄生电容的情况下,通过优化版图布局与线宽来减小寄生电容的方式,上升和下降建立速度分别达到了  $1.3 \text{ V}/\mu\text{s}$  和  $0.48 \text{ V}/\mu\text{s}$ ,综合比较,其上升速度



(a) 加速前后上升时间对比



(b) 加速前后下降时间对比

图 12 不同行数时的加速前后效果对比

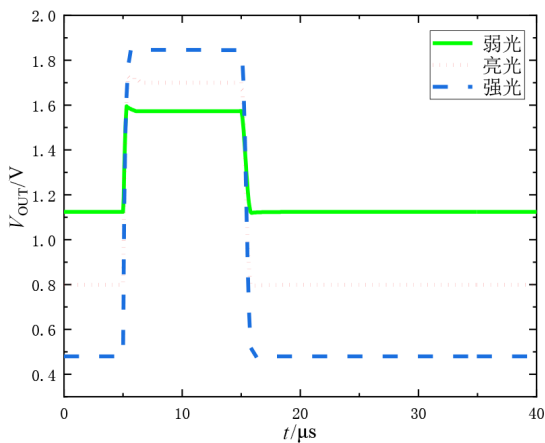


图 13 不同光照条件下的输出波形

比本设计略高,下降速度却远不如本设计达到的效果. 文献[2~4]提出的结构基本相同. 综合考虑,文献[2]和文献[4]的上升速度比本文提出的设计略快,下降速度却不及本设计的实验结果. 其中文献[4]达到的效果最好,在 1 pF 的寄生电容的情况下,上升和下降建立速度

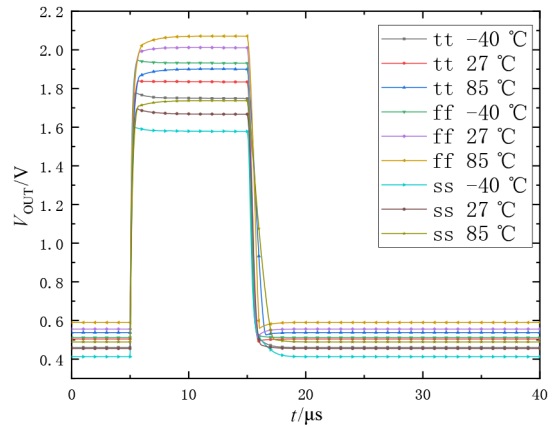


图 14 不同工艺角及温度下的输出波形

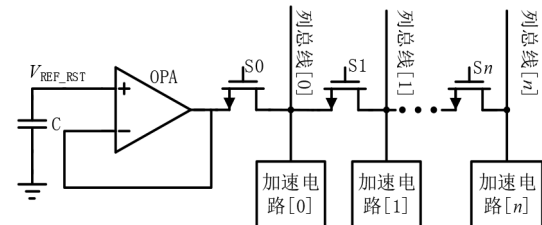


图 15 复位信号快速建立电路原理

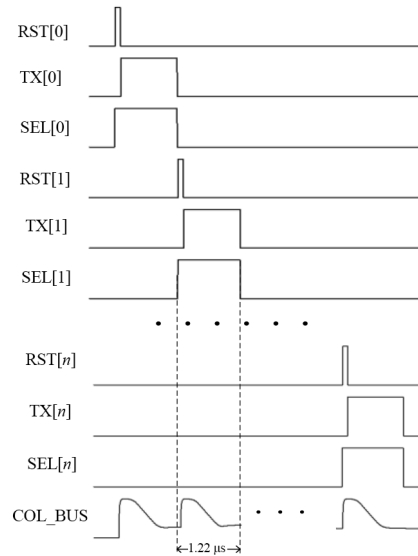


图 16 CIS 像素阵列的读出时序

表 1 测试结果与现有方法的对比

	文献[1]	文献[2]	文献[3]	文献[4]	本文
寄生电容/pF	73	19	0.8	1	46
上升速度/( $\text{V} \cdot \mu\text{s}^{-1}$ )	1.3	2.3	0.5	49.4	1.5
下降速度/( $\text{V} \cdot \mu\text{s}^{-1}$ )	0.5	0.7	0.3	10.5	1.3
读出模式	所有	逐个列并行	逐个列并行	逐个	逐个列并行
是否引入额外总线	否	是	是	是	否

分别达到 49.4  $\text{V}/\mu\text{s}$  和 10.5  $\text{V}/\mu\text{s}$ . 文献[3]实验结果的上升和下降建立速度分别为 0.5  $\text{V}/\mu\text{s}$  和 0.3  $\text{V}/\mu\text{s}$ , 都不

及本设计的实验结果. 而且它们都具有限制读出机制和引入额外总线的问题. 本文在列总线寄生为 47 pF 的情况下, 上升和下降建立速度分别达到 1.5 V/ $\mu$ s 和 1.33 V/ $\mu$ s, 取得了较好的实验结果, 并且没有引入额外的总线, 同时可以应用于列并行及逐个读出机制的 CIS, 具有很大的应用价值.

在相同的面阵下, 加速前后行读出时间的对比结

果如表 2 所示. 文献[11~13]的单条列总线等效寄生电容分别为 0.8 pF, 1.3 pF, 4.3 pF, 采用本文的自加速机制, 行时间可分别缩短至 5  $\mu$ s, 3.8  $\mu$ s, 2.5  $\mu$ s. 结合上述理论分析, 列总线寄生阻容越大, 本方法达到的加速效果就越好. 综上, 本文提出的基于电流增益增强型的列总线终端自加速机制非常适合在超大面阵的 CIS 中应用.

表 2 CIS 行时间加速前后结果对比

	文献[11]	文献[12]	文献[13]
面阵 $H \times V$	1 400 $\times$ 1 080	3 840 $\times$ 2 160	2 897 $\times$ 1 977
列线寄生电容/pF	0.8	1.3	4.3
行时间/ $\mu$ s	15.4	13.2	12.7
采用本文方法加速后的行时间/ $\mu$ s	5.0	3.8	2.5

## 6 结论

本文提出了一种应用于亿级超大面阵 CIS 的自加速机制, 通过对高精度模拟信号建立过程的实时跟踪, 加快了列总线信号的变化过程, 有效缩短了像素输出信号的建立时间. 基于 55 nm 1P4M CMOS 图像传感器工艺对所提出的方法在亿级规模芯片设计中进行了详细设计与测试验证. 结果显示, 在亿级像素产生的 47 pF 寄生电容和 20 k $\Omega$  寄生电阻的条件下, 相比现有的 CIS 设计方法, 其上升建立时间由 4  $\mu$ s 缩短至 790 ns, 下降建立时间由 22.43  $\mu$ s 缩短至 1.17  $\mu$ s, 将亿级像素规模的 CIS 帧频提升至 100 帧的同时压缩了相关双采样的取样间隔时间, 从而拓宽了噪声抑制的频率范围<sup>[14]</sup>, 同时, 单列功耗仅有 6.6  $\mu$ W. 对比已有的研究成果, 本文提出的设计在不引入额外总线的前提下, 将读出速度提升了一个数量级, 并且适用于多种读出机制的超大面阵 CIS, 为低功耗高帧频超大面阵高端 CIS 的设计与研制提供了扎实的理论基础和高效的解决方案.

## 参考文献

- [1] KIM M, KANG D U, LEE D H, et al. Study on the fast signal transfer for large-area X-ray image sensors[C]//2013 IEEE Nuclear Science Symposium and Medical Imaging Conference (2013 NSS/MIC). Seoul: IEEE, 2013: 1-5.
- [2] GEORGE S, IGNJATOVIC Z. An improved high speed low noise CMOS image sensor[C]//2014 IEEE 57th International Midwest Symposium on Circuits and Systems. College Station: IEEE, 2014: 941-944.
- [3] GEORGE S S, BOCKO M F, IGNJATOVIC Z. Current sensing-assisted active pixel sensor for high-speed CMOS image sensors[J]. IEEE Sensors Journal, 2015, 15(8): 4365-4372.
- [4] IGNJATOVIC Z, ZHANG Y, BOCKO M F. CMOS image

sensor readout employing in-pixel transistor current sensing[C]//2008 IEEE International Symposium on Circuits and Systems. Seattle: IEEE, 2008: 1858-1861.

- [5] KIM M S, KANG D U, LEE D H, et al. Fast signal transfer in a large-area X-ray CMOS image sensor[J]. Journal of Instrumentation, 2014, 9(8): P08011.
- [6] XU J T, LI W, NIE K M, et al. A method to reduce the effect on image quality caused by resistance of column bus [J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(1): 173-181.
- [7] GAO J, ZHANG D Z, NIE K M, et al. Analysis and Optimization design of the column bus parasitic effects on large-array CMOS image sensor[J]. Microelectronics Journal, 2020, 96: 104681.
- [8] BOUKHAYMA A, PEIZERAT A, ENZ C. Noise reduction techniques and scaling effects towards photon counting CMOS image sensors[J]. Sensors, 2016, 16(4): 514-532.
- [9] 叶珍华, 杨海钢, 李凡阳, 等. 大电容负载下的高速、低功耗动态摆率增强电路研究[J]. 微电子学与计算机, 2012, 29(12): 75-79.  
YE Z H, YANG H G, LI F Y, et al. A universal high-speed, low-power dynamic slew-rate enhancement circuit for large capacitance[J]. Microelectronics & Computer, 2012, 29(12): 75-79. (in Chinese)
- [10] LEVSKI D, WÄNY M, CHOUBEY B. A 1- $\mu$ s ramp time 12-bit column-parallel flash TDC-interpolated single-slope ADC with digital delay-element calibration[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(1): 54-67.
- [11] CHEN M, ZHOU L, YANG Y J, et al. A 15.5x-gain 0.29-mm<sup>2</sup> CMOS readout circuit for 1.5-Mpixel 60-fps CMOS

image sensor[J]. Analog Integrated Circuits and Signal Processing, 2021, 108(1): 89-99.

- [12] SATO M, YORIKADO Y, MATSUMURA Y, et al. 5.8 A 0.50e-rmsNoise 1.45  $\mu\text{m}$ -pitch CMOS image sensor with reference-shared In-pixel differential amplifier at 8.3 Mpixel 35 fps[C]//2020 IEEE International Solid-State Circuits Conference. San Francisco: IEEE, 2020: 108-110.
- [13] SAKANO Y, TOYOSHIMA T, NAKAMURA R, et al. 5.7 A 132dB single-exposure-dynamic-range CMOS image sensor with high temperature tolerance[C]//2020 IEEE International Solid-State Circuits Conference. San Francisco: IEEE, 2020: 106-108.
- [14] PRIYADARSHINI N, SARKAR M. A 2erms-temporal noise CMOS image sensor with In-pixel 1/f noise reduction and conversion gain modulation for low light imaging [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2021, 68(1): 185-195.

#### 作者简介



郭仲杰 男,1982年出生,陕西韩城人. 教授. 主要研究方向为超大规模数模混合集成电路设计.

E-mail: zjguo@xaut.edu.cn



程新齐 男,1994年出生,河南周口人. 目前在西安理工大学自动化与信息工程学院攻读硕士学位. 主要研究方向为超大规模集成电路设计.

E-mail: xinqi2023@163.com