

基于刀片型限制结构的相变存储器阵列的热串扰效应研究

连晓娟^{1,2}, 高志瑄¹, 付金科¹, 王磊¹

(1. 南京邮电大学集成电路科学与工程学院, 江苏南京 210023;

2. 南京邮电大学射频集成与微组装技术国家地方联合工程实验室, 江苏南京 210023)

摘要: 大数据时代的到来, 对高密度存储和计算的速度、功耗提出了更高的要求. 相变存储器由于具有较短的读取延迟和良好的可扩展性, 在存储和计算领域中具有广阔的应用前景. 将相变存储器扩展为高密度存储阵列时所产生的热串扰现象是目前阵列集成所面临的重要挑战, 而热串扰所产生的干扰热量会进一步传递到相邻单元并使其发生误操作, 导致存储器阵列的可靠性、准确性和稳定性受到影响. 因此, 本文针对一种新型刀片型结构的 3×3 相变存储器阵列在激活状态下的热串扰现象进行了系统研究, 通过仿真计算软件 Comsol Multiphysics 系统研究了新型刀片型结构的相变存储器阵列对热串扰的敏感性, 并探讨了器件单元间距、器件结构尺寸、编程脉冲以及阵列的缩放效应对存储器阵列在工作时所产生的热串扰效应及其功耗的影响. 研究结果显示: 基于新型刀片型结构的相变存储器阵列, 即使将其缩放到 20 nm 的技术节点, 在 5 nm 的器件单元间距下仍可保持较低的最大热串扰温度. 此外本文对阵列单元外部的绝缘层材料进行了改进, 通过使用较高热导系数的 AlN 薄膜来代替 SiO_2 薄膜, 在存储器阵列功耗几乎保持不变的情况下进一步有效抑制了热串扰效应, 使其最大热串扰温度下降了 12.3%. 该研究成果对未来基于相变存储器的高密度存储和计算阵列的集成具有非常重要的指导意义.

关键词: 相变存储器; 刀片型结构; 交叉阵列; 热电模型; 热串扰效应

基金项目: 国家自然科学基金(No.61964012, No.61804079); 江苏省自然科学基金(No.BK20211273); 江苏省政策引导类国际合作项目(No.BZ2021031); 射频集成与微组装技术国家地方联合工程实验室开放课题(No.KFJJ20200102); 江西省自然科学基金青年重点项目(No.20202ACBL21200); 南京邮电大学科研启动基金(No.NY220112)

中图分类号: O792; TN40 **文献标识码:** A **文章编号:** 0372-2112(2023)02-0396-10

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20211548

Thermal Disturbance Effect of Phase Change Random Access Memory Array Based on Blade-Type Structure

LIAN Xiao-juan^{1,2}, GAO Zhi-xuan¹, FU Jin-ke¹, WANG Lei¹

(1. The College of Integrated Circuit Science and Engineering, Nanjing University of Posts and Telecommunications, Nanjing, Jiangsu 210023, China;

2. National and Local Joint Engineering Laboratory for Radio Frequency Integration and Micro-assembly Technology, Nanjing University of Posts and Telecommunications, Nanjing, Jiangsu 210023, China)

Abstract: With the advent of the era of big data, higher requirements are put forward for high density storage, computing speed and power consumption. Phase-change random access memory (PCRAM) has been considered as one of the most promising candidates for future non-volatile storage applications due to its short-read delay and good scalability. The high-density integration of memory array is indispensable for its rapid commercial applications. The thermal disturbance (TDB) effect caused by the expansion of PCRAM cell into high density storage array is an important challenge for array integration. The interference heat generated will be further transferred to the adjacent cells to make them operation mistake and affect their reliability, accuracy and stability of the storage array. Therefore, in this paper, the TDB effect of a 3×3 PCRAM array that is based on a new blade-type structure is systematically studied by using Comsol Multiphysics simulation software. We further discuss the relationship between the TDB effect and the space of storage cell, the size of device

structure, the programming pulse and the scaling effect of PCRAM array. The results show that even when a blade-type structure based PCRAM array is scaled to a 20 nm technology node, the effect of TDB still remains low at a 5 nm device cell spacing. In addition, we optimize the insulating layer material outside the cell device by using AlN film with higher thermal conductivity than SiO₂ film. The TDB is further effectively suppressed while the power consumption of PCRAM array is basically unchanged, and the maximum temperature of TDB decreases by 12.3%. This work has very important guiding significance for the integration of high-density storage PCRAM arrays in the future.

Key words: phase change random access memory; blade-type structure; crossbar array; thermoelectric model; thermal disturbance effect

Foundation Item(s): National Natural Science Foundation of China (No.61964012, No.61804079); Natural Science Foundation of Jiangsu Province of China (No.BZ2021031); Open Research Fund of the National and Local Joint Engineering Laboratory of RF Integration and Micro-Assembly Technology (No.KFJJ20200102); Foundation of Jiangxi Science and Technology Department (No.20202ACBL21200); Nanjing University of Posts and Telecommunications (No.NY220112)

1 引言

传统的冯·诺依曼架构,由于存储单元与计算单元的分,导致数据在两者之间频繁的来回传输,造成大量的能量损耗和信号延迟,最终导致芯片功耗的增加和计算效率的降低^[1-3]. 大数据时代的到来,对高性能存储和计算的速度、密度、功耗和成本提出了更高的要求^[4]. 因此,具有存储与计算功能一体的非易失性新型存储器件被重新关注,例如铁电存储器(Ferroelectric Random Access Memory, FeRAM)^[5]、阻变存储器(Resistive Random Access Memory, RRAM)^[6]、磁性存储器(Magnetic Random Access Memory, MRAM)^[7]及相变存储器(Phase Change Random Access Memory, PCRAM)^[8]. 其中,PCRAM由于其完善的物理机制和比其他非易失性存储器更成熟的制备过程已实现商业化应用^[9-12]. 目前已制造出的512 MB的PCRAM芯片拥有超过10⁵次的循环写入耐久性和在85 °C条件下超过10年的数据保留时间^[13].

PCRAM的存储原理是在写入信息时(即“RESET”操作)对器件施加一个短而强的电脉冲将其相变材料(本文中使用的相变材料为Ge₂Sb₂Te₃,记为GST)加热到熔化温度(熔化温度 $T_{\text{melt}} \approx 893$ K)以上然后迅速冷却使其变为非晶态的高阻值状态^[14]. 在擦除信息时(即“SET”操作)对器件施加一个中等强度且时间较长的电脉冲,使相变材料升温到晶化温度($T_{\text{crys}} \approx 673$ K)以上熔化温度之下并保持一段时间,使其变为晶态的低阻值状态^[15,16]. PCRAM作为未来存储设备的候选者,其可扩展性是一个关键问题^[17],将PCRAM器件放在扩展交叉点阵列并缩小器件间距是提高集成密度的核心方法,然而在器件进行“RESET”操作时所产生的热效应会使相邻单元温度升高并产生热串扰(Thermal Disturbance, TDB)或写入干扰(Write Disturbance, WD)现象^[18,19],导致存储阵列的可靠性、准确性和稳定性受到影响^[20-22]. 因此降低TDB效应对提高PCRAM存储阵列的集成密度和可靠性有着关键作用.

基于新型刀片型结构(blade-type)的相变存储器不仅能够降低操作电流、减少功率损耗,而且能够提高PCRAM阵列的集成密度^[23,24]. 本文首次针对这种新型刀片型结构的3×3相变存储器件阵列在“RESET”过程中所产生的TDB效应进行了系统研究,首先通过仿真计算软件Comsol Multiphysics系统分析了PCRAM存储阵列在激活状态下对相邻单元所产生的TDB效应,进一步深入探讨了器件单元间距、器件结构尺寸、编程脉冲以及阵列的缩放效应对存储阵列的功耗和TDB效应的影响. 研究结果显示:基于新型刀片型结构的相变存储器阵列对“RESET”操作过程中所产生的TDB效应具有较好的抑制作用,即使将其缩放到20 nm的技术节点,在5 nm的器件单元间距下仍可保持较低的最大热串扰温度.

2 模型

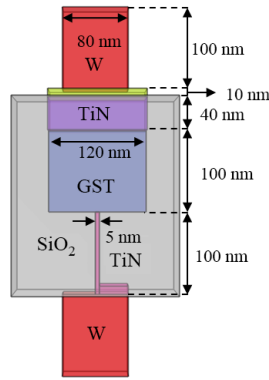
本文所采用的新型相变存储器结构如图1(a)所示,相变材料为100 nm厚的GST,它位于40 nm厚的氮化钛(TiN)接触器和厚度为100 nm的氮化钛(TiN)加热器之间,GST与加热器之间形成一个5×5 nm²的正方形接触区域. 进一步将图1(a)所示的存储器扩展为3×3的相变存储器阵列,如图1(b)所示,该阵列单元外部包裹了厚度为240 nm具有超低电导率/热导率的二氧化硅(SiO₂)绝缘层,字线和位线是由100 nm厚的钨构成. 此外,顶电极与氮化钛接触器之间加入了厚度为10 nm可调节电导率的电阻层,以防止在仿真过程中潜行电流流过未选中单元从而影响仿真结果的准确性. 在刀片型PCRAM相变过程中GST/TiN界面的界面电阻(EIR)及GST/SiO₂和GST/TiN界面的热边界电阻(TBR)对器件内部的温度分布具有极大的影响^[22,25],因此模型中引入了这3个界面的边界参数,分别为 $EIR_{\text{GST/TiN}} = 4 \times 10^{-9} \Omega \cdot \text{cm}^{2[26]}$, $TBR_{\text{GST/TiN}} = 2.6 \times 10^{-4} \text{cm}^2 \cdot \text{K/W}^{[27]}$ 和 $TBR_{\text{GST/SiO}_2} = 5 \times 10^{-4} \text{cm}^2 \cdot \text{K/W}^{[28]}$. 若对PCRAM单元在相变过程中产生的热电效应进行仿真,首先应求解电流连续性和热传导方程组成的完全耦合系统. 电流连

续性方程和热传导方程分别可以表示为

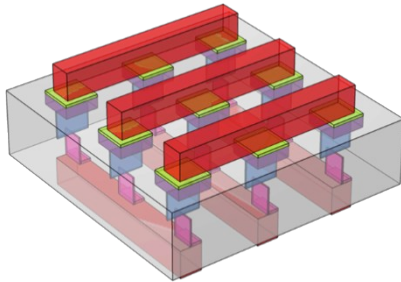
$$\nabla \cdot (-\sigma \nabla V) = 0 \quad (1)$$

$$\rho C_p \frac{\partial T}{\partial t} - \nabla \cdot (k \nabla T) = Q \quad (2)$$

其中, σ 表示电导率; V 表示电势. 模型顶电极施加 $V=V_0$ 的输入电压, 底电极与地面接触并保持在室温 ($T=293$ K), 其他边界条件均设置为电绝缘和热绝缘. 其中 ρ 为材料密度, C_p 是热容量, T 是温度, Q 是焦耳热, k 是导热系数.



(a) 单一相变器件结构



(b) 3×3 的相变存储器阵列

图1 新型刀片型限制结构的相变存储器结构

模型中 GST 的电导率是一个非常重要且特别的参数, 它不是一个固定常数, 而是取决于温度和材料相^[29]. 非晶化 GST 的电导率是由陷阱之间载流子的普尔-弗伦克尔发射控制, 这使得它对电场具有依赖性; 而晶态 GST 的电导率也与温度有关^[22-24], 两种状态的电导率定义如下:

$$\sigma_{\text{cryst}} = \sigma_{0\text{cryst}} \exp\left(-\frac{E_c}{k_B T}\right) \quad (3)$$

$$\sigma_{\text{amor}} = \sigma_{0\text{amor}} \exp\left(-\frac{E_{\text{am}}}{k_B T}\right) \exp\left(\frac{E}{E_0}\right) \quad (4)$$

其中, E_c 表示结晶活化能; E_{am} 表示非晶化的活化能; k_B 表示玻尔兹曼常数; T 表示热力学温度; E 表示电场; E_0 表示阈值电场; $\sigma_{0\text{cryst}}$ 和 $\sigma_{0\text{amor}}$ 均为常数. 上述特征参数均可在表 1 中查询. 值得注意的是: 存储阵列中进行“RESET”操作(被激活)的单元其 GST 部位所产生的温

度记为 T_R , 而其对相邻单元所产生的热串扰温度记为 T_{TDB} , 所有的计算均使用 Comsol Multiphysics 商业软件进行. 需要指出的是 GST 厚度的变化会影响相应的物理参数值(如密度、热容、导热系数和电导率)^[30-33]. 但由于密度、热容和导热系数受厚度变化的影响较小, 因此对热串扰效应的影响可忽略不计. 为此本文在模型中针对不同的 GST 厚度仍然采用表 1 所列的密度、热容和导热系数值. 而晶化 GST 的电导率受厚度影响较大, 为了考虑厚度依赖的电导率, 本文在模型中通过改变前置参数 $\sigma_{0\text{cryst}}$ 值对处在不同厚度下的 GST 电导率进行调控, 和实测数据相吻合.

表 1 仿真模型材料特性参数表

| 材料 | 材料密度 Kg/m ³ | 材料热容 J/(Kg·K) | 材料热导率 W/(m·K) | 材料电导率 1/(Ω·m) |
|----------------------------------|---------------------------|------------------|------------------|---|
| W ^[23] | 19 300 | 132 | 178 | 1.75×10 ⁷ |
| TiN ^[34] | 5 400 | 784 | 12 | 1×10 ⁵ |
| SiO ₂ ^[35] | 2 330 | 710 | 1.38 | 1×10 ⁻¹⁴ |
| GST(a/c) ^[24] | 6 200 | 202 | 0.2/0.58 | $E_{\text{am}}=0.32$ eV $E_c=0.04$ eV $\sigma_{0\text{amor}}=1.88\times 10^4$ $\sigma_{0\text{cryst}}=1.5\times 10^4$ $E_0=5\times 10^7$ $T=293$ K |

3 仿真

3.1 器件单元间距对热串扰效应的影响

缩小 PCRAM 阵列中的器件单元间距是提高集成密度的主要途径, 由此在阵列中所产生的 TDB 也会更加严重^[36]. 初始的 3×3 阵列结构如图 2(a) 所示, 中心单元的 GST 在 X 轴和 Y 轴方向与相邻单元的 GST 间距分别为 20 nm 和 135 nm(文中间距均指相邻单元边沿间距). 本文首先对阵列的中心单元施加脉冲宽度为 50 ns(脉冲由 10 ns 的过渡区间和 40 ns 的平稳沿组成)、幅值为 1.4 V 的编程电压(图 2(b)), 其仿真结果如图 2(c) 所示, GST 与 TiN 加热器交界区域逐渐发生相变并最终形成蘑菇状的高阻值非晶化区域. 图 2(d) 显示了激活单元温度 T_R 随时间的变化关系, 当编程电压大于等于 1.4 V 时, 被激活单元即可得到稳定的“RESET”操作, 因此文中后续“RESET”操作电压幅值均固定为 1.4 V(简记为 $V_{\text{RESET}}=1.4$ V, 50 ns). 由图 2(e) 可知, 被激活的中心单元其 X 轴与 Y 轴方向的相邻单元的 GST 温度也随之升高, 且距离激活单元更近的 X 轴方向的相邻单元所产生的 TDB 效应更加严重. 图 2(f) 是激活单元所产生 TDB 效应的示意图.

阵列在进行写操作时往往会同时激活若干个单

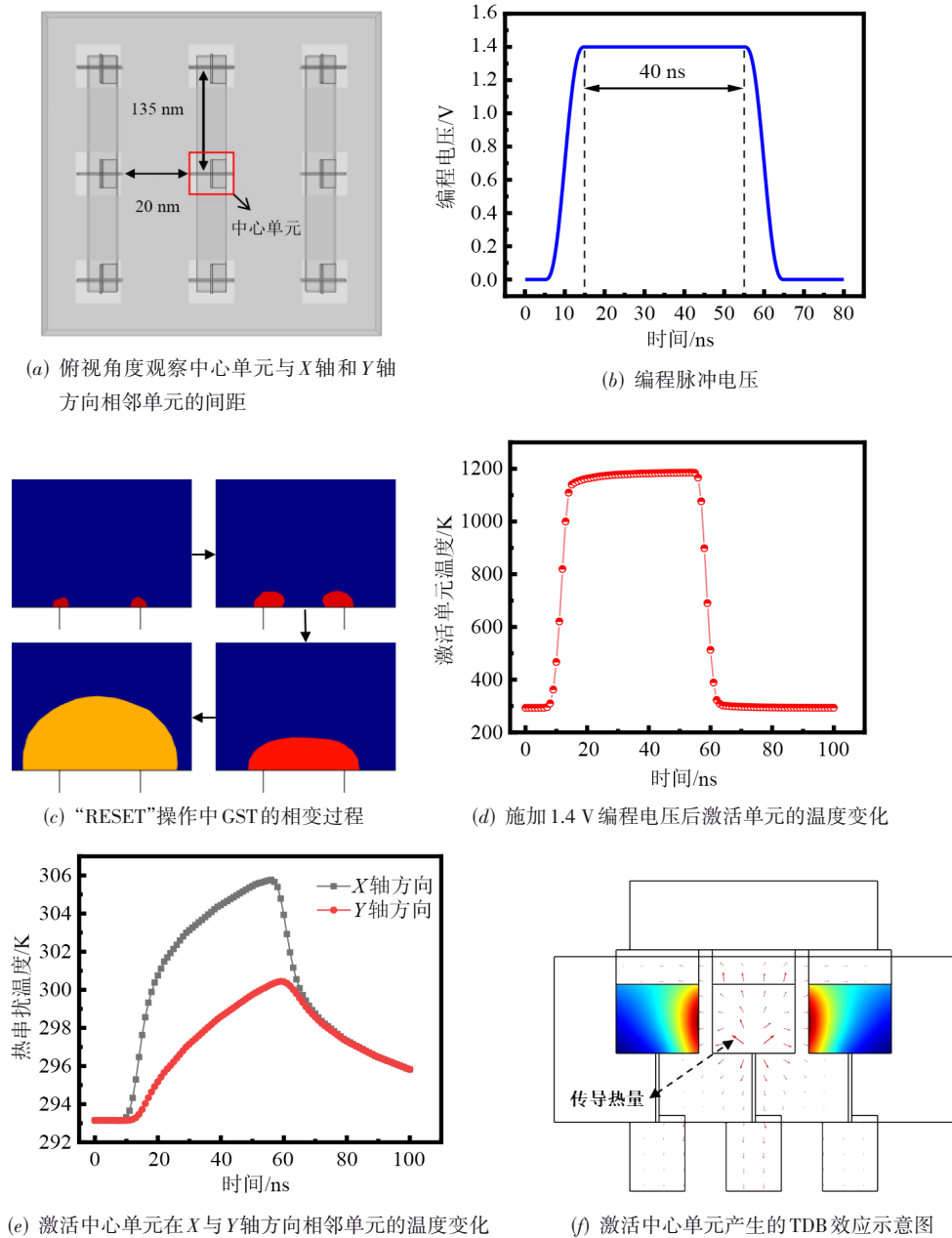


图2 初始条件下阵列单元激活情况

元,因此本文需要进一步研究激活单元数量与TDB效应的关系,如图3所示,随着激活单元数量的增加,未被激活的相邻单元的TDB效应也更加明显.当中心单元周围的8个单元全部被激活时,此时未激活单元受到TDB的影响最大,其温度为 $T_{TDB\ max}$.由图3可知: $T_{TDB\ max}$ 温度为349.3 K,相比于激活1个单元时温度上升了43.5 K.

当GST间距为20 nm时所产生的 $T_{TDB\ max}$ 值为349.3 K,此温度并未使相邻激活单元发生误操作,因此可以通过继续缩小器件单元的间距来提高存储器阵列的集成密度.当器件单元的间距缩小到5 nm时,本文施加

相同的编程脉冲电压($V_{RESET}=1.4\ V, 50\ ns$)去激活中心单元,此时X轴方向相邻激活单元的 T_{TDB} 为309 K,相比于间距为20 nm时上升了4 K,如图4(a)所示,而 $T_{TDB\ max}$ 从349.3 K变为358 K,如图4(b)所示.以上仿真结果表明:基于新型刀片型结构的相变存储器阵列即使在5 nm的器件单元间距下仍可保持较低的最大热串扰温度,该结构对“RESET”操作过程中所产生的TDB效应有较好的抑制作用.

3.2 器件结构尺寸对热串扰效应的影响

器件结构尺寸对存储器阵列集成密度的提高同样

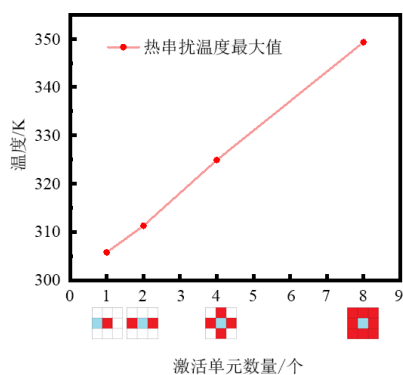
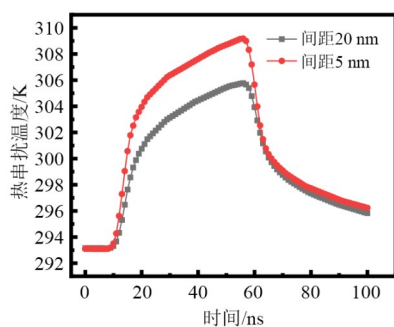
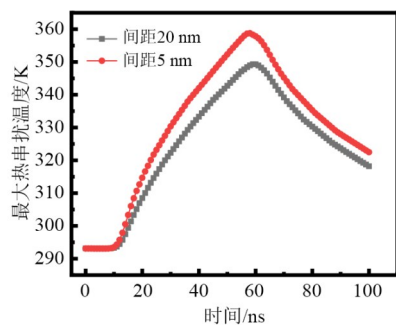


图3 热串扰效应与激活单元数量关系图,红色代表阵列中被激活单元,蓝色为未被激活的测量单元



(a) 不同器件单元间距下X轴方向相邻单元的TDB效应



(b) 不同器件单元间距下阵列的 $T_{\text{TDB max}}$

图4 器件单元间距对热串扰效应的影响

有着重要影响,降低电极与GST的厚度均有利于提高阵列在Y轴方向的集成密度,而减小GST的宽度可以进一步降低存储器的单元面积,在提高阵列集成密度的同时还需考虑器件结构尺寸的改变对TDB效应的影响.首先本文降低单元器件的顶电极和底电极 W 的厚度,从100 nm依次下降为80 nm,60 nm,40 nm和20 nm,对中心单元仍然施加相同条件的编程脉冲($V_{\text{RESET}}=1.4$ V, 50 ns),仿真结果如图5(a)所示,可以发现降低电极厚度对激活单元温度几乎没有影响,其最高温度变化不超过10 K.其次在不改变其他结构参数的情况下,将相变层GST的厚度从100 nm依次下降为80 nm,60 nm

和40 nm,激活单元温度变化如图5(b)所示,激活单元温度从1 191 K急剧升高到3 284 K.需要指出的是,器件初始状态的GST为低阻晶态(crystalline state),如果采用较薄的GST厚度,在相同编程电压的条件下,势必会产生较大的电场.由于电流密度正比于电场,较大电场必然伴随着大电流密度,从而产生更多的焦耳热,促使器件温度上升,使TDB效应变得更加严重.同时由于晶态GST的电阻率和温度息息相关^[14],随着温度的上升,GST的电阻率进一步下降,继而激发了更多焦耳热的产生,进一步影响了TDB效应.最后在不改变其他结构参数的情况下,减小GST结构的宽度,使其从120 nm依次下降为110 nm,100 nm,90 nm和80 nm,仿真结果如图5(c)和(d)所示,GST宽度为90 nm时激活单元的 T_{R} 为1 015 K,该条件下 $T_{\text{TDB max}}$ 值降低了14 K;而低于90 nm后激活单元无法形成蘑菇状的相变区域,不能进行“RESET”操作.以上研究结果显示:降低电极厚度与GST的宽度在提高阵列集成密度的同时对 $T_{\text{TDB max}}$ 的影响极小,可以忽略,而降低GST的厚度会使阵列中产生更大的TDB效应.因此,可以考虑通过优化器件单元的结构参数来提高阵列集成密度的同时并有效抑制TDB现象.

3.3 编程脉冲对热串扰效应的影响

编程脉冲的幅度和宽度大小对相变存储器的“RESET”操作及所产生TDB效应都有着重要的影响^[37],在较高的阵列集成密度情况下进一步降低未激活单元的 $T_{\text{TDB max}}$ 对继续提高阵列的集成密度有着重要影响.因此,本文在保持编程脉冲的幅值和总宽度不变的情况下,通过缩短编程脉冲的平稳沿宽度来研究相变存储器阵列中所产生的TDB效应.首先对激活单元施加幅值为1.4 V且脉冲平稳沿宽度依次为40 ns,30 ns,20 ns,10 ns和1 ns的编程脉冲电压,其仿真结果如图6(a)所示,在这些脉冲平稳沿宽度下激活单元均能进行稳定的“RESET”操作.本文进一步研究了不同的平稳沿宽度对 $T_{\text{TDB max}}$ 的影响,如图6(b)所示,当脉冲平稳沿宽度从40 ns降到1 ns时,存储器阵列中所产生的 $T_{\text{TDB max}}$ 由359 K降到312 K,有效抑制了TDB效应.图6(c)显示了不同平稳沿宽度的脉冲下阵列单元全部激活时单元GST非晶化区域体积的变化,脉冲平稳沿宽度为1 ns时的单元熔化体积远小于40 ns时的单元熔化体积(非晶化区域的宽度从10 nm依次增长到12.5 nm,14 nm和15 nm;高度从5 nm依次增长到6.5 nm,7 nm和9 nm).从以上仿真结果可以发现对TDB影响最大的因素是编程脉冲宽度,脉冲宽度越小TDB受到的抑制就越明显.但随着器件可微缩性的提高(如器件宽度的减小),采用同样的脉冲宽度则有可能导致更高的 $T_{\text{TDB max}}$,所以需要对上述结构进行进一步优化,以期实现高存储密度和弱热串扰效应的共存.

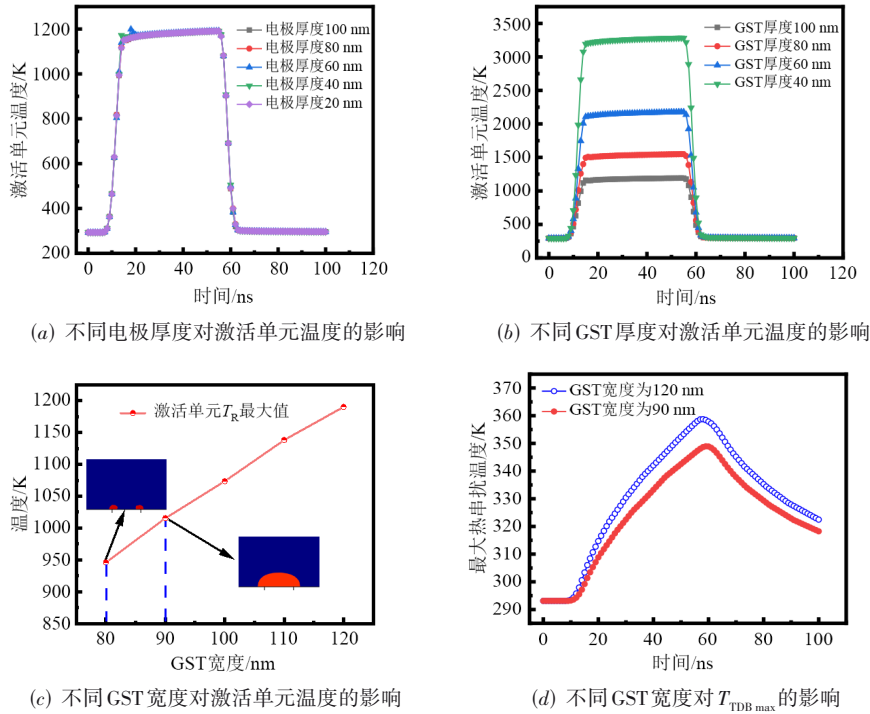


图5 器件结构尺寸对热串扰效应的影响

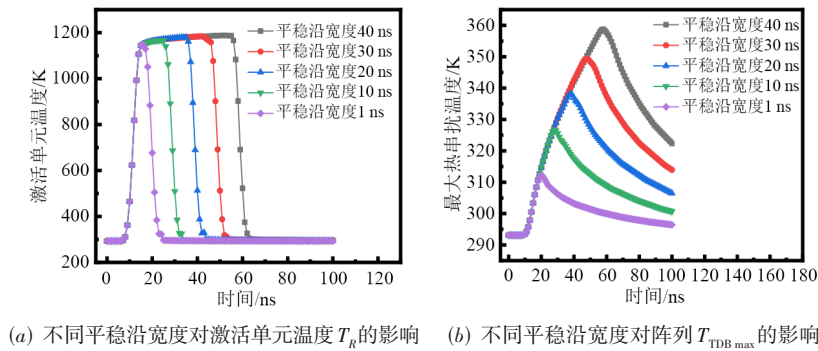


图6 平稳沿宽度对热串扰效应的影响

3.4 阵列的缩放对热串扰效应的影响

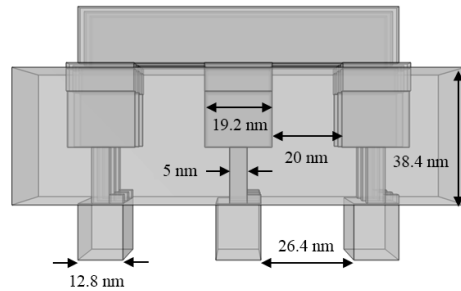
对 PCRAM 器件单元整体尺寸进行缩放是提高存储器阵列集成密度并降低其功耗的有效方法^[38]。然而随着缩放比例的降低,热电效应会变大^[32],因此本文需要进一步研究阵列的缩放对 TDB 效应的影响。目前商业界 PCRAM 的尺寸已经做到 20 nm 的技术节点^[39,40],

同时阵列字线(位线)间距也缩小到 20 nm^[41],因此本文主要研究新型刀片型结构的相变存储器阵列在当前技术节点下的 TDB 效应。首先本文在不改变 GST 与 TiN 加热器接触面积的情况下,将阵列尺寸缩小到原尺寸的 0.16,如图 7(a)所示,此时器件单元的横向和纵向尺寸分别为 19.2 nm 与 38.4 nm,字线(位线)的宽度和间距

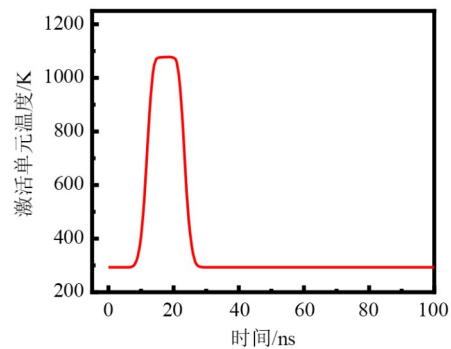
分别为 12.8 nm 和 26.4 nm. 其次对缩放后的器件单元施加 0.65 V, 15 ns 的编程脉冲(脉冲宽度由 10 ns 过渡区间与 5 ns 平稳沿构成), 此时阵列中被激活单元的温度变化如图 7(b) 所示, 最大 T_R 值为 1078 K, 而 $T_{TDB\ max}$ 值为 389 K, 比阵列缩小前升高了 40 K, 但远未达到使未激活单元产生误操作的温度. 因此在 20 nm 的技术节点下, 通过缩小器件单元间距可以进一步提高存储器阵列的集成密度, 如图 7(c) 所示, 即使器件单元间距为 5 nm (位线、字线间距为 11.4 nm), $T_{TDB\ max}$ 值仍然保持在 500 K 以下, 当单元间距缩小为 1 nm 间距时, 此时阵列的 $T_{TDB\ max}$ 为 551.57 K, 依然未达到令相邻单元进行晶化的温度. 在相同参数与条件下对传统结构存储阵列的最大 TDB 温度进行计算, 其结果如图 7(d) 所示, 在 15 nm 间距下 $T_{TDB\ max}$ 已达到 725.54 K, 由此可见该新型结构对降低阵列的 TDB 效应有着极好的效果. 显然得益于刀片状相变存储器的特定结构, 焦耳热主要集中在狭小的 GST-TiN 接触区域内, 因此极大地降低了周边区域的温度, 从而实现了热串扰效应的有效抑制.

4 优化改进

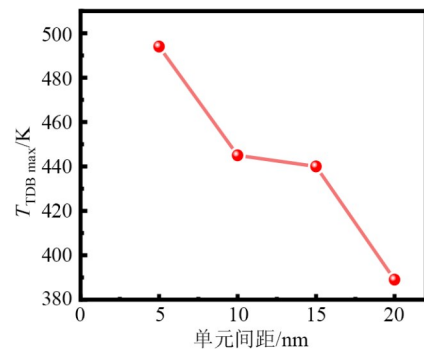
以上研究结果显示: 基于新型刀片型结构的相变存储器阵列, 即使将其缩放到 20 nm 的技术节点, 在 5 nm 的器件单元间距下其 $T_{TDB\ max}$ 仍然不到 500 K, 但在此基础上进一步降低最大热串扰温度仍然十分重要. 由于相变存储阵列在工作时会对数据进行频繁地写入与擦除, 在此期间单元会进行反复的 SET/RESET 操作并使焦耳热在阵列中累积. 随着时间的推移, 非晶化状态会逐渐向晶化状态转变, 从而降低 RESET 状态单元的阻值^[42], 影响存储结果的可靠性和器件稳定性. 因此进一步降低热串扰效应对长时间处于工作状态的存储阵列的稳定性和准确性有着重要作用. 在此基础上本文对阵列单元外部的绝缘层材料进行了改进, 通过使用较高热导系数的 AlN 纳米薄膜 (20 °C 时热导系数为 1.83 W/(m·K)^[41-44]) 来代替 SiO₂ 薄膜, 在存储器阵列功耗几乎保持不变的情况下 (图 8(a)), 进一步有效抑制了热串扰效应 (图 8(b)), 改进后的器件最大热串扰温度下降了 12.3% (图 8(c)). 但由于 AlN 块状衬底价格昂贵, 目前 AlN 薄膜大多使用化学气相沉积 (MOCVD) 法在衬底进行生长^[44-46]. 在特定环境下高温退火可以提高 AlN 薄膜质量, 但需要设计特定的反应器, 同时生长 AlN 薄膜的衬底需要额外的处理步骤, 这些都会增加制造成本^[45]. 目前 He 等人^[47] 采用了一种生长模式修改与溅射 AlN 缓冲液相结合的技术方法以获得高质量 AlN 薄膜. 这种简单而有效的技术可以降低 AlN 制造成本, 使其在商业化应用中有更大的潜力.



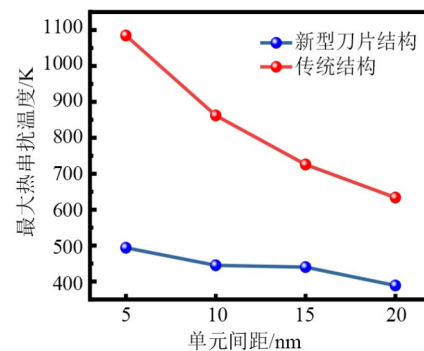
(a) 缩放到 20 nm 技术节点后的阵列尺寸



(b) 20 nm 技术节点下激活单元温度的变化 (0.65 V, 15 ns 的编程脉冲)

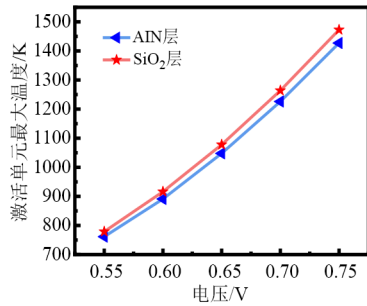


(c) 20 nm 技术节点下单元间距与 $T_{TDB\ max}$ 的关系图



(d) 20 nm 技术节点下两种结构的相变存储阵列最大热串扰温度对比图

图 7 阵列的缩放对热串扰效应的影响



(a) 不同热导率的绝缘层对激活单元最大温度的影响

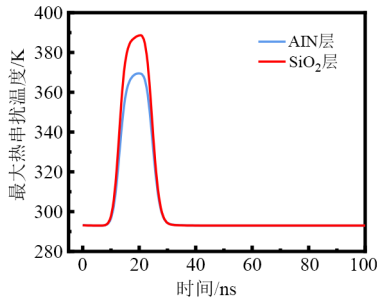
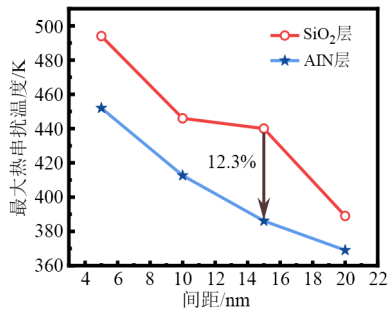
(b) 不同热导率的绝缘层对 T_{TDBmax} 的影响(c) 不同器件单元间距下 AlN 薄膜与 SiO₂ 薄膜对 T_{TDBmax} 的影响

图 8 不同热导率的绝缘层对阵列热串扰效应的影响

5 结论

本文针对新型刀片型结构的 3×3 相变存储器阵列在“RESET”过程中所产生的 TDB 效应进行了系统研究. 通过仿真计算软件 Comsol Multiphysics 系统研究了新型刀片型结构的相变存储器阵列对热串扰的敏感性, 并探讨了器件单元间距、器件结构尺寸、编程脉冲以及阵列的缩放效应对存储器阵列在工作时所产生的 TDB 效应及其功耗的影响.

研究结果显示: 首先, 存储单元间距的减小与激活单元数量的增加均会使存储阵列的 TDB 效应增大, 而基于新型刀片型结构的存储阵列, 即使将其缩小到 20 nm 的技术节点, 在 5 nm 的器件单元间距下仍可保持较低的最大热串扰温度; 其次, 器件结构尺寸的改变, 如电极厚度与 GST 宽度的减小, 在提高存储阵列集成密度的同时可以进一步降低 TDB 效应; 此外, 编程脉冲宽

度的减小也可以有效抑制 TDB 效应; 最后, 通过使用较高热导率的 AlN 薄膜代替 SiO₂ 薄膜, 在存储器阵列功耗几乎保持不变的情况下有效抑制了热串扰效应, 使其最大热串扰温度下降了 12.3%. 该研究成果对基于相变存储器的高密度存储阵列的集成具有非常重要的指导意义.

参考文献

- [1] ZHANG Y X, ZHOU Y Z. Transparent computing: Spatio-temporal extension on von Neumann architecture for cloud services[J]. Tsinghua Science and Technology, 2013, 18(1): 10-21.
- [2] JAISWAL A, CHAKRABORTY I, AGRAWAL A, et al. 8T SRAM cell as a multibit dot-product engine for beyond von Neumann computing[J]. IEEE Transactions on Very Large Scale Integration Systems, 2019, 27(11): 2556-2567.
- [3] IELMINI D, WONG H S P. In-memory computing with resistive switching devices[J]. Nature Electronics, 2018, 1(6): 333-343.
- [4] 冒伟, 刘景宁, 童薇, 等. 基于相变存储器的存储技术研究综述[J]. 计算机学报, 2015, 38(5): 944-960.
MAO W, LIU J N, TONG W, et al. A review of storage technology research based on phase change memory[J]. Chinese Journal of Computers, 2015, 38(5): 944-960. (in Chinese)
- [5] CHANTHBOUALA A, GARCIA V, CHERIFI R O, et al. A ferroelectric memristor[J]. Nature Materials, 2012, 11(10): 860-864.
- [6] 王玮, 陈晋, 余林峰, 等. 两类阻变机理及性能改善方法的研究[J]. 电子学报, 2017, 45(4): 989-999.
WANG W, CHEN J, YU L F, et al. A research of two kinds of mechanism and performance improvement of resistive switching access memory[J]. Acta Electronica Sinica, 2017, 45(4): 989-999. (in Chinese)
- [7] TEHRANI S, SLAUGHTER J M, CHEN E, et al. Progress and outlook for MRAM technology[J]. IEEE Transactions on Magnetics, 1999, 35(5): 2814-2819.
- [8] 田曼曼, 王国祥, 沈祥, 等. ZnSb 掺杂的 Ge₂Sb₂Te₅ 薄膜的相变性能研究[J]. 物理学报, 2015, 64(17): 293-300.
TIAN M M, WANG G X, SHEN X, et al. Phase change properties of ZnSb-doped Ge₂Sb₂Te₅ films[J]. Acta Physica Sinica, 2015, 64(17): 293-300. (in Chinese)
- [9] ZHANG W, GAO B, TANG J, et al. Neuro-inspired computing chips[J]. Nature Electronics, 2020, 3(7): 371-382.
- [10] BEZ R. Chalcogenide PCM: a memory technology for next decade[C]//2009 IEEE International Electron Devic-

- es Meeting. Baltimore: IEEE, 2009: 1-4.
- [11] PELLIZZER F, BENVENUTI A, GLEIXNER B, et al. A 90nm phase change memory technology for stand-alone non-volatile memory applications[C]//2006 Symposium on VLSI Technology - Digest of Technical Papers. Honolulu: IEEE, 2006: 122-123.
- [12] SERVALLI G. A 45nm generation Phase Change Memory technology[C]//2009 IEEE International Electron Devices Meeting. Baltimore: IEEE, 2009: 1-4.
- [13] OH J H, PARK J H, LIM Y S, et al. Full integration of highly manufacturable 512Mb PRAM based on 90nm technology[C]//2006 International Electron Devices Meeting. San Francisco: IEEE, 2006: 1-4.
- [14] LACAITA A L, WOUTERS D J. Phase-change memories [J]. *Physica Status Solidi (a)*, 2008, 205(10): 2281-2297.
- [15] SEBASTIAN A, LE GALLO M, KREBS D. Crystal growth within a phase change memory cell[J]. *Nature Communications*, 2014, 5: 4314.
- [16] SALINGA M, CARRIA E, KALDENBACH A, et al. Measurement of crystal growth velocity in a melt-quenched phase-change material[J]. *Nature Communications*, 2013, 4: 2371.
- [17] KIM S, LEE B, ASHEGHI M, et al. Thermal disturbance and its impact on reliability of phase-change memory studied by the micro-thermal stage[C]//2010 IEEE International Reliability Physics Symposium. Anaheim: IEEE, 2010: 99-103.
- [18] WANG R J, JIANG L, ZHANG Y T, et al. SD-PCM: Constructing reliable super dense phase change memory under write disturbance[J]. *ACM SIGARCH Computer Architecture News*, 2015, 50(4): 19-31.
- [19] JIANG L, ZHANG Y T, YANG J. Mitigating write disturbance in super-dense phase change memories[C]//2014 44th Annual IEEE/IFIP International Conference on Dependable Systems and Networks. Atlanta: IEEE, 2014: 216-227.
- [20] LEE S H, KIM M S, DO G S, et al. Programming disturbance and cell scaling in phase change memory: For up to 16nm based 4F2 cell[C]//2010 Symposium on VLSI Technology. Honolulu: IEEE, 2010: 199-200.
- [21] PIROVANO A, LACAITA A L, BENVENUTI A, et al. Scaling analysis of phase-change memory technology[C]// IEEE International Electron Devices Meeting. Washington: IEEE, 2003: 29.6.1-29.6.4.
- [22] RUSSO U, IELMINI D, REDAELLI A, et al. Modeling of programming and read performance in phase-change memories—Part I: Cell optimization and scaling[J]. *IEEE Transactions on Electron Devices*, 2008, 55(2): 506-514.
- [23] WEN J, WANG L. Interfacial resistance characterization for blade-type phase change random access memory[J]. *IEEE Transactions on Electron Devices*, 2020, 67(3): 968-975.
- [24] JIN Q X, LIU B, LIU Y, et al. Three-dimensional simulations of RESET operation in phase-change random access memory with blade-type like phase change layer by finite element modeling[J]. *Chinese Physics Letters*, 2016, 33(9): 098502.
- [25] LIAN X J, FU J K, GAO Z X, et al. Thermoelectric effects on amorphization process of blade-type phase change random access memory[J]. *IEEE Transactions on Electron Devices*, 2021, 68(12): 6139-6146.
- [26] DESHMUKH S, YALON E, LIAN F F, et al. Temperature-dependent contact resistance to nonvolatile memory materials[J]. *IEEE Transactions on Electron Devices*, 2019, 66(9): 3816-3821.
- [27] DURAI S, RAJ S, MANIVANNAN A. Impact of thermal boundary resistance on the performance and scaling of phase-change memory device[J]. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, 2020, 39(9): 1834-1840.
- [28] EVTUKH A, LITOVCHENKO V, SEMENENKO M, et al. Formation of conducting nanochannels in diamond-like carbon films[J]. *Semiconductor Science and Technology*, 2006, 21(9): 1326-1330.
- [29] WRIGHT C D, ARMAND M, AZIZ M M. Terabit-per-square-inch data storage using phase-change media and scanning electrical nanoprobe[J]. *IEEE Transactions on Nanotechnology*, 2006, 5(1): 50-61.
- [30] LYEO H K, CAHILL D G, LEE B S, et al. Thermal conductivity of phase-change material $\text{Ge}_2\text{Sb}_2\text{Te}_5$ [J]. *Applied Physics Letters*, 2006, 89(15): 151904.
- [31] FARACLAS A, WILLIAMS N, GOKIRMAK A, et al. Modeling of set and reset operations of phase-change memory cells[J]. *IEEE Electron Device Letters*, 2011, 32(12): 1737-1739.
- [32] LEE J, ASHEGHI M, GOODSON K E. Impact of thermoelectric phenomena on phase-change memory performance metrics and scaling[J]. *Nanotechnology*, 2012, 23(20): 205201.
- [33] HUANG D Q, MIAO X S, LI Z, et al. Nonthermal phase transition in phase change memory cells induced by picosecond electric pulse[J]. *Applied Physics Letters*, 2011, 98

- (24): 242106.
- [34] FARACLAS A, BAKAN G, ADNANE L, et al. Modeling of thermoelectric effects in phase change memory cells[J]. IEEE Transactions on Electron Devices, 2014, 61(2): 372-378.
- [35] WANG D W, ZHAO W S, CHEN W C, et al. Parallel simulation of fully coupled electrothermal processes in large-scale phase-change memory arrays[J]. IEEE Transactions on Electron Devices, 2019, 66(12): 5117-5125.
- [36] ZHOU W Y, WU L C, ZHOU X L, et al. High thermal stability and low density variation of carbon-doped $\text{Ge}_2\text{Sb}_2\text{Te}_3$ for phase-change memory application[J]. Applied Physics Letters, 2014, 105(24): 243113.
- [37] YOO S, LEE H D, LEE S, et al. Electro-thermal model for thermal disturbance in cross-point phase-change memory[J]. IEEE Transactions on Electron Devices, 2020, 67(4): 1454-1459.
- [38] KIM T, LEE S. Evolution of phase-change memory for the storage-class memory and beyond[J]. IEEE Transactions on Electron Devices, 2020, 67(4): 1394-1406.
- [39] KIM I S, CHO S L, IM D H, et al. High performance PRAM cell scalable to sub-20nm technology with below 4F² cell size, extendable to DRAM applications[C]//2010 Symposium on VLSI Technology. Honolulu: IEEE, 2010: 203-204.
- [40] CHOI Y, SONG I, PARK M H, et al. A 20nm 1.8V 8Gb PRAM with 40MB/s program bandwidth[C]//2012 IEEE International Solid-State Circuits Conference. San Francisco: IEEE, 2012: 46-48.
- [41] SON K, CHO K, KIM S, et al. Signal integrity design and analysis of 3-D X-point memory considering crosstalk and IR drop for higher performance computing[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2020, 10(5): 858-869.
- [42] RUSSO U, IELMINI D, REDAELLI A, et al. Modeling of programming and read performance in phase-change memories - Part II: Program disturb and mixed-scaling approach[J]. IEEE Transactions on Electron Devices, 2008, 55(2): 515-522.
- [43] CHOI S R, KIM D, CHOA S H, et al. Thermal conductivity of AlN and SiC thin films[J]. International Journal of Thermophysics, 2006, 27(3): 896-905.
- [44] KOLESKE D D, FIGIEL J J, ALLIMAN D L, et al. Metalorganic vapor phase epitaxy of AlN on sapphire with low etch pit density[J]. Applied Physics Letters, 2017, 110(23): 232102.
- [45] HUANG L G, LI Y, WANG W L, et al. Growth of high-quality AlN epitaxial film by optimizing the Si substrate surface[J]. Applied Surface Science, 2018, 435: 163-169.
- [46] ZOLLNER C J, ALMOGBEL A, YAO Y F, et al. Reduced dislocation density and residual tension in AlN grown on SiC by metalorganic chemical vapor deposition [J]. Applied Physics Letters, 2019, 115(16): 161101.
- [47] HE C G, ZHAO W, WU H L, et al. High-quality AlN film grown on sputtered AlN/sapphire via growth-mode modification[J]. Crystal Growth & Design, 2018, 18(11): 6816-6823.

作者简介



连晓娟 女, 1985年4月出生, 山西交城人。分别于2008年和2011年在西安电子科技大学获得工学学士和工学硕士学位, 于2014年在西班牙巴塞罗那自治大学获得工学博士学位。目前任南京邮电大学集成电路科学与工程学院副教授、硕士生导师。主要研究方向为阻变存储器、相变存储器、忆阻神经形态器件的制备工艺、物理机制以及性能优化。

E-mail: xjlian@njupt.edu.cn



高志璋 男, 1995年2月出生, 天津人。2017年本科毕业于天津理工大学电气工程及其自动化专业。2020年进入南京邮电大学电子信息专业攻读硕士学位。主要研究方向为集成电路与微纳器件。

E-mail: 1220024217@njupt.edu.cn



付金科 男, 1999年1月出生, 湖北随州人。2020年本科毕业于南京邮电大学电子科学与技术系, 其后继续在南京邮电大学微电子系攻读硕士学位。主要研究方向为非易失性存储器及其在类脑计算上的应用。

E-mail: 1220024213@njupt.edu.cn



王磊(通讯作者) 男, 1980年10月出生, 江西南昌人。2003年、2004年和2009年分别在北京科技大学、曼彻斯特大学和埃克塞特大学获得工学学士、工学硕士和工学博士学位。现为南京邮电大学集成电路科学与工程学院教授、硕士生导师。IEEE会员。主要研究方向为基于非易失性器件的类脑光电存储器及神经网络。

E-mail: leiwang1980@njupt.edu.cn