

# 一种可逆有限状态机的电路设计

吴 钰,张 莹,王伦耀,储著飞,夏银水

(宁波大学信息科学与工程学院,浙江宁波 315211)

**摘 要:** 不同以往通过重构电路行为实现可逆有限状态机方法,本文提出了一种可逆有限状态机的电路结构.该电路主要包括次态与输出计算电路以及状态预置与采样锁存电路两部分,且提出的可逆有限状态机电路中不存在独立的可逆触发器,但可以实现可逆 JK, D, T 等触发器功能.同时,文中也提出了基于该可逆有限状态机电路的可逆时序电路综合方法,并用实例进行了验证.相比于基于行为重构的可逆有限状态机的综合方法,本文提出的综合方法可以避免原始状态机的逆状态机的求解和增加额外的信号位,从而使得综合过程变得更加简单.

**关键词:** 可逆逻辑;有限状态机;时序电路;逻辑综合

**中图分类号:** TP331.1

**文献标识码:** A

**文章编号:** 0372-2112 (2020)11-2226-07

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2020.11.019

## Design of a Reversible Finite State Machine

WU Yu, ZHANG Ying, WANG Lun-yao, CHU Zhu-fei, XIA Yin-shui

(Faculty of Electrical Engineering and Computer Science, Ningbo University, Zhejiang, Ningbo 315211, China)

**Abstract:** Unlike the previous methods of realizing reversible finite state machine (FSM) by reconstructing FSM behavior, a circuit structure for reversible FSM realization is proposed in this paper. The circuit structure mainly includes two parts, one for next state and output calculation, the other for state preset, data sampling and storage. In the proposed reversible FSM, there is no complete reversible flip-flops such as JK, D and T, but their functions can be realized by the proposed reversible FSM. Furthermore, a synthesis method of reversible sequential circuits based on the proposed reversible FSM is presented and verified by an example. Compared with the synthesis methods of reversible finite state machine based on behavior reconstruction, the proposed synthesis method in this paper can avoid the solution of the inverse state machine of the original state machine and adding extra bits, which makes the synthesis process simpler.

**Key words:** reversible logic; finite state machine; sequential circuits; logic synthesis

## 1 引言

如何降低电路功耗是目前集成电路设计中的一个重点.在传统不可逆逻辑运算中,信息位数据的丢失是引起功耗的主要原因<sup>[1,2]</sup>,因此,通过避免信息位丢失的可逆逻辑设计成为低功耗设计的一种途径.在可逆电路设计中,可逆逻辑综合与优化是关键问题之一,同时也是量子计算和量子信息技术研究的重要组成部分<sup>[3-6]</sup>.

目前,可逆逻辑电路综合与优化主要涉及可逆组合电路<sup>[7-10]</sup>.可逆时序电路方面的研究主要集中在诸如触发器、计数器、移位寄存器等<sup>[11-13]</sup>具体的可逆逻辑

电路设计,而对描述可逆时序电路的基本模型——可逆有限状态机 (Reversible Finite State Machine, RFSM) 的研究主要集中在如何通过重构 FSM 的行为将一个不可逆 FSM 转化为可逆 FSM<sup>[14-17]</sup>.文献 [14~17] 中的 FSM 行为重构过程中主要包含下面两部分. (1) 建立原状态机的逆状态机.逆状态机的原状态机之间的关系为输入输出互换,状态跳变方向相反; (2) 将逆状态机与原状态机合并得到可逆状态机.同时为了满足可逆状态机的输入现态组合与输出次态组合之间满足一一对应关系,往往需要添加额外的变量,甚至引入错误状态<sup>[17]</sup>.上述可逆状态机实现方法的重点是构造一个行为可逆的 FSM,而并不关心可逆 FSM 的具体电路实现,

收稿日期:2019-10-10;修回日期:2020-03-28;责任编辑:马兰英

基金项目:国家自然科学基金(No. 61471211, No. U1709218, No. 61871242);浙江省自然科学基金(No. LY19F040004);宁波市自然科学基金(No. 2019A610077)

其难点是原状态机的逆状态机求解.

### 2 可逆逻辑门及其功能

可逆逻辑电路可以由可逆逻辑门来构成,即逻辑门输入与输出端口数一样,且输入与输出之间满足一一对应关系.在本文中主要用到 Toffoli 门(简称 TOF 门)和 Fredkin 门两种可逆逻辑门.

图 1 为  $\lambda$  位的 TOF 门,其中输入变量集合  $I = \{x_0, x_1, \dots, x_{\lambda-1}\}$ .其逻辑功能用  $\text{TOF}(Ctrl, T)$  表示,其中  $Ctrl$  为控制位输入变量,  $Ctrl = \{x_0, \dots, x_{j-1}, x_{j+1}, \dots, x_{\lambda-1}\}$ ,  $T$  为目标位输入变量  $T = \{x_j\}$ ,且满足  $Ctrl \cap T = \emptyset, Ctrl \cup T = I$ .图 1 可逆逻辑门输出可以表示成式(1)形式.

$$\text{TOF}(Ctrl, T) = \{x_0, \dots, x_{j-1}, x_j \oplus P_j, x_{j+1}, \dots, x_{\lambda-1}\} \quad (1)$$

其中  $P_j = \prod_{x_i \in Ctrl} x_i$ ,并且规定当  $Ctrl = \emptyset$  时,  $P_j = 1$ ,此时, TOF 门蜕化成一个反相器.式(1)中, TOF 门目标位输

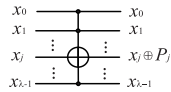


图1 具有 $\lambda$ 位的TOF门

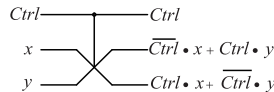


图2 Fredkin门及逻辑功能

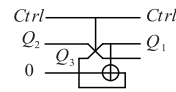


图3 具有存储功能的可逆电路结构

### 3 可逆有限状态机的电路结构

图 4 为本文提出的可逆 FSM 电路结构.该可逆 FSM 由两部分构成,分别实现计算次态及输出以及实现状态预置与采样锁存.图 4 中  $I$  为  $n$  位外部数据输入,  $O$  为  $m$  位输出.  $I_{Gi}$  和  $I_{Go}$  分别为垃圾位输入和垃圾位输出,它们的数据位宽度与可逆逻辑电路综合与优化策略有关.  $S$  为  $u$  位状态变量,  $C$  为时钟信号,  $M$  为异步状态预置控制输入变量.图 4 虚线框内电路用来实现可逆 FSM 中第  $i$  位状态编码  $s_i$  的采样与锁存.其中  $a_i$  为第  $i$  位待预置状态编码输入,  $0 \leq i \leq (u-1)$ .  $G_{i0}, G_{i1}, G_{i2}$  为三个垃圾位输出.对于一个有  $u$  位状态编码的可逆 FSM,一共有  $u$  个如图 4 虚线框所示的电路结构.为简单起见,图 4 仅画出了其中一个.虚框中  $T_i$  为一个具有两个控制位的 TOF 门,且  $T_i$  一个控制位为时钟信号  $C$ (图 4 中没有画出),另一个控制位为第  $i$  位次态编码  $s_{n-i}$ .

在图 4 电路中,当  $M=0, C=1$  时,信号线“ $C/1$ ”的值为高电平,此时门  $F_{i,0}$  处于交换状态,  $F_{i,1}$  处于非交换状态,因此可逆门  $F_{i,0}, T_{i,0}$  和  $F_{i,1}$  构成一个环路,并将  $s_i$  存储起来;同时由于  $C=1$ ,可逆门  $F_{i,2}$  处于交换状态,因此,逻辑“0”经  $F_{i,2}$  连接到门  $T_i$  的目标位输入端.若  $s_{n-i}$  表示次态的第  $i$  位状态编码,则  $T_i$  的目标位输出为  $f_i = 0 \oplus C \cdot s_{n-i} = s_{n-i}$ .当  $M=0$ ,且  $C$  从“1”变成“0”时,  $F_{i,0}$  处

出的逻辑功能包含“与”和“异或”两种逻辑运算,因此可以用基于“与/异或”运算的 Reed-Muller(RM)逻辑来描述.只有一个控制输入端的 TOF 门也称 Feynman 门.由式(1)可得,当  $T=0$  时, Feynman 门目标位的输出等于控制端的输入.

图 2 为 Fredkin 门和它的逻辑功能.  $Ctrl$  为控制输入变量,  $x, y$  为目标输入变量.当  $Ctrl=1$  时, Fredkin 门输出分别为输入的交换;当  $Ctrl=0$  时, Fredkin 门输出为对应的输入.

图 3 为 Fredkin 门与 Feynman 门构成的具有存储功能的电路结构.当  $Ctrl=0$  时, Fredkin 门输入与输出不发生交换,即  $Q_1=Q_2$ ;同时,因 Feynman 门的输入端接“0”,因此 Feynman 门的输出等于控制位的输入,即  $Q_3=Q_1$ .当  $Ctrl$  从“0”变成“1”时, Fredkin 门输入与输出发生交换,即  $Q_1=Q_3$ ;并且无论输入  $Q_2$  如何变化,  $Q_1$  保持不变,从而实现存储功能.

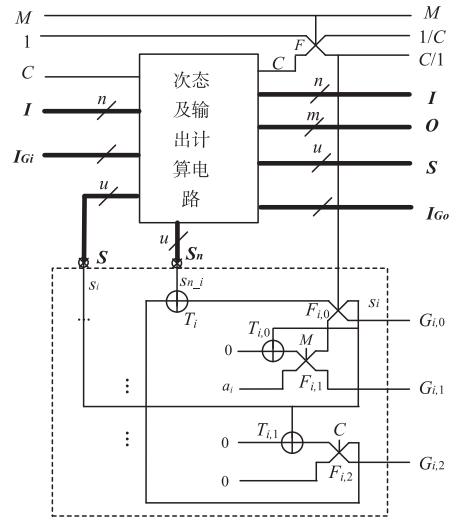


图4 可逆FSM电路结构图

于非交换状态,因此  $s_i$  被替换为  $s_{n-i}$ ;同时  $s_{n-i}$  经  $T_{i,1}, F_{i,2}$  连接到  $T_i$  的目标输入端;所以当  $C=0$  时,  $T_i$  的目标位输出为  $f_i = s_{n-i} \oplus C \cdot s_{n-i} = s_{n-i}$ ,实现了状态锁存.即当  $C=0$  时,可逆门  $F_{i,0}, T_{i,1}, F_{i,2}$  以及  $T_i$  构成了具有存储功能的电路并将  $s_{n-i}$  存储起来.从上面分析可知,提出的可逆 FSM 是下降沿触发.

当  $M=1$  时,不管  $C$  为何值,  $s_i$  被替换为  $a_i$ ;当  $M$  从“1”变成“0”时,此时若  $C=0$ ,  $a_i$  被锁存在由可逆门  $F_{i,0}, T_{i,1}, F_{i,2}$  以及  $T_i$  构成的具有存储功能的电路里;而

若  $C=1$ ,  $a_i$  被锁存在由可逆门  $F_{i,0}$ ,  $T_{i,0}$  和  $F_{i,1}$  构成的具有存储功能的电路里. 因此, 在  $M$  的一个正脉冲作用下实现异步置数功能, 使得可逆 FSM 的状态变成预置态  $A = (a_0, \dots, a_i, \dots, a_{u-1})$ .

#### 4 基于 TOF 门和 Fredkin 门实现的可逆有限状态机电路

在图 4 所示的可逆 FSM 电路结构中, 次态及输出计算电路是一个可逆组合电路, 由式 (1) 可得, 该部分电路可以用串接的 TOF 门来实现. 图 5 给出了多个串接的 TOF 实现一个 RM 逻辑函数的例子. 图中符号“ $\bullet$ ”表示该两条线相交处导通. 因此, 图 5 电路的一个输出  $f_{RM}$  对应的逻辑功能可以表示为如式 (2) 所示的 RM 逻辑函数.

$$f_{RM} = 1 \cdot xz \oplus xy \oplus (0 \cdot yz) \oplus (xyz) = xz \oplus xy \oplus xyz \quad (2)$$

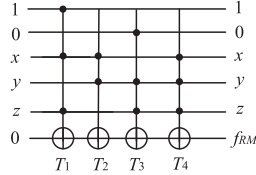


图5 串接的TOF门实现RM逻辑

当图 4 中次态及输出计算电路用串接的 TOF 实现时, 则图 4 所示的可逆 FSM 可以转化为图 6 所示的基于 TOF 门和 Fredkin 门的可逆 FSM. 考虑到图 6 用于次态计算的每个 TOF 门都可以与时钟信号相连, 因此, 可以将图 4 中标识为“ $T_i$ ”的 TOF 门省略.

在不失一般性的前提下, 图 6 给出了仅包含第  $i$  位状态编码  $s_i$  以及第  $j$  位输出  $o_j$  的可逆 FSM 电路结构, 其中  $0 \leq i \leq u-1$ ,  $0 \leq j \leq m-1$ . 图 6 中,  $C$  为时钟信号,  $\{I_0, I_1, \dots, I_{n-1}\}$  为  $n$  个输入变量, 两条线交点上的符号“ $\times$ ”表示该两条线可能连接, 也可能不连接.

图 6 中的多组串接的 TOF 门阵列用来计算可逆 FSM 的次态及输出. 其中, 用于生成第  $i$  个次态编码  $s_i$  的电路由  $v$  个串接的 TOF 门  $\{g_{i,0}, g_{i,1}, \dots, g_{i,(v-1)}\}$  构成, 这些 TOF 门均与时钟信号  $C$  相连. 另外, 用于生成第  $j$  个输出  $o_j$  的电路由  $z$  个串接的 TOF 门  $\{w_{j,0}, w_{j,1}, \dots, w_{j,(z-1)}\}$  构成, 这些 TOF 门均不与时钟信号  $C$  相连.

当  $M=0$  且  $C=1$  时, 图 6 中 TOF 门  $g_{i,0}$  的目标位输入 (标示“ $K$ ”) 为门  $F_{i,2}$  交换后的输出, 即为“0”; 因此,  $g_{i,(v-1)}$  的目标位输出 (标示“ $H$ ”) 可以表示为:

$$s'_i(I, S) |_{M=0, C=1} = 0 \oplus p_{\beta 0}(g_{i,0}) \oplus \dots \oplus p_{s\alpha}(g_{i,\alpha}) \oplus \dots \oplus p_{s(v-1)}(g_{i,(v-1)}) \quad (3)$$

其中  $p_{s\alpha}(g_{i,\alpha})$  表示 TOF 门  $g_{i,\alpha}$  的控制位信号的乘积,  $0 \leq \alpha \leq v-1$ .

当  $M=0$  且  $C=0$  时, 图 6 中  $v$  个 TOF 门  $g_{i,0}, g_{i,1},$

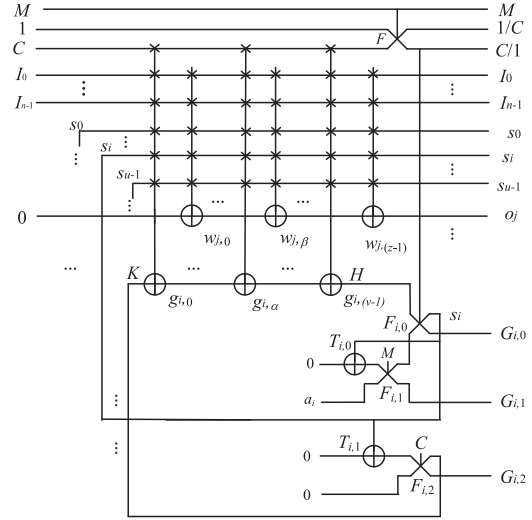


图6 基于TOF和Fredkin门的可逆FSM电路图

$\dots, g_{i,(v-1)}$  中控制位信号的乘积均为 0, 因此,  $g_{i,(v-1)}$  的目标位输出等于  $g_{i,0}$  的目标位输入  $s_i$ . 此时可逆 FSM 处于状态锁存状态.

由于图 6 中用于生成输出  $o_j$  的 TOF 门阵列  $\{w_{j,0}, w_{j,1}, \dots, w_{j,(z-1)}\}$  只与输入  $I$  和现态输入  $S$  相连. 因此, 第  $j$  位输出  $o_j$  可以写成:

$$o_j(I, S) = 0 \oplus p_{\beta 0}(w_{j,0}) \oplus \dots \oplus p_{\beta\beta}(w_{j,\beta}) \oplus \dots \oplus p_{\beta(z-1)}(w_{j,(z-1)}) \quad (4)$$

其中  $p_{\beta\beta}(w_{j,\beta})$  表示用于生成  $o_j$  的 TOF 门阵列中编号为  $w_{j,\beta}$  的 TOF 门控制位信号的乘积,  $0 \leq \beta \leq z-1$ .

从式 (3) 和式 (4) 可以看出, 图 6 中用于次态和输出计算电路可以用 RM 逻辑描述, 因此通过对 RM 逻辑的综合与优化实现基于图 6 的可逆 FSM 电路的综合与优化.

#### 5 可逆 FSM 与可逆触发器的关系

文献 [14~17] 提出基于行为的可逆 FSM 的电路结构与传统非可逆 FSM 一样, 即电路包含用于实现次态和输出计算的组合电路以及用于状态存储的独立触发器阵列, 只是在可逆 FSM 电路中组合电路和触发器均为可逆电路. 而本文则将可逆 FSM 看作是具有复杂逻辑功能的可逆触发器阵列的组合, 因此, 本文提出的可逆 FSM 电路中不存在诸如 JK, D, T 等具有独立结构的可逆触发器, 但可以蜕化成可逆 JK, D, T 等具有特定功能的可逆触发器.

图 7 为在图 6 基础上得到的可逆触发器的通用结构, 且在图 7 中增加了 TOF 门  $T_0$  用于触发器实现互补状态输出. 现以实现可逆 JK 触发器为例说明如何用图 7 的结构实现特定的触发器功能.

设图 7 中输入变量  $C, I_1$  和  $I_2$  分别对应 JK 触发器的时钟输入, J 端输入和 K 端输入. 若当  $C=1$  时, 实现

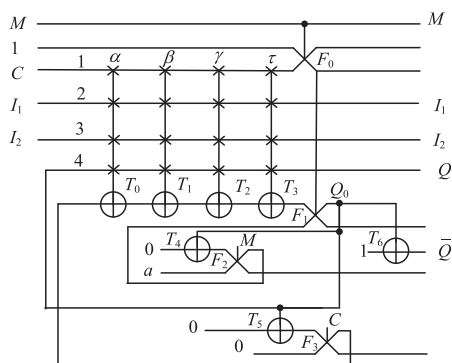


图7 可逆触发器通用结构

次态的计算;当  $C=0$  时,保持输出不变,则 JK 触发器的逻辑功能可以用式(5)来描述。

$$\begin{aligned}
 Q' &= C(J\bar{Q} + \bar{K}Q) + \bar{C}Q \\
 &= C(J\bar{Q} \oplus \bar{K}Q) \oplus \bar{C}Q \\
 &= CJ\bar{Q} \oplus \bar{C}KQ \oplus \bar{C}Q \\
 &= [CJ(1 \oplus Q)] \oplus [\bar{C}Q(1 \oplus K)] \oplus \bar{C}Q \\
 &= CJ \oplus CJQ \oplus \bar{C}KQ \oplus \bar{C}Q \oplus [CQ + C \cdot 0] \quad (5)
 \end{aligned}$$

式(5)中,表达式  $[CQ + C \cdot 0]$  对应图 7 中 TOF 门  $T_0$  的目标位输入情况。从图 7 可知,在  $C=0$  时,  $T_0$  的目标输入值为  $Q$ ,在  $C=1$ ,  $T_0$  的目标输入值为 0。利用式(5)中表达式  $CJ \oplus CJQ \oplus \bar{C}KQ \oplus \bar{C}Q$  可以得到图 7 电路中  $T_0, T_1, T_2, T_3$  的控制位输入变量的连接情况,进而实现可逆 JK 触发器功能。通过将图 7 中坐标为  $(\alpha, 1)$ ,  $(\alpha, 2)$  上的“ $\times$ ”对应的信号线的交点设为导通就得到第一个乘积项  $CJ$ 。同理,通过将坐标为  $(\beta, 1)$ ,  $(\beta, 4)$ ,  $(\gamma, 1)$ ,  $(\gamma, 2)$ ,  $(\gamma, 4)$ ,  $(\tau, 1)$ ,  $(\tau, 3)$ ,  $(\tau, 4)$  上的信号线的交点设为导通来实现其他的乘积项。用同样的方法可以实现可逆 D、T 触发器。

## 6 基于可逆 FSM 的可逆时序电路综合

在利用图 4 的可逆 FSM 实现可逆时序电路时,由于状态预置、存储等结构已经确定,因此逻辑综合过程主要是实现次态及输出可逆电路的综合。假设待实现的时序电路对应的 FSM 模型的输入为  $I$ ,输出为  $O$ ,现态为  $S$ ,次态为  $S_n$ ,则基于可逆 FSM 的可逆时序电路综合主要包含下面三个步骤。

**步骤 1:**完成 FSM 的状态最小化和分配,将 FSM 的行为描述转化成输入为  $\{I, S\}$ ,输出为  $\{O, S_n\}$  的真值表形式。

**步骤 2:**用可逆组合电路实现真值表所描述的逻辑功能。

**步骤 3:**将  $u$  位宽的次态  $S_n$  中的第  $i$  位次态编码  $s_{n,i}$  与图 4 中的 TOF 门  $T_i$  的一个控制位相连,  $0 \leq i \leq (u-1)$ ,  $T_i$  的另一个控制位接时钟信号。

在步骤 1 中,可以先借助现有的综合工具,如

SIS<sup>[18]</sup>,实现状态最小化,然后完成状态的编码,即状态分配,最后将 FSM 的行为描述转化为真值表形式。该真值表的输入为 {输入,现态},输出为 {输出,次态}。

在步骤 2 中,可以利用已有的一些可逆逻辑综合算法<sup>[19,20]</sup>将步骤 2 中真值表对应的逻辑功能用可逆电路实现;也可以用 RM 逻辑综合算法<sup>[21]</sup>借助图 6 结构,用 TOF 门实现步骤 2 中的可逆组合电路综合。

从上面的可逆时序电路综合过程可以看出,利用图 4 或图 6 的可逆 FSM 结构,根据原状态机 {输入,现态} 与 {输出,次态} 的对应关系,利用可逆组合逻辑电路的算法就可以实现可逆 FSM 的设计,进而避免文献 [15~17] 中求解原状态机的逆状态机的步骤,简化综合过程。另外,作为时序电路,如何实现电路的初始化是可逆 FSM 设计的一个重要步骤,但文献 [14~17] 均没有讨论,而本文从电路结构上,以预置态的方式实现可逆时序电路的初始化。

下面以一个三位右移电路设计为例,说明如何用可逆 FSM 电路实现指定逻辑功能。设移位寄存器中存储的数据为“000”时,输出为 1。表 1 为该移位寄存器的真值表。其中现态  $S = \{s_0 s_1 s_2\}$ ,次态  $S_n = \{s_{n,0} s_{n,1} s_{n,2}\}$ ,输出为  $O$ 。

表 1 移位电路逻辑功能的真值表表示

| $s_0$ | $s_1$ | $s_2$ | $O$ | $s_{n,0}$ | $s_{n,1}$ | $s_{n,2}$ |
|-------|-------|-------|-----|-----------|-----------|-----------|
| $s_0$ | $s_1$ | $s_2$ | 0   | 0         | $s_0$     | $s_1$     |
| 0     | $s_0$ | $s_1$ | 0   | 0         | 0         | $s_0$     |
| 0     | 0     | $s_0$ | 1   | 0         | 0         | 0         |

由表 1 可以得到次态方程和输出方程:

$$\begin{aligned}
 s_{n,0} &= 0 \\
 s_{n,1} &= s_0 \\
 s_{n,2} &= s_1 \\
 O &= \overline{s_0 s_1 s_2}
 \end{aligned} \quad (6)$$

由式(6)再结合图 4 的可逆 FSM 结构就可以得到图 8 所示的可逆时序电路。

图 8 中,信号线交点为空心圆的表示输入变量以反变量形式与 TOF 的控制位相连,进而实现  $O = 0 \oplus \overline{s_0 s_1 s_2} = \overline{s_0 s_1 s_2}$ 。

图 9 为用 Verilog HDL 语言对 TOF 门和 Fredkin 门的功能建模后,用 Active HDL 软件对图 8 电路的功能仿真。其中省略了垃圾位的仿真。仿真过程中预置态  $\{a_0 a_1 a_2\} = \{101\}$ 。仿真结果显示,当  $M=1$  时,虽然时钟信号  $C$  进行了多次翻转,但电路保持预置状态不变。当  $M=0$  后,在时钟信号  $C$  下降沿的作用下,存储的数据发生右移,当移位寄存器中的状态变为  $\{000\}$  时,输出  $O$  为“1”。

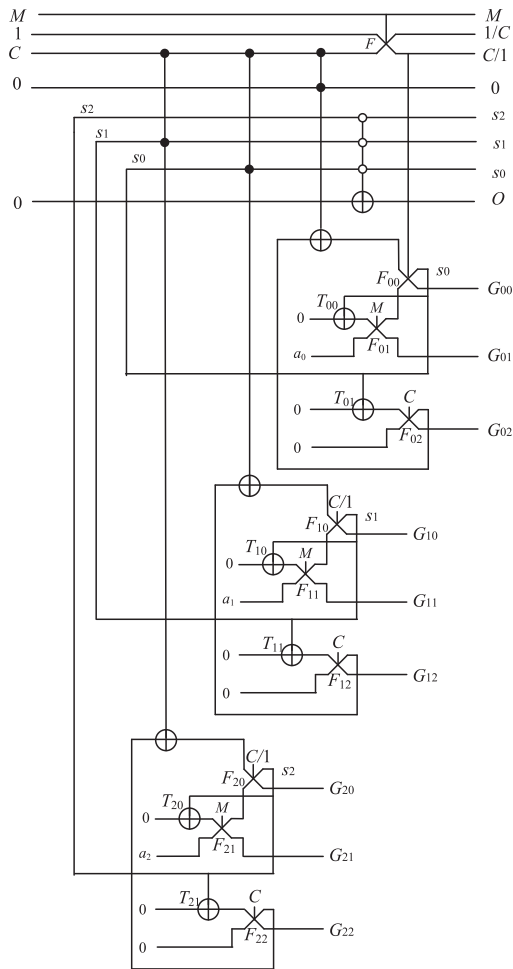


图8 三位可逆右移位寄存电路

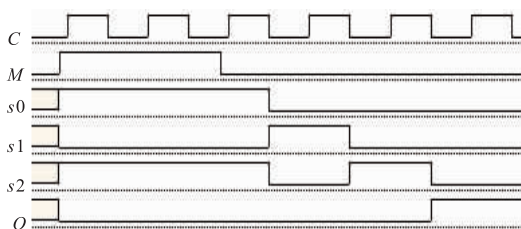


图9 三位可逆右移位寄存电路的仿真

表2 是利用提出的可逆 FSM 电路对 MCNC<sup>[22]</sup> 一些测试电路的实验结果. 在实验中待实现的可逆 FSM 中的次态与输出计算用 TOF 门实现, 并用零极性 RM 逻辑式<sup>[21]</sup> 来描述该可逆组合电路功能. 表2 中  $I_s/O_s/P_s/n_s/n_{s'}$  分别表示测试电路的输入变量数/输出变量数/乘积项数/状态数/经过最小化后的状态数. 其中状态最小化借助 SIS 软件完成, FSM 电路的状态编码采用自然编码形式, 即第  $i$  个状态编码就是十进制  $i$  的二进制表示. 表2 中 QC 为量子代价, 反映一个可逆逻辑网络的构造成本, 其计算方法参照了文献[23]给出的方法.

从图4的可逆 FSM 电路结构可知, 用于实现次态及输出计算的可逆组合电路是整个可逆 FSM 电路量子代价的主要贡献者, 因此可以通过优化可逆组合电路的量子代价实现整个电路量子代价的优化. 表2 中实验结果是用零极性 RM 逻辑式和单一 TOF 门实现可逆 FSM 中可逆组合逻辑后得到的. 采用单一的 TOF 实现可逆组合逻辑存在部分 TOF 门控制位多, 实现量子代价高的问题. 而采用更加丰富的逻辑表达形式和多种可逆逻辑门, 结合相应的逻辑综合和优化算法, 可以进一步减少可逆 FSM 中可逆组合电路的量子代价进而实现可逆 FSM 电路的优化.

表2 基于可逆 FSM 电路实现可逆时序电路的结果

| 电路       | $I_s/O_s/P_s/n_s/n_{s'}$ | QC     |
|----------|--------------------------|--------|
| beecount | 3/4/28/7/4               | 1461   |
| bbara    | 4/2/60/10/7              | 3594   |
| bbsse    | 7/7/56/16/16             | 32644  |
| cse      | 7/7/91/16/16             | 114239 |
| dk512    | 1/3/30/15/15             | 4307   |
| dk14     | 3/5/56/7/7               | 10425  |
| dk16     | 2/3/108/27/27            | 71672  |
| ex4      | 6/9/21/14/14             | 3289   |
| ex6      | 5/8/34/8/8               | 4334   |
| modulo12 | 1/1/24/12/12             | 2230   |
| pma      | 8/8/73/24/24             | 146758 |
| planet   | 7/19/115/48/48           | 293445 |
| opus     | 5/6/22/10/9              | 23740  |
| s1       | 8/6/107/20/20            | 176890 |
| s27      | 4/1/34/6/5               | 4800   |
| s820     | 18/19/232/25/24          | 339164 |
| sse      | 7/7/56/16/16             | 29658  |

## 7 结语

本文提出一种可逆 FSM 的电路结构以及利用该结构实现可逆时序电路的综合方法. 该方法可以避免以往基于行为的可逆 FSM 构造中要求解原状态机的逆状态机的过程, 使的可逆 FSM 的综合过程变得更加简单. 提出的可逆 FSM 中不存在独立的可逆触发器, 而是将可逆触发器电路与 FSM 电路融合在一起, 在特定情况下, 可逆 FSM 电路可以蜕化成可逆 JK, D, T 等可逆触发器电路.

此外,提出的可逆 FSM 电路将电路结构分成用于次态与输出计算的可逆组合电路和用于状态预置与采样锁存电路两部分.利用该可逆 FSM 电路结构可以将可逆 FSM 的优化转化为对可逆 FSM 中的可逆组合电路的优化,给可逆 FSM 优化提供一条新的途径.

#### 参考文献

- [1] Landauer R. Irreversibility and heat generation in the computing process[J]. IBM Journal of Research and Development, 1961, 5(3): 183 – 191.
- [2] Bennett, Charles H. Notes on landauer's principle, reversible computation, and maxwell's demon[J]. Studies in History & Philosophy of Modern Physics, 2002, 34(3): 501 – 510.
- [3] 管致锦,秦小麟,陶涛,施佳.可逆逻辑门网络的表示与级联[J].电子学报,2010,38(10):2370 – 2376.  
Guan Zhi-jin, Qin Xiao-lin, Tao Tao, Shi Quan. Representation and cascade for reversible gate network[J]. Acta Electronica Sinica, 2010, 38(10): 2370 – 2376. (in Chinese)
- [4] Naveen K B, Puneeth G, Sandngaraju M N S. Low power Viterbi decoder design based on reversible logic gates[A]. International Conference on Electronics and Communication Systems[C]. Coimbatore; IEEE, 2017. 201 – 205.
- [5] Mondal B, Dey K, Chakraborty S. An efficient reversible cryptographic circuit design[A]. International Symposium on Vlsi Design and Test[C]. Guwahati; IEEE, 2016. 1 – 6.
- [6] Govindapriya K, Periyasamy M. Nano design of communication partswith QCA using reversible logic[A]. International Conference on Advanced Communication Control and Computing Technologies[C]. Ramanathapuram; IEEE, 2017. 819 – 823.
- [7] Bandyopadhyay C, Parekh S, Rahaman H. Improved circuit synthesis approach for exclusive-sum-of-product-based reversible circuits[J]. Iet Computers & Digital Techniques, 2018, 12(4): 167 – 175.
- [8] Molahosseini A S, Asadpoor A, Zarandi A A E, et al. Towards efficient modular adders based on reversible circuits[A]. International Symposium on Circuits and Systems[C]. Florence; IEEE, 2018. 1 – 5.
- [9] Kole D K, Rahaman H, Das D K, et al. A novel reversible synthesis of array multiplier[A]. International Symposium on Devices, Circuits and Systems[C]. Howrah; IEEE, 2018. 1 – 4.
- [10] Wille R, Soeken M, Miller D M, et al. Trading off circuit lines and gate costs in the synthesis of reversible logic[J]. Integration the Vlsi Journal, 2014, 47(2): 284 – 294.
- [11] Khan M H A. Design of reversible synchronous sequential circuits using pseudo Reed-Muller expressions[J]. IEEE Transactions on Very Large Scale Integration System, 2014, 22(11): 2278 – 2286.
- [12] Kulkarni A, Kaushik B K, Zilic Z. Implementation and analysis of spin-torque-based reversible D-latch[A]. Canadian Conference on Electrical & Computer Engineering[C]. Quebec City; IEEE, 2018. 1 – 4.
- [13] Goswami M, Narzary A, Raj G, et al. Design of reversible bidirectional logarithmic barrel shifter[A]. International Symposium on Embedded Computing and System Design[C]. Durgapur; IEEE, 2017. 1 – 4.
- [14] Ghosh S, Sen B, Das R. Bijective mapping of arbitrary finite state machine[A]. International Conference on High Performance Computing and Applications[C]. Bhubaneswar; IEEE, 2014. 1 – 5.
- [15] Gupta S, Pareek V, Jain S C, et al. Realization of sequential reversible circuit from finite state machine[A]. International Computer Science and Engineering Conference[C]. Khon Kaen; IEEE, 2014. 458 – 463.
- [16] Vasudevan D P, Goudarzi M, Popovici E M, et al. A reversible MIPS multi-cycle control FSM design[A]. Asia Symposium on Quality Electronic Design[C]. Kuala Lumpur; IEEE, 2009. 336 – 342.
- [17] Goudarzi M, Chen J, Vasudevan D P, et al. Reversing deterministic finite state machines[A]. Irish Signals and Systems Conference[C]. Dublin; IET, 2009. 1 – 6.
- [18] Sentovich E. M, et al. SIS: A system for sequential circuit synthesis[R]. UCB/ERL M92/41 Electronics Research Lab. University of California; Berkeley, CA 94720, 1992.
- [19] Upadhyay K K, Srivastava S, Arun V et al. Design and performance analysis of MZI based  $2 \times 2$  reversible XOR logic gate[A]. Recent Advances on Engineering, Technology and Computational Sciences[C]. Allahabad; IEEE, 2018. 1 – 5.
- [20] Meuli G, Soeken M, Roetteler M, et al. A best-fit mapping algorithm to facilitate ESOP-decomposition in Clifford + T quantum network synthesis[A]. Design Automation Conference[C]. Jeju; IEEE, 2018. 664 – 669.
- [21] 瞿婷,王伦耀,罗文强,夏银水.大函数 ISFPRM 面积优化方法[J].电子学报,2018,46(05):1101 – 1106.  
QU Ting, WANG Lun-yao, LUO Wen-qiang, XIA Yin-shui. A novel method for large ISFPRM function optimization[J]. Acta Electronica Sinica, 2018, 46(05): 1101 – 1106. (in Chinese)
- [22] Yang S. Logic synthesis and optimization benchmarks user guide; version 3.0[R]. Carolina; Microelectronics Center of North Carolina (MCNC), 1991.
- [23] Maslov D, Young C, Miller D M, et al. Quantum circuit simplification using templates[A]. Design. Automation and Test in Europe Conference and Exposition[C]. Munich, Germany; IEEE Computer Society, 2005.

## 作者简介



吴钰 女,1995 年出生于安徽安庆,信息科学与工程学院研究生,研究方向为可逆逻辑综合.

E-mail:13566361397@163.com



张莹 女,1992 年出生于安徽安庆,信息科学与工程学院研究生,研究方向为可逆逻辑综合.



王伦耀 男,1972 年生于浙江宁波.宁波大学信息科学与工程学院教授.研究方向为低功耗集成电路设计、集成电路设计自动化等.

E-mail:wanglun Yao@nbu.edu.cn