

一种应用于阵列 TDC 的低抖动锁相环设计

吴 金¹, 孙亚伟¹, 彭 杰¹, 郑丽霞¹, 罗木昌², 孙伟锋¹

(1. 东南大学, 江苏南京 210096; 2. 中电科技第四十四研究所, 重庆 400060)

摘 要: 传统的 PLL(Phase Locked Loop) 电路受限于环路参数的选定, 其相位噪声与抖动特性已经难以满足大阵列、高精度 TDC(Time-to-Digital Converter) 的应用需求. 本文致力于 PLL 环路带宽的优化选取, 采取 TSMC 0.35 μm CMOS 工艺实现了一款应用于 TDC 的具有低抖动、低噪声特性的锁相环(Phase Locked Loop, PLL) 电路, 芯片面积约为 0.745mm \times 0.368mm. 实际测试结果表明, 在外部信号源输入 15.625MHz 时钟信号条件下, PLL 输出频率可锁定在 250.0007MHz, 频率偏差为 0.7kHz, 输出时钟占空比为 51.59%, 相位噪声为 114.66dBc/Hz@1MHz, 均方根抖动为 4.3ps, 峰峰值抖动为 32.2ps. 锁相环的相位噪声显著降低, 输出时钟的抖动特性明显优化, 可满足高精度阵列 TDC 的应用需要.

关键词: 锁相环; 低抖动; 相位噪声

中图分类号: TN911.8

文献标识码: A

文章编号: 0372-2112(2020)09-1703-08

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2020.09.006

Design of a Low Jitter Phase Locked Loop for Array TDC

WU Jin¹, SUN Ya-wei¹, PENG Jie¹, ZHENG Li-xia¹, LUO Mu-chang², SUN Wei-feng¹

(1. Southeast University, Nanjing, Jiangsu 210096, China;

2. 44th Research Institute of China Electronic Technology Group, Chongqing 400060, China)

Abstract: The traditional PLL(Phase Locked Loop) circuit is limited by the selection of loop parameters and its phase noise and jitter characteristics have been difficult to meet the application requirements of large array and high precision TDC(Time-to-Digital Converter). This paper devotes to the optimal selection of PLL loop bandwidth and a PLL circuit with low noise and low jitter characteristics is designed. The chip area is approximately 0.745mm \times 0.368mm. The actual test results of the chip show that under the condition of external signal source input 15.625MHz clock signal and the PLL output frequency can be locked at 250.0007MHz. The frequency deviation is 0.7kHz. The duty cycle of the output clock is 51.59% and the phase noise is-114.66dBc/Hz@1MHz. The RMS jitter of the clock is 4.3ps and the peak-to-peak jitter is 32.2ps. The phase noise of the phase-locked loop is significantly reduced and the jitter characteristics of the output clock are significantly optimized, which can basically meet the application needs of the array TDC.

Key words: phase locked loop; low jitter; phase noise

1 引言

本文设计的时钟产生电路主要用于红外激光测距成像系统中的全阵列式读出电路(Read Out Integrate Circuit, ROIC), 为光子飞行时间(Time Of Flight, TOF)测量提供所需的多相时钟信号, 即驱动全阵列 ROIC 电路内部单像素时间数字转换电路(TDC)工作, 目的是将光子飞行时间转换为数字信号后输出做进一步处理.

时钟产生电路的输出时钟信号作为 TDC 测量的基准或参考信号, 多相时钟输出的准确度、抖动、占空比、分相均匀性及稳定性等指标决定着 TDC 的性能水平. 随着 ROIC 阵列规模不断扩大, 为系统提供具有足够驱动能力且具有高度一致性的高性能时钟信号难度不断增加^[1]. 另外对于片上集成的大阵列 ROIC 电路而言, 通常会在片内产生巨大的跳变噪声, 这些噪声会通过电源、衬底耦合到时钟产生电路中, 进而使时钟信号性

收稿日期: 2019-09-19; 修回日期: 2019-12-26 责任编辑: 梅志强

基金项目: 国家重点研发计划(No. 2016YFB0400904); 国家自然科学基金(No. 61805036); 江苏省自然科学基金(No. BK20181139); 模拟集成电路重点实验室稳定支持项目(No. JCKY2019210C030)

能出现退化,因此为时钟产生电路进行电源管理设计也是一项亟待解决的挑战^[2].

在红外激光测距应用中,基于多相移高频时钟信号实现的两段式 TDC 电路均已得到流片验证,其时钟信号的产生主要基于两种实现方式:环振型 TDC 和 DLL/PLL 型 TDC 架构^[3].环振型 TDC 的关键点在于频率的稳定性和门控特性,在基于单端延迟单元级联而成的环形振荡器结构中,根据迁移率和阈值电压的温度特性,补偿电路能够实时地感应温度和工艺漂移的变化,自适应的动态调节控制电压,实现频率的补偿过程.同时基于初始相位和低功耗设计需求,在延迟链中引入门控逻辑结构,进一步实现了振荡模式的切换过程.这种开环补偿方式结构简单,易于实现,但延迟时间受电源噪声扰动的影响偏大,频率的电源稳定性偏差^[4].此外门控作用使得延迟单元的匹配性差,导致多相位均匀性偏差.而且随着 TDC 量程的不断增大,时钟的随机性抖动将使得计数过程中的误码率显著增加,难以满足高精度应用需求.基于闭环架构所实现的锁相环系统,内在的反馈机制能够不断地追踪参考时钟信号,达到同频同相功能,因此在多相时钟应用中具有显著的优势^[5].此外反馈系统的结构属性有助于提高频率的稳定性、相位均匀性,实现低误码特性,但在压控振荡器结构中,电源和衬底噪声的串扰将直接引起时钟的随机抖动现象,这将严重限制振荡器的性能,因此频率的静态稳定性和相位噪声是多相移时钟电路设计的首要条件^[6].

因此本文将设计重点放在提升环振型锁相环的静态稳定性和相位噪声性能.基于分段式 TDC 在不同应用场合中的侧重点,以及对高频时钟信号的需求,设计的时钟首先需要做到高精度.时间数字转换电路的目的在于实现时间的精确量化过程,目前最新的研究已达到皮秒级的分辨率,然而在基于时钟信号实现触发计数、数据锁存和传输的过程中,时钟频率的静态点直接决定了最大的计数量程和最小分辨率需求,因此系统的量化精度将主要依赖于频率的稳定性.其次是需要拥有低抖动特性.在长周期测量过程中,时钟抖动所引起的相位非均匀现象将不可忽略,特别是抖动累积效应将导致 TDC 在细计数过程中微分非线性(DNL)增大,这会造成严重的计数误码现象.但相比开环补偿结构,反馈系统却能够通过环路来改善振荡器的抖动性能.最后还必须具有较强的抗干扰能力,在全阵列型 TDC 应用以及 H 时钟树传输过程中,电源压降、地弹现象、数字电源或衬底耦合的高频噪声将很容易引起相位偏差,因此优化电源网络布局以及缓冲器均有助于提高时钟的抗扰能力,此外有效的隔离保护也将避

免高频时钟的串扰影响^[7,8].

为适应实际阵列 TDC 对 8 个分相时钟的需求,本文选取的压控振荡器只能采用四级环形振荡器结构.锁相环电路的频率范围、频率偏差及抖动特性等直接制约了阵列 TDC 测量的精度,因而本文旨在获得一个噪声特性与抖动特性优良的 PLL 电路.传统的锁相环电路设计方法受限于环路参数的选定,基于环形振荡器结构的 PLL 在输出时钟相位噪声、TIE 抖动等指标已经难以满足大阵列、高精度 TDC 的应用需求.在确定系统环路参数层面,本文在传统的最大相位裕度法的基础上进行改进,利用 Matlab 软件迭代分析数据并利用 Cadence 软件对比不同环路带宽下的系统性能,由此获得特定条件下系统的最优环路带宽,进而使得锁相环电路的噪声特性与抖动特性明显优化,这是本文设计的创新点与难点.

2 最优带宽设计

对于 PLL 而言,相位噪声是表征时钟输出精度性能最为重要的性能指标之一,而环路带宽位置的选取直接决定着系统噪声性能水平的高低.在 PLL 环路带宽内,输入参考噪声、分频器(divider)等效输出噪声及鉴频鉴相器(PFD)与电荷泵(CP)噪声三个低通的噪声起主导作用.在 PLL 环路带宽外,压控振荡器(Voltage-Controlled Oscillator, VCO)噪声源起决定作用.对于无源低通滤波器而言,产生的噪声很小,通常忽略不计.在环路带宽选取时,通过将各个模块的噪声曲线叠加,评估不同的环路带宽下系统整体相位噪声变化特性,系统相位噪声最小条件下的环路带宽即为最优环路带宽.如图 1 所示,在满足系统稳定的前提下,给出了不同环路带宽所对应的系统输出频谱特性曲线,图中黑色虚线 A 表示低通噪声通过环路作用后的噪声曲线,蓝色虚线 B 表示压控振荡器的高通噪声经过环路作用后的噪声曲线,红色实线 C 表示系统整体噪声曲线.将低通噪声与高通噪声相等的位置作为最优环路带宽,系统噪声曲线最为平滑,噪声积分最小,若环路带宽过大或过小时,均会使相位噪声曲线出现较大的峰值,对应的噪声积分结果会变大,抖动性能也会相应变差.

对于系统环路参数的设定,通常采取开环最大相位裕度法,即根据系统的参数指标确定环路带宽并利用预先设定的最大相位裕度计算得出系统的环路参数.根据系统的设计指标要求,假定参考时钟频率 $f_{\text{ref}} = 15.625\text{MHz}$ 、分频器分频比 $N = 16$ 、VCO 压控增益 $K_{\text{vco}} = 130\text{MHz/V}$ 、电荷泵电流 $I_{\text{cp}} = 30\mu\text{A}$,选取环路带宽初值 $\omega_{\text{co}} = 800\text{kHz}$,该典型值一般会选取为 $f_{\text{ref}}/20$ 附近,设定最大相位裕度 $\text{PM}_{\text{max}} = 65^\circ$.得到二阶 LPF 设计参数为

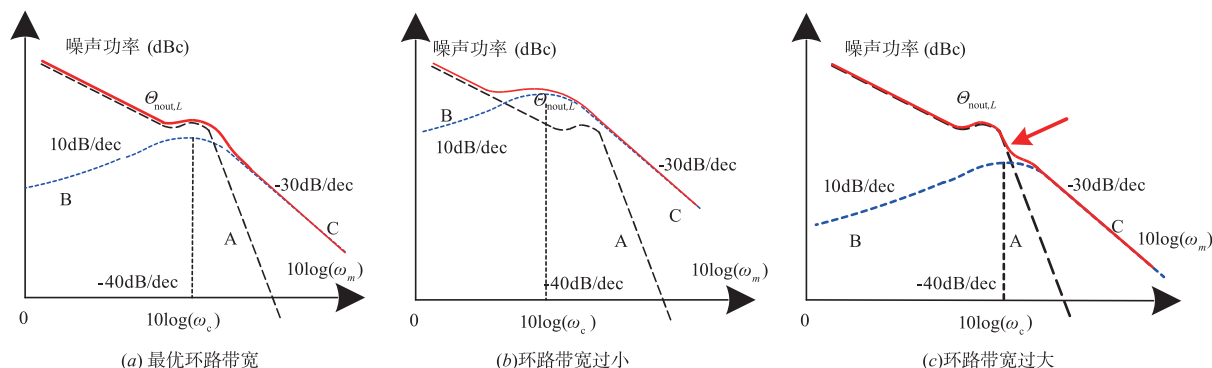


图1 环路带宽与系统噪声曲线关系

$$\begin{cases} R = \frac{2\pi\omega_c N}{I_{CP} K_{VCO}} = 21.69\text{k}\Omega \\ C_1 = \frac{I_{CP} K_{VCO}}{2\pi\omega_c^2 N [\sec(\text{PM}_{\max}) - \tan(\text{PM}_{\max})]} = 41.68\text{pF} \\ C_2 = \frac{\sec(\text{PM}_{\max}) - \tan(\text{PM}_{\max})}{\omega_c R - 1/(\omega_c R)} = 2.14\text{pF} \end{cases} \quad (1)$$

但这种方法存在一个问题,由于环路带宽的选择上采取了近似,它不能精确反映出最适合系统的环路带宽.本文在最大相位裕度法的基础上进行改进,保持最大相位裕度 $\text{PM}_{\max} = 65^\circ$ 不变,利用上面计算得到的数据在 Cadence 软件中搭建 PLL 系统电路,设置合适的激励条件,仿真得到此时的关键指标仿真结果为:控制电压纹波 V_c 约为 3.10mV ,峰峰值抖动约为 3.65ps .随后改变环路带宽的位置,利用 Matlab 求得各环路带宽下的系统参数,并分别对系统进行仿真验证,得出不同条件下系统性能如表 1 所示.理论上,通过无限迭代,即可得出特定条件下的噪声最优环路带宽.然而实际情况下,存在各种不确定性噪声干扰,同时由于工艺漂移也会导致系统参数发生变化,结合表 1 的对比结果,确定最终环路带宽为 700kHz ,LPF 参数最终值为: $R = 18.98\text{k}\Omega$, $C_1 = 54.04\text{pF}$, $C_2 = 2.79\text{pF}$.

表 1 不同环路带宽下系统特性对比

环路带宽 (kHz)	电阻 R (k Ω)	电容 C_1 (pF)	电容 C_2 (pF)	V_c 纹波 (mV)	峰峰值抖动 (ps)
900	24.39	32.69	1.69	3.92	4.71
800	21.68	41.37	2.14	3.10	3.65
750	20.33	47.08	2.43	2.73	3.45
700	18.98	54.04	2.79	2.39	3.15
650	17.62	62.68	3.24	1.93	3.47
600	16.27	73.56	3.80	1.75	4.31

3 关键模块电路设计

应用于阵列 TDC 的 CP-PLL 多相时钟电路,需利用

其倍频功能得到高频时钟信号驱动高设计数式 TDC,同时利用 VCO 的多级延迟结构得到高频均匀分相信号,驱动低段位数字插值型 TDC,实现对计数时钟周期细分,进而实现时间间隔的量化功能.由此,要求 CP-PLL 时钟信号具有高频率、低噪声、低抖动、多分相均匀(占空比为 50%)的属性.综合权衡,选取由鉴频鉴相器、电荷泵、滤波器、压控振荡器及分频器构成的 CP-PLL 系统架构,电路结构如图 2 所示.图中 F_{ref} 为输入参考时钟信号,可由外部晶振或信号源提供, F_{cb} 为 VCO 输出的反馈时钟信号, N 为分频器的分频比, $I_{\text{CP,P}}$ 与 $I_{\text{CP,N}}$ 分别为 CP 的充电电流与放电电流,为保持电流匹配,理论上应有 $I_{\text{CP,P}} = I_{\text{CP,N}} = I_{\text{CP}}$,否则会产生电流失配; $F_0 \sim F_3$ 为 VCO 多相高频时钟输出信号.

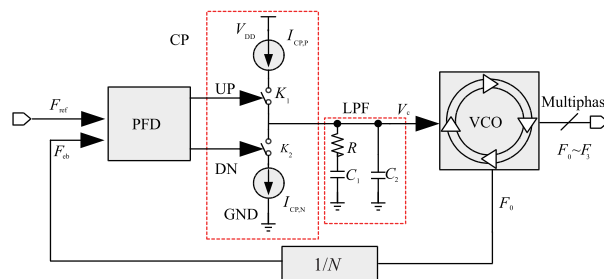


图2 PLL-TDC系统耦合架构

3.1 低噪声 VCO

本文所设计的 VCO 针对 TDC 8 个分相的应用需要,因此采用由 4 个延时单元构成的环振主体结构,同时输出采用整形缓冲电路驱动,整体电路框图如图 3 所示. $V_{\text{c,A}}$ 为控制电压信号输入端, $F_0 \sim F_3$ 为多相时钟输出信号,并且将 F_0 作为反馈信号接入 PFD.

根据阵列 TDC 对低抖动时钟信号的应用需要,本文采用无尾电流源的伪差分延时单元,如图 4 所示,一方面极大程度地减少尾电流源电流噪声对 VCO 的影响,另一方面由于仅有控制电压输入信号,由 $V_{\text{c,A}}$ 直接控制负载管,这就减少了晶体管噪声源的个数.同时,利用延时单元中交叉对管的正反馈可以提高波形的对

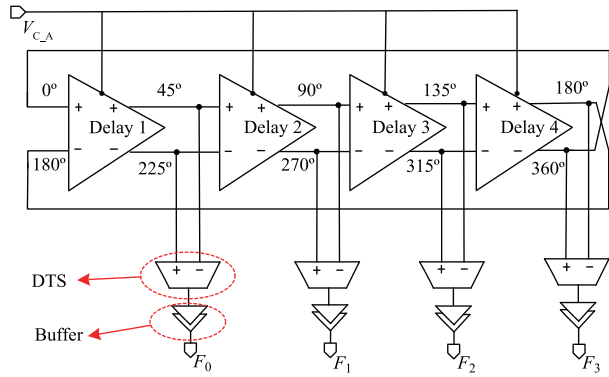
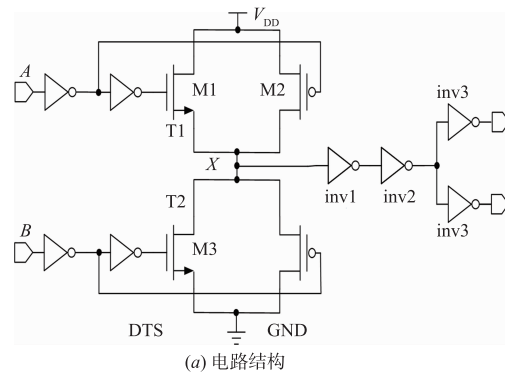


图3 四级全差分环形振荡器系统框图

称性,减少 $1/f$ 噪声的影响。

在 TDC 电路中,只需要单端输入的时钟信号即可,因此在每一级差分延时单元后接一个双端输入转单端输出电路(Double To Single converter, DTS)和输出缓冲 Buffer,具体如图 5(a)所示. 信号 A 、 B 来自于延时单元的差分互补输出信号,互补信号相差 180° . 在信号 A 的上升沿, $M1$ 、 $M2$ 构成的 $T1$ 传输门将 X 点电位拉高,而在信号 B 的上升沿, $M3$ 、 $M4$ 构成的 $T2$ 传输门将 X 点



(a) 电路结构

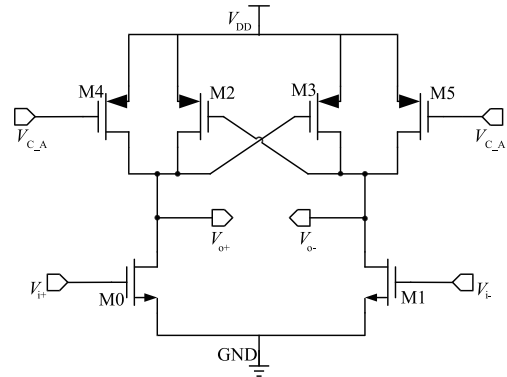
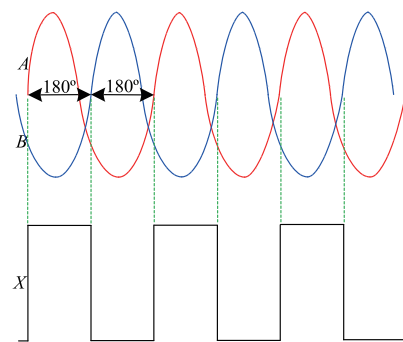


图4 伪差分延时单元

电位拉低,每隔 180° 相位的时间内,占空比偏离 50% 的互补信号 A 、 B 经过 DTS 电路后会对节点 X 充电(或放电)一次,最终使 X 点信号占空比为 50%,图 5(b)所示为占空比偏离 50% 的互补信号 A 、 B 经过 DTS 的工作时序,可以看出该电路将双端输入信号转为单端输出信号的同时对输出波形占空比进行调节. 设计完成的 VCO 系统版图如图 6 所示。



(b) 传输门工作时序

图5 DTS电路与输出Buffer

3.2 电荷泵

电荷泵的实质是一个开关电流源. 显然,对它的要求是精准稳定的恒流源以及理想的开关特性. 然而在实际的电路设计中,完全达到这种理想状态是不可能的,电荷泵总存在一些非理想效应,具体包括 MOS 开关的电荷泄漏、时钟馈通、电荷共享等等. 电荷泄漏是指当 MOS 开关处于关断状态时,在理想情况下电流为零,但寄生电容的影响将使得滤波电容上的电荷产生泄漏的现象. 时钟馈通效应是指在开关管控制过程中,栅源或者栅漏寄生电容会引起滤波电容上电压的周期扰动. 电荷共享效应是指在开关关断时,充放电电流预先在漏极形成电荷积累,在开关闭合瞬间将导致电容上的电荷与开关管的漏极电荷重新分配.

针对以上非理想因素,本文设计了一种高性能电

流导向型电荷泵电路,其原理图如图 7 所示. 电荷泵的输入信号为鉴频鉴相器产生的误差脉冲信号 UP、DN,通过 UP、DN 脉冲信号控制 MOS 开关管的开与断,从而在充电状态与放电状态之间进行切换.

沟道的电荷泄漏和时钟馈通效应会使得 VCO 控制电压出现跳变,这将会严重影响整个 PLL 输出时钟的抖动性能. 理论上从提高开关速度的角度来讲,应该尽可能的增大 MOS 开关的尺寸,但是大尺寸的开关管会加剧电荷注入效应,因此电荷泵中开关管的尺寸大小应该折衷考虑. 针对时钟馈通效应,本设计中通过 dummy 开关的引入,即图 7 中的 MD0 ~ MD3,栅端接入反相的误差脉冲信号,使其栅-漏、栅-源交叠电容上产生与开关管反相的跳变电压,从而减小时钟馈通效应对滤波器输出电压的影响. 在此结构中,充电、放电支路的

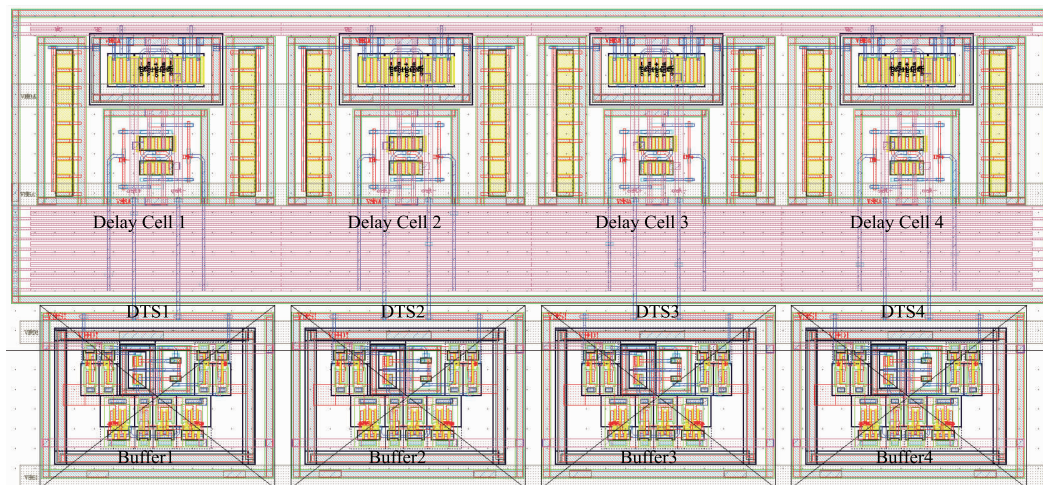


图6 VCO版图

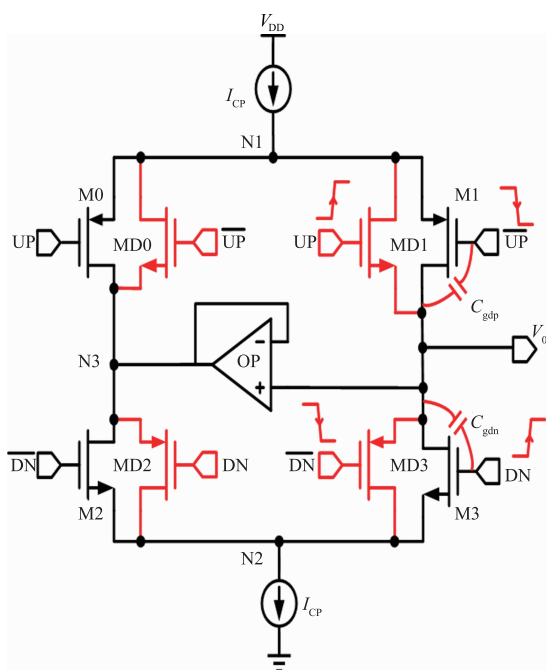


图7 电荷泵

电流源由于开关管的作用,会经历一个从线性区到饱和和区的过程,这会使得电路速度变慢.而该结构中 M0、M2 支路的引入,使得电流源能处于常开的状态,大大加快了电路的速度.本设计引入单位增益跟随器运放主要是为了减弱 MOS 开关的电荷共享效应,值得注意的是,该运放的选择具有一定的限制,首先其应该具有较高的增益值,这样才能保证节点 N3 的电压精准的跟随输出电压 V_o 的变化,达到减小电荷共享效应的目的;其次,由于输出电压 V_o 的变化范围较宽,需要运放具有相应较宽的共模范围;最后,由于电荷泵的工作频率与锁相环输入参考时钟频率有关,因此该运放应该具有比输入参考时钟宽 3~5 倍的单位增益带宽.

本文采用的电荷泵实际电路图如图 8 所示,为带有电流舵开关(current steering switch)的电荷泵,它对电荷泵中存在的静态与动态失配以及电荷注入等非理想效应也具有较好的抑制效果.设计完成的电荷泵电路版图如图 9 所示.

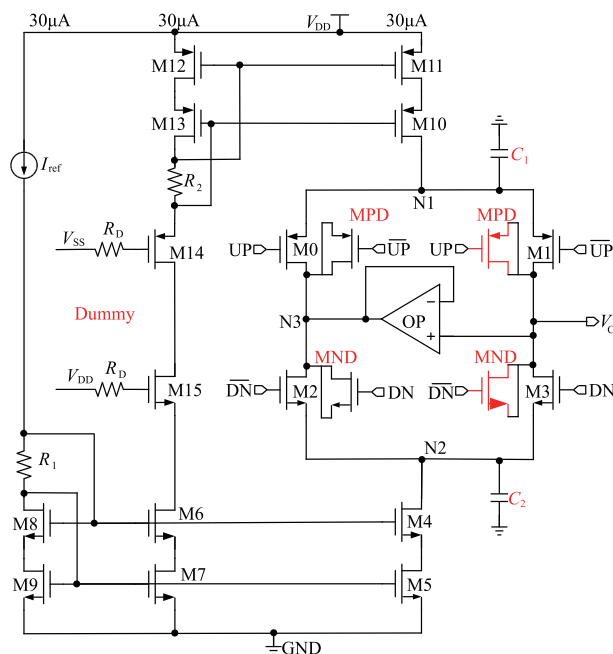


图8 电流舵开关电荷泵

4 PLL 芯片测试

随着时钟产生电路的不断发展,环路内部噪声性能不断得到优化减小,相比较而言,电源的干扰噪声对 PLL 性能的影响越来越突出.电源波动会使得 CP 对 LPF 的充放电电流产生波动变化,这些纹波成分无法被 LPF 全部滤除,包含纹波的控制电压 V_{ctrl} 直接作用于

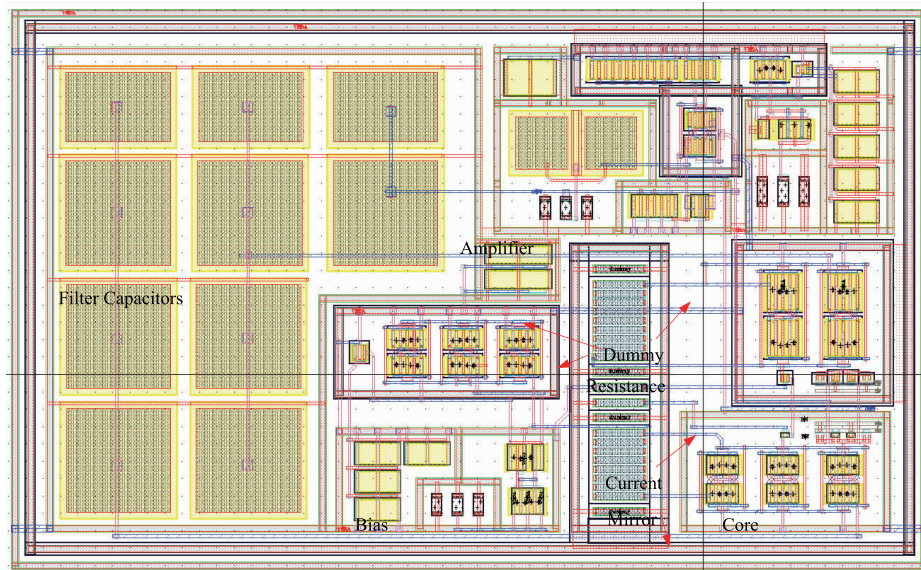


图9 电荷泵版图

VCO,最终会在输出时钟信号中引入抖动. 电源噪声的幅度越大,VCO 推压 K_p (VCO 对电源波动的灵敏度)越大,VCO 相位噪声受影响程度越大;电源噪声频率 f 越大,VCO 相位噪声受影响程度越小,因此,对低频电源噪声的抑制尤其重要.

本次测试着重考虑对电源纹波的抑制,在 PCB 电源端及芯片引脚处添加组合式去耦电容,滤除电源信号中的噪声信号. 具体方法是采用 $0.1\mu\text{F}$ 电容与 $10\mu\text{F}$

电容并联对电源进行滤波,并直接采用直流稳压源为 PLL 芯片提供所需的 3.3V 直流电压.

PLL 输出的 4 路多相时钟信号如图 10 所示,各分相之间相位差分别为: 518ps 、 514ps 、 447ps ,主要原因在于在进行 PCB 布线时,受板级电路面积限制,难以保证各信号的走线完全一致,各路时钟信号的负载将会有所差别,而负载的偏差导致传递延时不同,导致分相测试结果出现偏差.

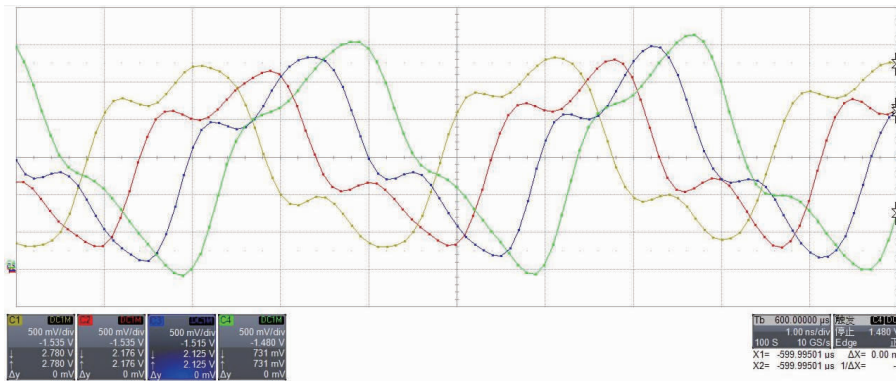


图10 PLL分相均匀性测试结果

图 11 展示了测试条件下 PLL 的工作情况. 锁相环锁定时的频率约为 250.0007MHz , 频率偏差为 0.0007MHz , 占空比约为 51.54% , 此时抖动的 RMS 值降低为 4.337ps , 最大正向抖动为 17.8ps , 最大负向抖动为 -14.4ps , 峰峰值抖动为 32.2ps , 经过电源噪声优化后的 PLL 性能极为优越. 图 12 为电源端采用组合式去耦电容后电源噪声的测试结果,在对电源进行滤波后,电源噪声幅度优化明显,此时电源噪声幅度值约为 0.127V . 图 13 为 PLL 的相位噪声测试结果的曲线. 从

测试结果看出,此时环路带宽处不存在驼峰现象,在频偏为 1MHz 时的相位噪声为 -114.66dBc/Hz ,这证明了增大滤波电容可以在一定程度上抑制电源噪声,进而提升 PLL 的噪声特性.

在压控振荡器中,时钟抖动与相位噪声分别从时域和频域的角度反应了时钟的动态特性,两者之间可以进行相互转换,而时钟抖动的随机性进一步揭示了器件噪声带来的非理想因素. 表 2 所示为本文设计的 PLL 测试结果,与同类应用于 TDC 的时钟相比,时钟抖

动与相位噪声特性较为优异,这可以有效减少由于时钟的抖动性带来的 TDC 计算误码现象,提升 TDC 的精度. 本文设计的多相时钟与参考文献的测试结果对比如表 3 所示,从表中可以看出,本文设计的 PLL 噪声特

性在同类多相环振 VCO 中处于领先水平,符合高精度 TDC 对高频时钟信号的高精度、低抖动特性、强抗干扰性的应用要求.

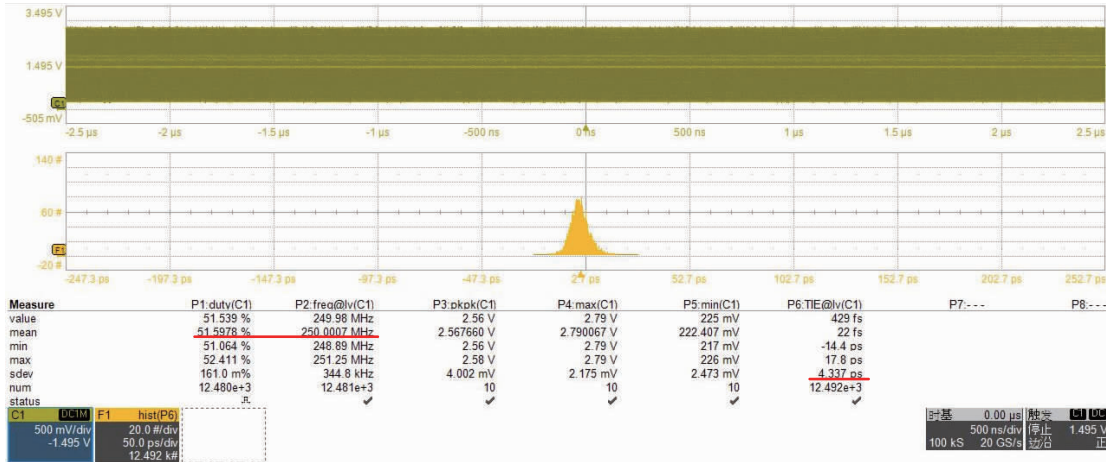


图11 PLL TIE抖动测试结果

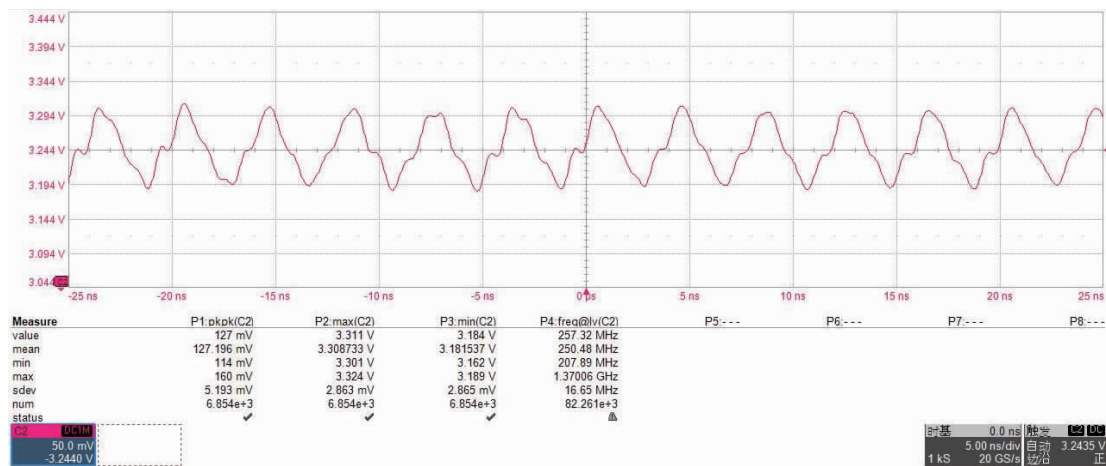


图12 电源噪声测试结果

表 2 本文设计的 PLL 测试结果

性能参数	锁定频率 (MHz)	占空比 (%)	功耗 (mW)	RMS 抖动 (ps)	PtP 抖动 (ps)	相位噪声@1MHz (dBc/Hz)	电源纹波 (mV)
	250.0007	51.54	79.2	4.337	32.2	-114.66	127.1

表 3 多相时钟关键指标测试结果与参考文献对比

文献	文献[9]	文献[10]	文献[11]	文献[12]	本文
CMOS 工艺	0.18 μ m	0.13 μ m	0.18 μ m	0.18 μ m	0.35 μ m
环形振荡器结构	四级环振延迟单元	四级环振延迟单元	四级环振延迟单元	四级环振延迟单元	四级环振延迟单元
锁定频率 (GHz)	4.2 ~ 5.9	7.3 ~ 7.86	-	3.03 ~ 5.36	0.25
相位噪声@ f_{out} (dBc/Hz)	-99.1@1MHz	-103.4@1MHz	-91@1MHz	-107.7@1MHz	-114.6@1MHz
工作电压 (V)	1.8	1.5	1.8	1.8	3.3
功耗 (mW)	58	60	12.6	100	79.2

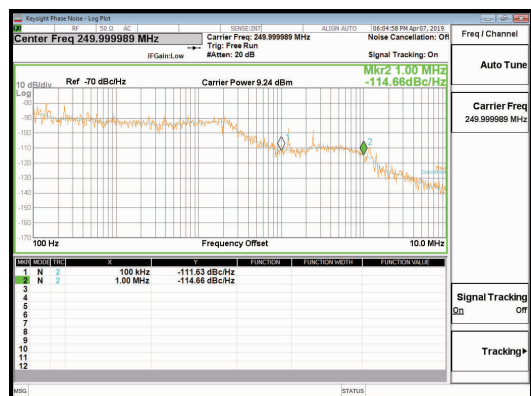


图13 相位噪声测试结果

5 总结

针对 ROIC 系统对多相时钟信号的应用需求,本文采用 TSMC 0.35 μm CMOS 工艺,设计了一种应用于阵列 TDC 低抖动低噪声多分相锁相环电路.首先对 PLL 系统噪声进行建模并利用环路理论分析与对比确定了 PLL 的环路带宽及系统参数;接着针对锁相环的非理想效应和噪声特性选取了合适的电荷泵和压控振荡器结构;最后在电源噪声优化的条件下进行了芯片测试,测试结果表明本文设计的经过带宽优化的锁相环可符合高精度阵列 TDC 的应用要求,具有极佳的抖动特性与噪声特性.

参考文献

- [1] J Jalil, M Bin, et al. CMOS Differential ring oscillators[J]. IEEE Microwave Magazine, 2013, 14(7): 97 – 109.
- [2] Yang S, Lee V C. Asynchronously controlled frequency locked loop[A]. IEEE International Symposium on Asynchronous Circuits & Systems[C]. New York: IEEE, 2016. 24 – 28.
- [3] D Dhar, P T M v Zeijl, D Milosevic, H Gao, et al. Analysis of the effect of PFD sampling on charge-pump PLL stability[A]. 2018 IEEE International Symposium on Circuits and Systems [C]. Florence: IEEE, 2018. 1 – 5.
- [4] Ying W, Yue C, et al. A 3.5 – 6.8-GHz wide-bandwidth all-digital PLL with a MASH $\Delta\Sigma$ -TDC for low in-band phase noise [J]. IEEE Journal of Solid-State Circuits, 2017, 52(7): 1885 – 1903.
- [5] Gao X, Klumperink E A M, Bohsali M, et al. A low noise sub-sampling PLL in which divider noise is eliminated and PD/CP noise is not multiplied by N^2 [J]. IEEE Journal of Solid-State Circuits, 2009, 44(12): 3253 – 3263.

- [6] 冀蓉,冯颖勒,等.一种新型高精度 DLL 鉴相器设计[J].电子学报,2009,37(8):1694 – 1698.

Ji Rong, Feng Ying-le, et al. The design of a novel high-resolution DLL phase detector [J]. Acta Electronica Sinica, 2009, 37(8): 1694 – 1698. (in Chinese)

- [7] 吴金,张有志,赵荣琦,等.一种应用于 TDC 的低抖动延迟锁相环电路设计[J].电子学报,2017,45(2):452 – 458.

Wu Jin, Zhang You-zhi, Zhao Rong-qi, et al. Design of a low jitter delay locked loop for TDC [J]. Acta Electronica Sinica, 2017, 45(2): 452 – 458. (in Chinese)

- [8] C Niclass, M Soga, H Matsubara, S Kato. A 100-m range 10-Frame/s 340 96-Pixel time-of-flight depth sensor in CMOS [J]. IEEE Journal of Solid-State Circuits, 2013, 48(6): 559 – 572.

- [9] C Danfeng, et al. A multiple-pass ring oscillator based dual-loop phase-locked loop [J]. Semiconductor, 2009, 30(9): 5 – 8.

- [10] H Q Liu, W L Goh, L Sie. A low noise multi-GHz CMOS multi-loop ring oscillator with coarse and fine frequency tuning [J]. IEEE Transactions on Very Large Scale Integration, 2009, 17(4): 571 – 577.

- [11] C Sánchez-Azqueta, et al. A 0.18 μm CMOS ring VCO for clock and data recovery applications [J]. Microelectronics, 2011, 51(12): 2351 – 2356

- [12] Y-S Tiao, M-L Sheu. Full range voltage-controlled ring oscillator in 0.18- μm CMOS for low-voltage operation [J]. Electronics Letters, 2010, 46(1): 30 – 32.

作者简介



吴金男,1965年出生于江苏南京,1991年和1997年于东南大学电子科学与工程学院分别获得工学硕士和博士学位,现为东南大学微电子学院教授、博士生导师.近期研究兴趣主要为时钟电路、时间-数字转换电路以及红外单光子探测读出电路设计等.主持或参加过国家、省自然科学基金、国家“核高基”重点专项等各类项目研究.发表 SCI/EI 收录论文 30 余篇,授权

国家发明专利 8 项.

孙亚伟男,1995年出生于江苏扬州,现于东南大学微电子学院攻读硕士学位,主要研究方向为时钟电路设计和雪崩型光电探测器读出电路设计.

彭杰男,1994年出生于江苏徐州,毕业于东南大学微电子学院,主要研究方向为时钟电路设计.

郑丽霞(通信作者)女,1979年出生于江苏常州,现为东南大学微电子学院副教授,主要研究方向为单光子探测读出电路设计.

E-mail: zhenglx@seu.edu.cn