

一种基于频差法的顺序等效采样方法及其实现

李海涛¹, 李斌康^{1,2}, 阮林波^{1,2}, 田 耕^{1,2}

(1. 西北核技术研究院, 陕西西安 710024; 2. 强脉冲辐射环境模拟与效应国家重点实验室, 陕西西安 710024)

摘 要: 基于频差法原理实现顺序等效采样方法, 将时域问题转化到频域进行处理, 理论上分析其可行性, 给出频率差值的计算方法, 可以通过频差设计任意等效采样频率. 经过电路板实验验证, 该方法简化了步进延时系统的复杂度, 降低延时路径上引入的干扰, 目前实现的最小步进延时为 1.71ps, 最高顺序等效采样率约为 585GS/s. 为了缩短基于频差法的顺序等效采样所需的总时间, 提出了倍频采样时钟的技术. 该方法可以扩展应用到许多等效采样的领域中.

关键词: 顺序等效采样; 频差法; 频域频差; 时域延时

中图分类号: TN79

文献标识码: A

文章编号: 0372-2112 (2020)06-1071-06

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2020.06.004

Research and Implementation of a Sequential Equivalent Sampling Method Based on Frequency Difference Method

LI Hai-ao¹, LI Bin-kang^{1,2}, RUAN Lin-bo^{1,2}, TIAN Geng^{1,2}

(1. Northwest Institute of Nuclear Technology, Xi'an, Shaanxi 710024, China;

2. State Key Laboratory of Simulation and Effect for Intense Pulse Radiation, Xi'an, Shaanxi 710024, China)

Abstract: A new sequential equivalent sampling method is proposed based on the principle of frequency difference method, which transforms the sampling problem from time domain to frequency domain. The feasibility of the proposed method is theoretically analyzed and also verified by an experimental circuit board, where the equivalent sampling frequency can be set arbitrarily by changing the frequency difference. This method simplifies the design of step delay system and reduces the interference introduced in time delay path, making out the minimum step delay is 1.71ps and the maximum sequential equivalent sampling rate is about 585GS/s. In order to shorten the total time required for sequential equivalent sampling, a technique of frequency doubling sampling clock is proposed. The proposed sampling method can be widely used in other equivalent sampling systems.

Key words: sequential equivalent sampling; frequency difference method; time delay

1 引言

采样技术广泛应用于数据采集领域, 在数字示波器、频谱分析仪、探地雷达、防撞雷达、时域反射仪等多种测试仪器中广泛的应用. 采样分为实时采样和等效采样. 实时采样主要用来捕获非重复性或单次信号, 使用已知的时间间隔进行采样, 触发一次后, 对电压信号连续采样, 然后根据采样数据重构信号波形, 上述的数字示波器、频谱分析仪等均采用实时采样. 等效采样针对周期信号, 在不同的信号周期进行采样, 然后将采样

数据拼接起来重构信号波形, 为了得到足够多的采样点, 需要在多个信号周期进行多次等效采样, 上述的探地雷达、防撞雷达、时域反射仪等均采用了等效采样. 等效采样又包括顺序等效采样和随机等效采样两种, 它是提高数据采集系统采样率的有效手段.

目前国内对于如何提高等效采样率这一方向研究颇多, 例如: 中国科学院电子学研究所的方广等人, 采用了斜坡式步进比较延时的方法, 最高等效采样率达到了 125GS/s^[1,2]; 国防科学技术大学朱国富等人^[3]和华中科技大学的张亮亮^[4]等采用了延时芯片的方法,

收稿日期: 2019-06-18; 修回日期: 2019-11-04; 责任编辑: 梅志强

基金项目: 国家自然科学基金 (No. 11605141); 强脉冲辐射环境模拟与效应国家重点实验室 (西北核技术研究院) 专项经费资助项目 (No. SKLIPR1501Z, No. SKLIPR1502Z)

延时芯片包括了 Onsemi 的 MC100EP 系列、ADI 的 AD9500 系列、Micrel 的 SY89296 系列等,以上芯片的最小步进延时精度为 10ps,最高等效采样率达到了 100GS/s. 本文介绍一种全新的思路,该方法基于频差法原理实现,将时域的时间间隔转换为频域的频率差,把时域的问题转换到频域进行处理,不仅极大简化了步进延时系统的设计,降低了延时路径上的干扰,而且简单易于实现,目前测试实现的最高等效采样率达到了 585GS/s.

2 概述

顺序等效采样的含义是:针对周期的待采样信号,过触发点后,采样时钟在信号的不同周期、不同相位采样,待采样信号的不同相位之间的采样数据时间关系是确定的、已知的,然后根据相位关系重新排列采样数据,重构原始信号波形.

图 1 为每个信号周期进行一次采样的等效采样原理示意图. 每个信号周期被顺序采样一次,最后通过顺序组合采样数据进行信号波形重构,得到时间展宽 N 倍的采样波形. 如果改变采样时钟,每个信号周期可以被等效采样 N_1 次,对采样数据进行排列组合,得到时间展宽 N/N_1 倍的采样波形.

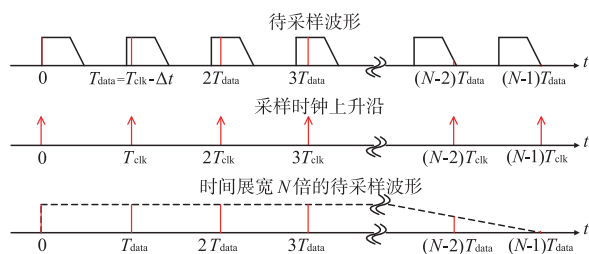


图1 等效采样原理示意

随机等效采样的含义是:在触发点前后,在信号的不同周期、不同相位采样,待采样信号的不同相位之间的采样数据时间关系是未知的,需要进行单独测量采样数据点之间的时间间隔,然后根据时间关系对采样数据进行排列,重构出原始信号波形.

图 2 为每个信号周期随机等效采样 2 次的示意图,在触发点前后,每个信号周期被随机采样两次,对采样

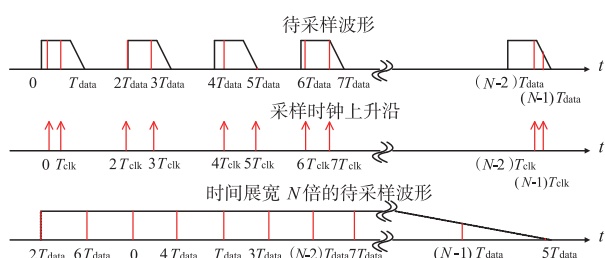


图2 随机采样原理示意

得到的数据进行重新排列组合进行信号波形重构,得到时间展宽 $N/2$ 倍的采样波形. 同理,改变采样时钟,每个信号周期可以被随机采样 N_1 次,对采样数据进行排列组合,得到时间展宽 N/N_1 倍的采样波形.

频差法顺序等效采样的含义是:当采样时钟和待采样信号之间有频率差时(以采样时钟频率为参考,且采样时钟频率小于待采样信号频率),如果采用采样时钟对待采样信号进行采样,并对采样数据进行压缩,那么得到的等效采样波形和实际波形一致. 假设采样时钟频率为 f_{clk} ,待采样信号频率为 f_{data} ,以采样时钟频率为基准计算, $f_{\text{clk}} + \Delta f = f_{\text{data}}$, $T_{\text{clk}} - \Delta t = T_{\text{data}}$,在频域上表现为频差,在时域上表现为时差,以采样时钟频率为基准计算得到时间间隔如下.

$$\Delta t = T_{\text{clk}} - T_{\text{data}} = 1/f_{\text{clk}} - 1/f_{\text{data}} = 1/f_{\text{clk}} - 1/(f_{\text{clk}} + \Delta f) = \Delta f / [f_{\text{clk}} \times (f_{\text{clk}} + \Delta f)] \quad (1)$$

当 f_{clk} 、 f_{data} 值相差比较小时,以上时间差可近似为 $\Delta f / (f_{\text{clk}} \times f_{\text{clk}})$; 对应地等效采样频率约为 $f_{\text{clk}} \times f_{\text{clk}} / \Delta f$, 可以看到频差法采样的等效采样频率几乎由采样时钟频率和频差(说是由待采样信号频率决定亦可,因两者频率接近,频差很小)决定. 如果一个信号周期内采样存储深度为 M 点,那么,采样的总时间约为 $M \times T_{\text{data}}$.

假如采用 100kHz 的采样时钟频率实现 10GS/s 的顺序等效采样率, $f_{\text{clk}} = 100\text{kHz} = 100\,000\text{Hz}$, 周期 $T_{\text{clk}} = 10\,000\,000\text{ps}$. 要达到 10GS/s 的顺序等效采样率,根据式(1), $\Delta t = 100\text{ps}$, 那么,对应待采样信号的周期为 $T_{\text{data}} = T_{\text{clk}} - \Delta t = 9\,999\,900\text{ps}$, $f_{\text{data}} \approx 100\,001\text{Hz}$, $\Delta f = f_{\text{data}} - f_{\text{clk}} = 1\text{Hz}$, 等效采样率为 10.0GS/s. 如果采样存储深度为 $M = 65536$ 点,那么,采样的总时间约为 $M \times T_{\text{data}} = 0.655\text{s}$. 同理,采用 100kHz 的采样时钟频率可以实现 100GS/s 的顺序等效采样率, $f_{\text{clk}} = 100\text{kHz} = 100\,000\text{Hz}$, 周期 $T_{\text{clk}} = 10\,000\,000\text{ps}$. 要达到 100GS/s 的顺序等效采样率, $\Delta t = 10\text{ps}$, 那么,对应待采样信号的周期为 $T_{\text{data}} = T_{\text{clk}} - \Delta t = 9\,999\,990\text{ps}$, $f_{\text{data}} \approx 100\,000.1\text{Hz}$, $\Delta f = f_{\text{data}} - f_{\text{clk}} = 0.1\text{Hz}$, 等效采样率为 100GS/s. 如果 1 个信号周期内采样存储深度为 $M = 65536$ 点,那么,采样的总时间约为 $M \times T_{\text{data}} = 0.655\text{s}$. 如上所述,如果已知采样时钟频率 f_{clk} 、采样信号频率 f_{data} 、等效顺序采样率等三个参数中的任意两个参数,便可以根据式(1)求出另外一个参数,在电子元器件性能满足的情况下,可以设置任意的顺序等效采样率,并得到采样的总时间.

当采样时钟频率较低时,存在几个问题,一是时钟抖动比较大,时钟品质不高;二是工作在低频情况下的 ADC 其孔径抖动较大,三是等效采样的总时间比较长. 为充分利用元器件性能、缩短采样的总时间等,提出了倍频采样时钟的方法,采样时钟频率是待采样信号的频率的一定倍数 N_1 , 这样可以把采样的总时间缩短

$1/N_1$. 这种改进采样时钟的方法对采样时钟频率的确定、采样数据的读写提出了更高的要求. 该方法的采样数据排列组合原理如图 3 所示^[5]. 这种采样方法既不是顺序等效采样,也不是随机等效采样,暂时将其命名为伪随机等效采样方法. 采用倍频实现频差法伪随机等效采样,一个关键点在于采样数据的重构. 在采样过程中,采样数据有一定的规律可以遵循,采样数据的重构可以通过固件完成,也可以通过软件完成.

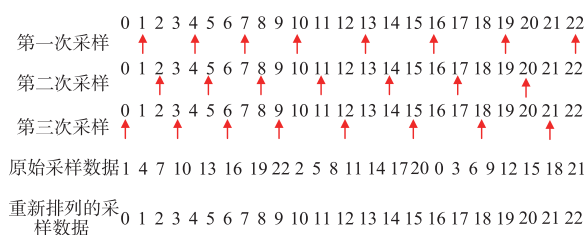


图3 采样数据排列组合

如图所示,采样时钟频率为 f_{clk} ,待采样信号频率为 f_{data} ,以采样时钟频率为基准计算, $f_{\text{clk}} + \Delta f = N_1 \times f_{\text{data}}$,为方便采样数据的排列组合,一般将 N_1 设置为 2 的整数次幂. 得到等效采样的时间间隔如下.

$$\begin{aligned} \Delta t &= T_{\text{clk}} - (T_{\text{data}}/N_1) = 1/f_{\text{clk}} - 1/(f_{\text{data}} \times N_1) \\ &= 1/f_{\text{clk}} - 1/(f_{\text{clk}} + \Delta f) \\ &= \Delta f / [f_{\text{clk}} \times (f_{\text{clk}} + \Delta f)] \end{aligned} \quad (2)$$

对应的等效采样率为: $[f_{\text{clk}} \times (f_{\text{clk}} + \Delta f)] / \Delta f = f_{\text{clk}}^2 / \Delta f + f_{\text{clk}}$,当 f_{clk} 、 f_{data} 值相差比较小时 ($N_1 = 1$),以上时间差可近似为 $\Delta f / (f_{\text{clk}} \times f_{\text{clk}})$;对应地等效采样频率约为 $f_{\text{clk}} \times f_{\text{clk}} / \Delta f$,可见式(1)和式(2)是一致的,只是多出了一个 N_1 参数,是四个参数. 根据以上公式,明确知道 N_1 、 f_{clk} 、 f_{data} 、等效采样率等四个参数中的任意三个,即可求得另一个参数,并得到采样的总时间.

接上面的例子,假如采样时钟频率为 $f_{\text{clk}} = 1.6\text{MHz}$,采样时钟周期 $T_{\text{clk}} = 625.000\text{ns}$,倍频数为 $N_1 = 16$,等效采样率为 10GS/s . 采样时钟频率远小于等效采样率,计算得到采样信号频率.

$$\begin{aligned} 10\text{GHz} &\approx (1.6\text{MHz})^2 / \Delta f; \Delta f = 256\text{Hz}; \\ f_{\text{clk}} + \Delta f &= N_1 \times f_{\text{data}}; f_{\text{data}} = 100016.00\text{Hz}; \\ \Delta t &= 100.00\text{ps}; \end{aligned}$$

对应时间间隔 100ps ,等效采样的总时间约 40.96ms . 对比前述相同等效采样率下,未采用倍频时钟进行的频差法采样结果,总的等效采样时间缩短约 16 倍 ($N_1 = 16$). 同理,采样时钟周期为 1.6MHz ,采样时钟频率 625.000ns ,倍频数为 $N_1 = 16$,等效采样率为 100GS/s . 采样时钟频率远小于等效采样率,计算得到采样信号频率.

$$\begin{aligned} 100\text{GHz} &\approx (1.6\text{MHz})^2 / \Delta f; \Delta f = 25.6\text{Hz}; \\ f_{\text{clk}} + \Delta f &= N_1 \times f_{\text{data}}; f_{\text{data}} = 100001.600\text{Hz}; \\ \Delta t &= 10.00\text{ps}; \end{aligned}$$

对应时间间隔 10ps ,总的等效采样时间约 40.96ms . 对比前述相同等效采样率下,未采用倍频时钟进行的频差法采样结果,等效采样的总时间缩短约 16 倍 ($N_1 = 16$). 以上给出了采样时钟频率小于待采样信号频率的描述,当采样时钟频率大于待采样信号频率时,可以按照以上情况进行分析,得到类似的结果. 只是这种情况的物理意义不明晰,故未做深入分析.

3 频差法等效采样系统设计

基于以上的频差法理论,设计实现了硬件电路,以验证频差法的理论. 以“ADC + FPGA”为核心,设计实现数据采集系统^[6,7],该数据采集系统采样率 $3\text{MS/s} \sim 20\text{MS/s}$,分辨率 14-bit,数据采集点数为 65536 点,通过 $10\text{M}/100\text{M}$ 自适应网络端口将采样数据传输给后端计算机软件进行分析. 设计实现的核心硬件电路板如图 4 所示,其工作原理如图 5 所示.

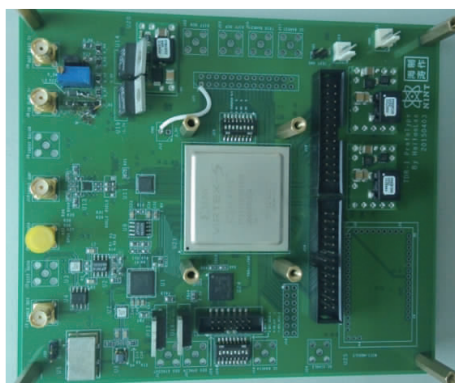


图4 核心电路板实物

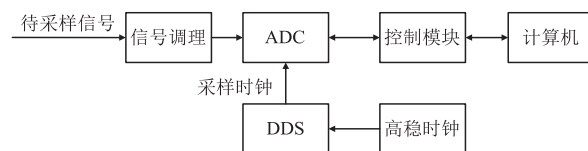


图5 电路板工作原理

ADC 芯片采用 ADI 公司的 AD9649,其推荐采样时钟工作频率 $3\text{MHz} \sim 20\text{MHz}$ (该工况下 ADC 孔径抖动典型值为 0.1ps rms),分辨率 14-bit;高稳时钟芯片采用了 CCHD-950,输出频率约为 100MHz ,作为 DDS 芯片工作的主时钟;DDS 芯片型号为 ADI 公司的 AD9958,具有双路输出,AD9958 通过倍频工作在 500MHz 的时钟频率下,其中一路输出作为 ADC 采样时钟,AD9958 的输出频率最小分辨率为 $500\text{MHz} / (2^{32}) = 0.12\text{Hz}$,这个参数表明,AD9958 可以输出频率相差很小的两路信号,以实现前述理论算出的频率差能够满足理论验证的需要.

4 频差法等效采样测试结果

频差法等效采样的验证原理如图 6 所示. 采用 DDS

芯片 AD9958 为 ADC 芯片 AD9649 提供采样时钟,该时钟作为 ADC 工作的采样时钟,采用 Agilent 的信号源 33250A 为控制模块中的 FPGA 的 PLL 提供一个主时钟,PLL 将时钟进行倍频或者分频,经过普通 IO 输出后作为 ADC 的待采样信号.此处还要特别注意 FPGA 的普通 IO 输出的信号是针对高阻输入的情况,而 ADC 的待采样信号的输入阻抗为 50Ω ,所以 ADC 采样得到的信号会有一些畸变,但信号的主要特征是不会发生改变的.



图6 等效采样验证平台

频差法的核心在于两个工作主时钟频率要有一定的差别,数据采集板的采样时钟频率和 Agilent 信号源 33250A 的主时钟频率不同,采用国产的 SS7200 频率计进行测频,数据采集板上的采样时钟标称输出 10MHz,实测频率为 9 999 825.84Hz,33250A 标称输出的 10MHz 频率,实测频率为 9 999 996.79Hz. 根据以上理论,计算得到,等效时间间隔 $\Delta t = 1.71\text{ps}$;对应地等效采样频率约为 585GS/s.

图 7、图 8 为典型示波器和数据采集板的采样比较.使用的示波器实时采样率为 5GS/s,带宽 1GHz,平均显示波形,数据采集板每个时钟周期采集一个波形数据点,图 7 为时间展宽的等效波形.图 7 待采样信号频率约为 9 999 996.79Hz,采样时钟频率为 9 999 825.84Hz,根据式(1),采样间隔为 1.71ps,单周期(约 100ns)的采样点数为 58480 点,65536 点对应的 1.12 个信号周期,图 7 显示约为 1.1 周期,和等效采样理论结果符合,图 8 为示波器实时采样波形.

图 9、图 10 中待采样信号频率约为 999 999 684Hz,采样时钟频率为 9 999 825.84Hz,根据式(2),采样间隔为 1.71ps,数据采集板每个时钟周期采集一个波形数据点,图 9 中显示为时间展宽的等效波形,单周期(约 1ns)的采样点数为 585 点,65536 点对应的 112 个信号周期.需要说明的是,FPGA 的通用 IO 在输出高频信号时,输出波形形状已经发生畸变.

对比示波器和数据采集板的采样结果,示波器实时采样和自研数据采集板的采集波形主要特征相同,将采样波形放大之后进行观察,可以看到,示波器和数

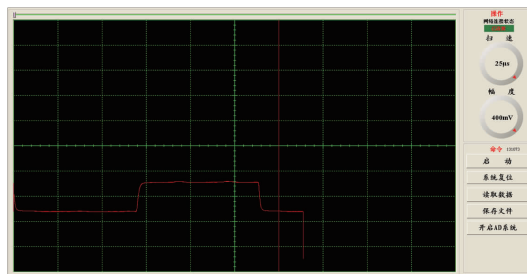


图7 10 MHz信号等效采样



图8 10 MHz信号典型示波器采样

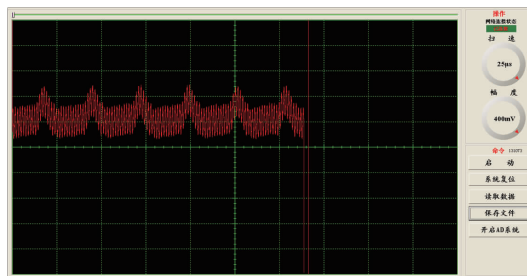


图9 1000 MHz信号等效采样

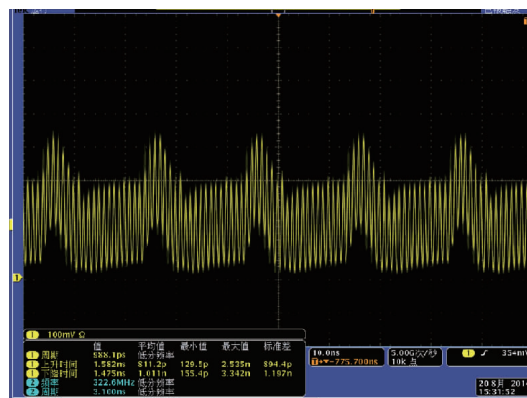


图10 1000 MHz信号典型示波器采样

据采集板的波形细节特征符合较好.如上所述,信号单周期进行一次采样,会花费较长的采样的总时间,如果要求缩短采样的总时间,可以在信号单周期进行多次采样.

5 总结和讨论

本文使用的各类科研仪器,其时钟基准都可以溯源到国家计量标准,经检测,都在计量检定允许的误差以内,但实测值却各不相同.包括以上使用的示波器、信号源、数据采集板的时钟频率标称值相同,实测值却不同.作者将示波器采样频率 f_{clk} (标称值)和信号源输出波形频率 f_{data} (标称值)调节至相同,示波器设置为深存储模式,用示波器采样信号源的输出信号,也可以采集到完整的时间展宽的信号波形.这是因为示波器实际采样时钟频率和信号源的实际输出波形频率实测值不同,即 f_{clk} 和 f_{data} 两者有一个频率差 Δf ,一个采样时钟周期采样一个数据点,采样结果就与频差法理论分析一致.

在实际使用时,根据不同的应用场合和要求,在频差法的基础上,进行扩展应用.核心就是针对周期性的待采样信号,以采样时钟频率为基准,通过等效采样的方法,获得不重复的采样数据点,提升采样数据点的品质.

根据文献[2]所述,应用于时域反射仪的高精度步进延迟系统,该步进延迟系统采用了斜坡步进延迟原理,采用1个DAC产生快斜坡信号,1个恒流源对电容充放电产生慢斜坡信号,分别作为高速比较器的两个输入端,获得了8ps的步进延时精度,并成功应用在了时域反射仪中.文献[3,4]基于可编程延时芯片的延时方法,步进延时精度为10ps.基于频差法的步进延时方法,可以获得远低于10ps的步进延时精度,该方法在系统实现时,仅采用一个DDS芯片进行ADC采样频率设置,对比文献[1~4],可以极大简化步进延时系统的设计,降低了延时链路上引入的干扰等,此处如果不考虑时钟抖动等因素,可以获得更高的步进延时精度和更高的等效采样率.

其它诸如探地雷达、汽车防撞雷达、穿墙雷达、电缆测试仪、光纤测试仪等^[8~11]各种需要使用等效数据采集的设计当中,完全可以基于频差法原理提升采样率,进行扩展应用.文中测试实现了很高的顺序等效采样率,但是采样波形带宽有限($< 1\text{GHz}$),结合目前商用的高带宽采样保持芯片如HMC1061LC5等,可以实现高采样率($\geq 585\text{GS/s}$)、高带宽($\leq 18\text{GHz}$)的顺序等效采样,在微波射频通信等要求高带宽的领域进行扩展应用.

使用一种新型的基于频差法实现的等效采样,并通过了数据采集板的原理验证.实现了最高585GS/s的等效采样率,该方法可以实现远低于10ps的步进延时精度,可以广泛应用在数据等效采样的场合,该方法和系统已获得国家发明专利一项,专利号:ZL201510043845.3.

参考文献

- [1] 沈绍祥,冯炜,纪奕才,等.便携式时域反射仪硬件系统研制[J].电子技术应用,2010,1:75-78.
SHEN Shao-xiang, LIU Li-hua, FANG Guang-you, et al. Hardware design of a portable time domain reflectometry [J]. Application of Electronic Technique, 2010, 1: 75-78. (in Chinese)
- [2] 沈绍祥,刘丽华,方广有,等.时域反射仪高精度步进延迟采样系统[J].深圳大学学报(理工版),2013,30(3):242-247.
SHEN Shao-xiang, LIU Li-hua, FANG Guang-you, et al. Design of a highly accurate step-delay system in time domain reflectometry [J]. Journal of Shenzhen University Science and Engineering, 2013, 30(3): 242-247. (in Chinese)
- [3] 郭宇,朱国富.全新的高稳定穿墙雷达接收机前端设计[J].雷达科学与技术,2015,13(2):203-209.
GUO Yu, ZHU Guo-fu. Design of novel high-stable receiver front-end of through-wall radar [J]. Radar Science and Technology, 2015, 13(2): 203-209. (in Chinese)
- [4] 张亮亮.导波雷达物位计收发信号处理[D].武汉:华中科技大学,2016.
ZHANG Liang-liang. Research on the Method of Transmitted and Echo Signal Processing of Guide Wave Radar Level Meter [D]. Wuhan: Huazhong University of Science and Technology, 2016. (in Chinese)
- [5] 李海涛,阮林波,等.基于延时信号的顺序等效采样电路及采样方法[P].中国专利:ZL201410001964.8,2017-09-29.
- [6] 白文帅,武锦,吴旦昱,等.基于FPGA的超高速时间交织ADC后台校准技术[J].电子学报,2018,46(8):2020-2025.
BAI Wen-shuai, WU Jing, WU Dan-yu, et al. Background calibration technology for high speed time-interleaved ADC based on FPGA [J]. Acta Electronica Sinica, 2018, 46(8): 2020-2025. (in Chinese)
- [7] 刘素娟,齐佩佩,姜文姝,等.基于频域特性的时间交替模数转换系统采样时间误差校正算法[J].电子学报,2015,43(3):587-590.
LIU Su-juan, QI Pei-pei, JIANG Wen-shu, et al. A timing mismatch calibration method for time-interleaved ADC based on spectral characteristics [J]. Acta Electronica Sinica, 2015, 43(3): 587-590. (in Chinese)
- [8] 郭龙飞.基于随机等效取样技术的探地雷达采集系统设计与实现[D].成都:电子科技大学,2018.
GUO Long-fei. Design and Implementation of Ground Penetrating Radar Acquisition System Based on Random Equivalent Sampling Technology [D]. Chengdu: University

- of Electronic Science and Technology of China, 2018. (in Chinese)
- [9] 于子良. 超宽带穿墙雷达设计[D]. 成都: 电子科技大学, 2017.
- YU Zi-liang. Research on Pattern Reconfigurable Antenna Based on Metasurface [D]. Chengdu: University of Electronic Science and Technology of China, 2017. (in Chinese)
- [10] 宋建辉. 基于时域反射原理的电缆测长若干关键技术研究[D]. 哈尔滨: 哈尔滨工业大学, 2010.
- SONG Jian-hui. Some Key Technologies of Cable Length Measurement Based on Time Domain Reflectometry [D]. Harbin: Harbin Institute of Technology, 2010. (in Chinese)
- [11] 乔翊. 高精度光时域反射仪的硬件设计与研制[D]. 太原: 太原理工大学, 2017.
- QIAO Yi. Hardware Design and Development of High Precision Optical Time Domain Reflectometry [D]. Taiyuan: Taiyuan University of Technology, 2017. (in Chinese)

作者简介



李海涛 男, 1986 年 11 月出生, 河南周口人. 2009 年、2012 年分别在中国科学技术大学、西北核技术研究所获理学学士、工学硕士学位, 现为西北核技术研究院工程师, 博士研究生. 主要从事快电子学方面的研究工作.
E-mail: 18706876669@126.com



李斌康 (通信作者) 男, 1966 年 3 月出生, 陕西岐山人. 研究员、博士研究生导师. 1989 年毕业于西安交通大学无线电技术专业, 2012 年获西北核技术研究所工学博士学位. 现为西北核技术研究院研究员, 长期从事脉冲辐射探测和快脉冲电子学研究和系统研制工作.
E-mail: libinkang@nint.ac.cn