

高鲁棒性 N 型沟道 RF-LDMOS 在 TLP 应力下的电学机理研究

李 浩^{1,2},任建伟¹,杜 寰¹

(1. 中国科学院微电子研究所,北京 100029;2. 中国科学院大学,北京 100049)

摘 要: 提高射频功率器件的鲁棒性有利于增强器件的抗静电放电能力和抗失配能力. 为了直观地了解器件内部发生的电学过程,本文研究了高鲁棒性 N 型沟道 RF-LDMOS (Radio Frequency Lateral Diffusion MOS) 在 TLP (Transmission Line Pulse) 应力下的电学机理. 利用 0.18 μm BCD (Bipolar/CMOS/DMOS) 先进制程,实现了特定尺寸器件的设计与流片. 通过实测与仿真的对比,发现静电放电失效的随机性、芯片内部的热效应是导致仿真和实测差异的非理想因素. 通过对 TLP 仿真的各阶段重要节点的分析,证明了源极下方的 P 型埋层有利于提高空穴电流的泄放能力,从而提高 RF-LDMOS 的鲁棒性.

关键词: 射频功率器件; LDMOS; 芯片设计; BCD 制程; TLP; 碰撞电离; P 型埋层

中图分类号: TN386.4 **文献标识码:** A **文章编号:** 0372-2112 (2019)11-2317-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2019.11.012

The Electrical Mechanism Study of High-Ruggedness N-Channel RF-LDMOS Under TLP Stress

LI Hao^{1,2}, REN Jian-wei¹, DU Huan¹

(1. Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

2. University of Chinese Academy of Sciences, Beijing 100049, China)

Abstract: Improving the ruggedness of radio frequency power device is beneficial to enhance the ability of withstanding electro-static discharge (ESD) and output mis-match. To understand the electrical process happened in device intuitively, the electrical mechanism of state-of-art high-ruggedness N-channel RF-LDMOS (Radio Frequency Lateral Diffusion MOS), under TLP (Transmission Line Pulse) stress, has been studied. RF-LDMOS FETs with different gate widths had been manufactured using advanced 0.18 μm BCD (Bipolar/CMOS/DMOS) process. It is found that the different failure points of simulation and measurement are coming from the random failure of ESD stress and thermal problems. The simulation results of different nodes under TLP stress proved that the P buried layer under source area plays an important role in holes flowing, and improves the ruggedness of RF-LDMOS.

Key words: RF power device; LDMOS; chip design; BCD process; TLP; impact ionization; P buried layer

1 引言

随着通信系统的发展,用于射频微波功率发射的功率器件在对讲传输、电视广播、移动基站、军用雷达等领域扮演着前级推动末级放大等重要角色. 其中,硅基 N 型沟道 RF-LDMOS 因其射频性能、可靠性、成本等的综合优势仍是目前射频领域应用最为广泛的分立功率器件^[1,2]. 由于工作在射频波段,器件内部的寄生电

容电感会对器件的射频性能带来极大的影响,给射频性能设计和可靠性设计都带来了巨大挑战.

目前, NMOS、ggNMOS 等器件的 HBM (Human Body Model) 仿真在一些文献中^[4-8]提到过,而对于 TLP 仿真却很少有涉及,对于 RF-LDMOS 的研究更少. 综上,对 RF-LDMOS 进行 TLP 仿真和实测的比较分析,不仅对器件鲁棒性的研究有着重要的意义,还是一项非常紧迫的工作. 在文献[3]的工作中,对高鲁棒性 RF-LDMOS

的 TLP 测试曲线的过程机理进行了理论推导,并没有对其在 TLP 应力下的机理进行仿真证明. 本文的工作通过实测与仿真研究了 RF-LDMOS 在 TLP 应力下的电学机理,也为类似的射频器件机理研究提供新思路.

2 高鲁棒性 RF-LDMOS 器件

图 1 给出了常规 RF-LDMOS 的结构示意图. 其中,调节 N-Drift 区域的长度可以提供所需要的耐压;PSK 区域是一个将源极引到衬底重掺杂 P 型区域,一是将源极引到衬底,二是减小源极电阻和寄生电感;衬底通过减薄和背金后实现低阻和良好的散热功能;屏蔽环 Shield 可以调制器件表面电场,优化器件表面电场分布,提高击穿;P 型埋层(P-type Buried Layer, PBL)主要为了提高器件的鲁棒性.

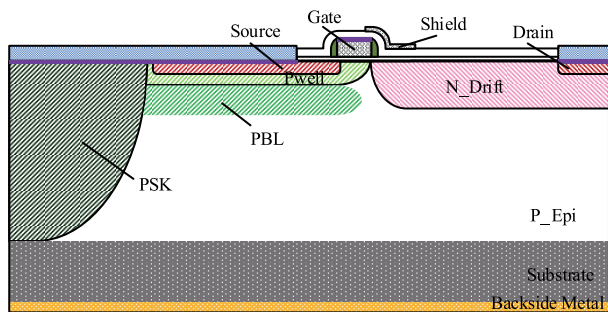


图1 RF-LDMOS截面图

文献[11,12]中都有报道过 RF-LDMOS 寄生等效电路图,本工作的寄生电路基于它们而提出. 其中寄生三极管 NPN 的导通状态在器件鲁棒性分析中扮演着重要的角色^[3,13];寄生二极管 D_{DB} 用来描述 N-Drift 和外延的纵向二极管特性,它的击穿远远高于横向击穿电压;寄生电容 C_{DB} 是 N-Drift 区域与 Pwell、PBL、以及外延形成的 PN 结电容; r_c 是 N-Drift 区域的通路电阻, R_B 是 PBL 和 Pwell 共同构成区域的通路电阻,它与 r_c 共同决定了器件发生雪崩倍增后电流的泄放能力; r_E 是栅极下源区到衬底通路上的电阻,在寄生 NPN 管开启时会有部分分压的作用.

3 TLP 测试原理与应用

TLP 测试的方法和原理是 T Maloney 等人在 1985 年^[9]提出来的,测试系统的原理如图 3 所示. 传输线可以产生一个近似的脉冲高压方波信号,该方波信号的宽度由传输线的有效长度决定. 其中储能 50Ω 传输线在开关打在电压源路时被充电,充电完成后开关通过继电器打向放电回路. 为了防止放电回路中寄生电容电感带来的尖峰,使用了延时 50Ω 传输线,考虑到传输线的入射波反射波性质,最终施加在待测件上的是入射和反射信号的叠加,而这个叠加的电压 (V_{TLP}) 电流

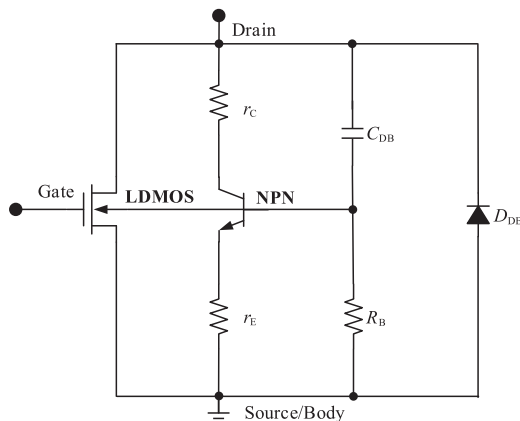


图2 RF-LDMOS内部结构寄生等效电路

(I_{TLP}) 信号通过高速示波器提取. TLP 测试可以产生几纳秒到几百纳秒高压脉冲,100ns 左右的脉冲信号被用于模拟静电放电中的人体模型 (HBM),即人们在操作过程中人体释放的静电.

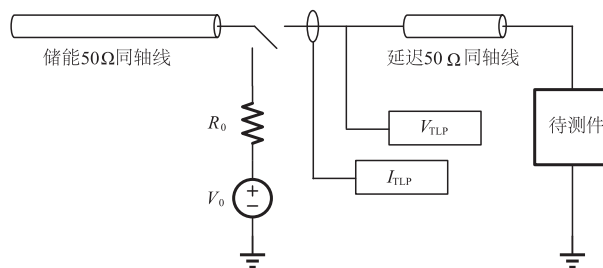


图3 TLP系统测试原理示意图

近些年来,不同类型器件的鲁棒性 TLP 测试曲线类型可以大致总结为如图 4 中的三大类:第一类是低压 MOS 器件^[6],同时还包括 ggNMOS 器件^[4]、HVNSCR 器件等,它们在低电流处有回退,回退后电流继续上升,当 $V_2 > V_{th}$ 或有更高的 I_2 时,说明器件鲁棒性强;第二类是高压 MOS 器件,如早期的 LDMOS 器件^[5],在低电流有回退,但回退后器件很快失效;第三类是高鲁棒性 LD-MOS^[8],在低电流处没有回退,电流继续抬升直至失效,本文的器件就属于这一类.

4 结果与讨论

按照图 1 给出的示意图,绘制了栅长 $0.6\mu\text{m}$ 、N-Drift $1\mu\text{m}$ 、Shield $0.4\mu\text{m}$ 、栅宽分别为 0.2mm 和 24mm 的两种器件结构版图并在 $0.18\mu\text{m}$ BCD 工艺平台下进行了制造,并在 TCAD 仿真平台中结合实际制造工艺对上述两种器件的最小结构进行了二维仿真. 仿真采用了如图 1 所示的二维截面结构,尺寸参数和实际版图一致,结合 0.2mm 器件的实测数据对工艺进行一定程度的校准^[11].

4.1 TLP 实测

由于 TLP 设备测试条件的限制,不能对 Test-key 这

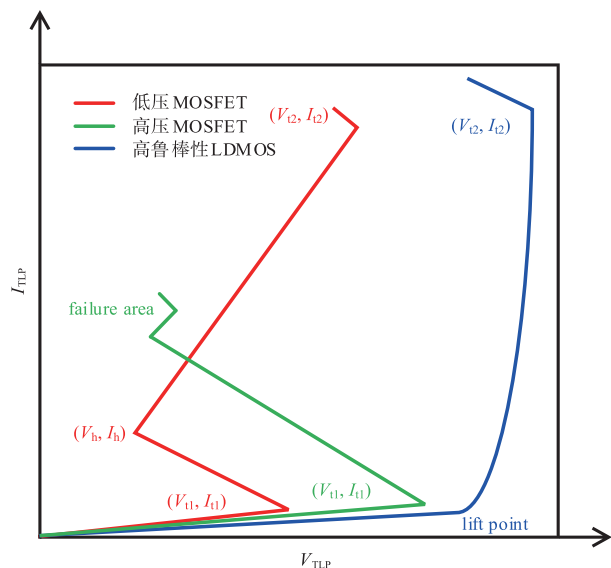


图4 不同类型器件TLP测试I-V曲线示意图

样的小栅宽器件进行 TLP 测试,故对封装好的 24mm 器件进行了 TLP 测试. 在众多封装好的器件中,随机挑选了三支器件进行了 TLP 测试,测试条件^[10]设为上升沿 0.5ns、脉冲宽度 100ns、周期 2s. 每施加一次 TLP 应力,就提取一组脉冲宽度时刻内的电压电流点. 系统紧接着会在漏极上施加 1V 的直流电压测试其漏电情况,若漏电流没有出现 10 倍或更高的突变,视为器件承受住了此次应力,反之则判定器件失效. 最终,得到了图 5 所示的测试曲线.

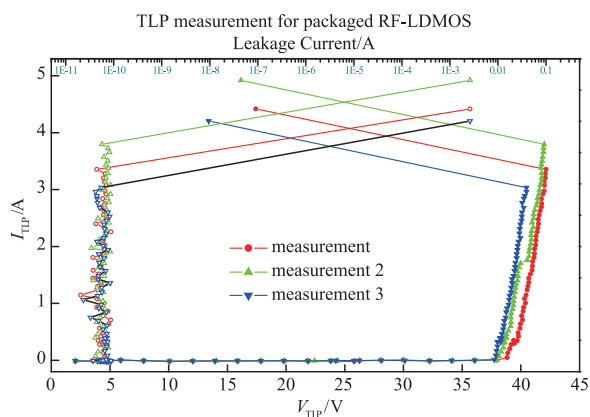


图5 封装RF-LDMOS器件TLP测试曲线(实心符号表示TLP I-V曲线,空心符号表示对应点的漏电电流)

从图 5 中的三条 TLP 曲线可以看到,三条曲线并不完全重合. 2 号 3 号测试管芯的电流起点的电压(即 V_{i1})测试在 37.6V 附近,1 号测试管芯的 V_{i1} 为 38.8V. 考虑到同一晶圆不同位置的相同器件击穿电压差也可能有 2V 左右,这里的压差是可以接受的. 通过不断的施加 TLP 应力,器件在最后会因为电学或热学过程烧毁失效,失效前的电压和电流称为 V_{l2} 和 I_{l2} .

在文献中^[7,8]多有报道器件在 TLP 应力下失效电流并不是一个定值,而是一个随机的值,但又处于一个大致的大致的范围内. 从图 5 的曲线可以看到失效电流 I_{l2} 的最小的为 3.03A,最大为 3.80A. 根据 HBM 电压经验公式, $V_{HBM} = 1500I_{l2}$,得到这三个测试管芯的最小 HBM 电压为 4545V,在 HBM ESD 分类中^[10]达到了 3A ($4000V \leq V_{HBM} \leq 8000V$) 水平,即该器件是一个高鲁棒性的设计.

4.2 TLP 仿真

为了探寻施加 TLP 应力过程中 RF-LDMOS 中发生的各种机理,结合第 3 部分的 TLP 测试原理,进行了 TLP 仿真. 不断提高脉冲电流源的电流值,可以得到图 6 所示的电压电流随时间变化的曲线. 在实测中,系统会提取脉冲稳定区间的电压电流值. 在本工作中,取 110ns 对应的电压电流对,将它们绘制在图中构成 TLP I-V 曲线. 在讨论仿真 TLP I-V 曲线之前,先对 TLP 仿真失效点进行讨论和定义.

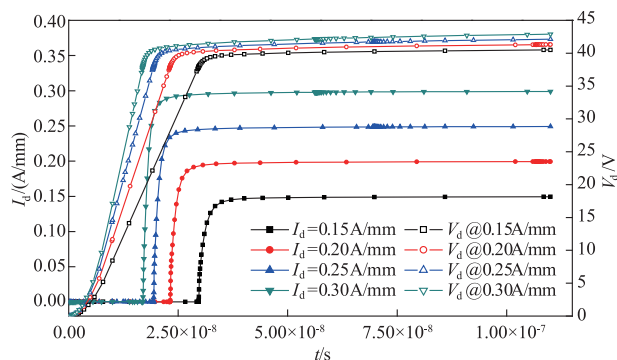


图6 TLP仿真中特定脉冲电流与对应电压曲线图(实心符号曲线表示脉冲电流,空心符号曲线表示脉冲电流下的电压变化)

由于 RF-LDMOS 器件结构较为复杂,为了能够较为准确的仿真,在二维仿真中使用了大量的网格. 文献 [12] 中指出,二维 TLP 仿真出现不稳定的判据是电压出现一个陷落,电流急剧上升产生负阻,此时的温度也会急剧升高,有时候会达到晶体的熔化温度. 如图 7 所示,当 TLP 脉冲电流提高到 0.41A/mm 时,出现了电压塌陷电流急剧升高的现象. 该现象发生在 41ns 附近,随着电压的塌陷,电流脉冲从 0.41A/mm 直接升高到了 30A/mm,温度也从 388K 迅速升高到了 812K. 虽然温度没有达到硅的熔化温度 1600K,但 812K(约合 539℃)也足够是器件失效. 所以,可以判定器件在该电流下失效.

据上所述,通过仿真就可以得到完整的 TLP 仿真曲线,单位栅宽的仿真 TLP 曲线如图 8 中的空心符号连线所示. 同时,将图 5 中器件换算到每毫米栅宽后绘制到图 8 中. 通过对 TLP 实测和仿真的曲线进行比较,可以得到三条重要的特征或结论. 其一,通过校准后的器件仿真得到的 V_{i1} 和 2 号及 3 号测试管的 V_{i1} 相接近,约

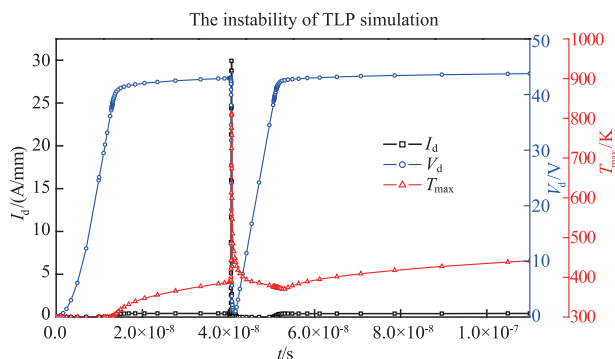


图7 $I_{TLP}=0.41\text{A/mm}$ 时电流不稳定的电压、电流、最高温度随时间变化曲线图

等于 37.5V. 其二,得到的曲线形状斜率与实测基本相同. 其三,仿真失效点电流比实测单位栅宽高出 2.5 至 3.2 倍.

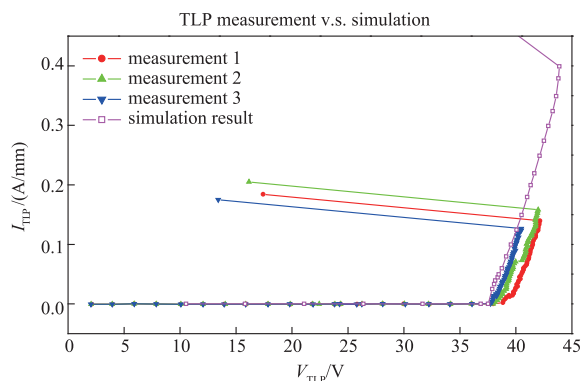


图8 TLP测试数据和仿真数据归一化后的 I - V 曲线图(归一化的失效电流依次为0.140、0.158、0.126、0.4,单位A/mm)

根据上述三条特征或结论,前两条可以推论出 TLP 仿真是基本准确的,即可以模拟 TLP 应力下器件内部发生的主要物理过程. 在单位栅宽换算的时候直接采用了电流除以栅宽的过程,是否可取,需要重新审视和讨论.

4.3 TLP 测试结果的非理想性

图 9 是不同栅宽的 RF-LDMOS 在片测试的 TLP 曲线,它们除栅指数不同外,其余结构尺寸、工艺条件都相同. 为了能够更加直观的了解不同栅宽的特征,将曲线的抬起电压 V_{i1} 、失效电压 V_{i2} 、失效电流 I_{i2} 、抬起过程的斜率(跨导)、抬起过程的寄生电阻、归一化的失效电流等参数整理于表 1 中.

从归一化的失效电流 $I_{i2,mm}$ 可以看到,1.6mm 和 3.2mm 的归一化电流接近,为 0.19A/mm,而当栅宽增加到 6.4mm 和 14.4mm 时,归一化的失效电流从 0.19A/mm 分别下降到 0.177A/mm 和 0.138A/mm. 由此可知失效电流并不满足直流参数的 Scaling 法则. 在文献[7,8]中,也表明过 TLP 失效电流与栅宽没有线性 Scaling 关系.

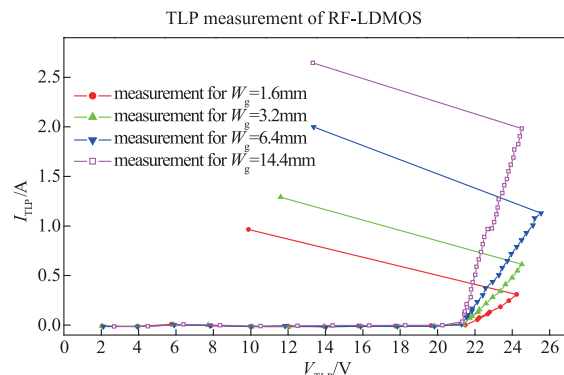


图9 不同栅宽RF-LDMOS TLP实测I-V曲线图

表 1 不同栅宽(W_g) RF-LDMOS TLP 曲线参数提取

Parameters	Unit	W_g (mm)			
		1.6	3.2	6.4	14.4
V_{i1}	V	21.5	21.4	21.3	21.3
V_{i2}	V	24.2	24.5	25.5	24.5
I_{i2}	A	0.31	0.61	1.13	1.98
$I_{i2,mm}$	A/mm	0.193	0.191	0.177	0.138
G_d	S	0.107	0.190	0.266	0.590
R_d	Ω	9.355	5.252	3.758	1.696
$R_{d,mm}$	$\Omega \cdot \text{mm}$	14.97	16.81	24.05	24.42

栅宽从 1.6mm 增加到 14.4mm 这个过程中,归一化寄生电阻 $R_{d,mm}$ 并没有保持 1.6mm 的结果或在一个范围内,而是先逐渐增加再趋于一个定值的过程. 施加 TLP 应力的过程就是将一个能量脉冲加到待测件上,当这个能量较大时(如电流上升阶段),待测件来不及将所有能量通过电流的方式耗散掉,剩下的部分就会转化成热量通过芯片的物理结构耗散出去,芯片温度随之升高. 由半导体物理知识可知,温度升高会使得载流子的迁移率下降、电阻率升高,最终使得寄生电阻变大. 由于这一部分的 TLP 测试实验是在晶圆进行,从芯片设计的角度,在 TLP 应力下 1.6mm 器件可以迅速的将热量散出去,而 14.4mm 的器件就会受到温度的影响而使得寄生电阻升高. 归一化的寄生电阻随栅宽增加趋于一个定值,可以推知 100ns 脉冲宽度的 TLP 应力给芯片带来的温度改变趋于稳定.

综上,TLP 测试结果存在两个非理想特性:一是失效点电流与栅宽不成线性 Scaling 关系,二是归一化寄生电阻随着栅宽的不断增加逐渐趋于一个定值的过程. 第二个非理想性可以说明仿真与实测为什么在上升阶段一致,即仿真是理想的边界,温度不会通过边界耗散,和 24mm 产品芯片条件接近. 第一个非理想性可以印证归一化后的仿真失效点电流高出实测的 2.5 至 3.2 倍. 此外,因为工艺偏差芯片不是完全理想的结构,

失效发生在某一处或几处位置而非整个芯片,这也会极大的影响芯片归一化的失效电流比率.

4.4 RF-LDMOS 在 TLP 应力下的物理机理

上述的结果与分析可以判定 TLP 仿真可以表征实测发生的物理机理,为了研究这些物理机理,对 TLP 仿真中的不同阶段的特征点进行结构上的剖析.

在本文的工作中,提取了雪崩击穿前(状态 A, 电流很小的时候)、发生雪崩倍增时(状态 B, 电流开始抬起的点)、雪崩倍增持续发生(状态 C, 电流抬起过程)、失效点前一个点(状态 D)的仿真结果,并将这四个点的器件结构内部的碰撞电离率、电子电流密度、空穴电流密度的分布图按各自相同的梯度表示在图 10 ~ 12 中.

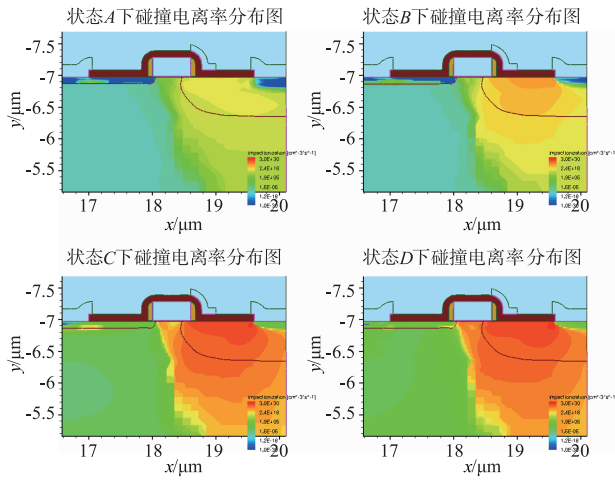


图10 四个状态的碰撞电离率分布情况

由于栅极接零电位, TLP 测试类似于击穿测试, 击穿过程主要发生碰撞电离这一物理过程. 从图 10 中可以看到, 状态 A 因为没有达到击穿电压, 碰撞电离率非常的小, 区域内的最大值为 $3.1 \times 10^{18} \text{ cm}^{-3} \text{ s}^{-1}$. 状态 B 发生在电流开始抬起的时候, 此时区域内最大的碰撞电离率在漏极边界, 为 $3.25 \times 10^{22} \text{ cm}^{-3} \text{ s}^{-1}$. 随着电流的增加, C 中漏极边界的最大碰撞电离率提高到了 $6.6 \times 10^{28} \text{ cm}^{-3} \text{ s}^{-1}$, 同时靠近栅边界为 $6.3 \times 10^{29} \text{ cm}^{-3} \text{ s}^{-1}$. 当器件即将失效时, 即状态 D, 靠近栅边界为 $2.7 \times 10^{30} \text{ cm}^{-3} \text{ s}^{-1}$.

碰撞电离率的不断增强与位置的变化, 给器件内部的电子电流和空穴电流密度分布情况带来了影响. 从图 11 中的电子电流密度可以看到, 状态 A 和 B 电子电流密度很小. TLP 电流抬起过后, 泄放电流有了极大的提升, 如图 11 中状态 C, 电子电流主要通过漂移区流向漏极. 当快要达到失效点时, 除了碰撞电离产生的电子被漏极收集外, 还有电子从源极注入到沟道再进入到 N-Drift 区域被漏极收集. 此时, 寄生 NPN 管的基极发射极开启.

图 2 中 R_B 在发生碰撞电离时对空穴泄放起着重要

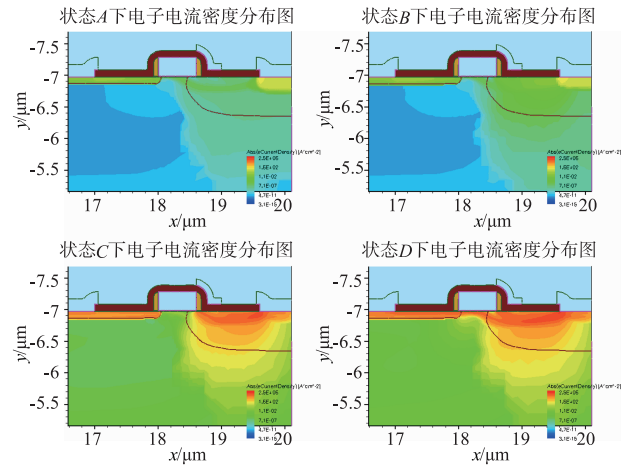


图11 四个状态的电子电流密度分布情况

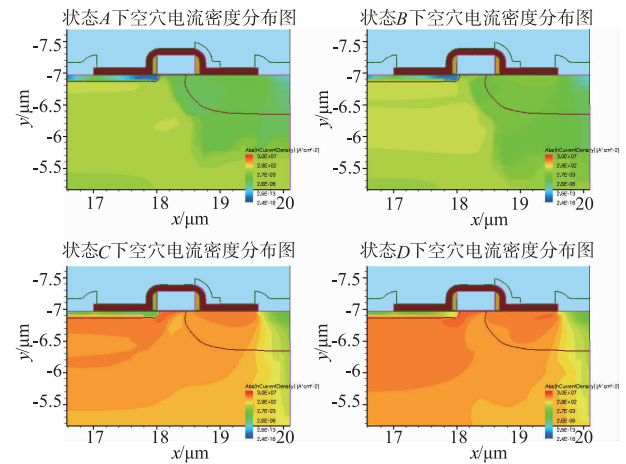


图12 四个状态的空穴电流密度分布情况

的作用, 它由源区下方的 Pwell 和 PBL 的结构和掺杂浓度决定. 从图 12 的状态 C 和状态 D 可以看到, 空穴电流一开始沿 Pwell 进行泄放; 当电流很大时, PBL 开始大量泄放空穴电流, 提高了器件空穴泄放能力. 最终, 当 R_B 两端的电压高于 Pwell 与源极形成的 PN 结开启电压后, 就出现了如图 11 中状态 D 所示的电子电流贯通.

通过以上分析, TLP 应力下器件发生的电学机理包括以下的过程: 随着应力的增加, 在 RF-LDMOS N-Drift 区域发生的碰撞电离不断增强, 产生的电子通过 N-Drift 被漏极收集, 产生的空穴通过 Pwell 和 PBL 被衬底收集. 应力继续增加, 碰撞电离继续增强, 使得应力电流增大, 晶格温度升高. 最终, 电流持续升高使得寄生电阻 R_B 两端电压大于 PN 结开启电压, 寄生 NPN 被打开, 电流急剧上升产生负阻, 器件内部因承受不住瞬间大电流而失效.

5 结论

本文通过对 TLP 测试原理的研究, 在 TCAD 中搭建了 TLP 仿真的环境, 并通过仿真和实测的对比, 物理机

理的探寻,证明了 RF-LDMOS 在 TLP 应力下失效的原因是寄生 NPN 管的导通,也证明了 PBL 是高鲁棒性 RF-LDMOS 的关键因素. 本文还就 TLP 仿真和实测数据的差别进行了非理想性的讨论和证明,发现电流抬升阶段的拟合寄生电阻随着栅宽变化趋于稳定. 通过 TLP 仿真,发现碰撞电离主要发生在漂移区内,其中最大碰撞电离位置主要在漂移区-漏极边界和靠近栅的漂移区-氧化层边界. 碰撞电离产生的空穴通过 Pwell 和 PBL 被衬底收集,产生的电子主要被漏极收集. 直到沟道与源区形成的 PN 结导通才失效,提高了器件的鲁棒性.

参考文献

- [1] Sampath Kumar B, Mayank Shrivastava. Part I: On the unification of physics of quasi-saturation in LDMOS devices [J]. IEEE Transactions on Electron Devices, 2018, 65(1): 191 – 198.
- [2] Daniel Gruner, Roland Sorge, Olof Bentsson, et al. Analysis, design, and evaluation of LDMOS FETs for RF power applications up to 6GHz [J]. IEEE Transactions on Microwave Theory and Techniques, 2010, 58(12): 4022 – 4030.
- [3] Hao Li, Mifang Cong, Ke Li, Huan Du. Source engineering on ruggedness and RF performance of N-channel RFLDMOS [J]. Microelectronics Reliability, 2018, 87: 57 – 63.
- [4] Feng H, Chen G, et al. A mixed-mode ESD protection circuit simulation-design methodology [J]. IEEE JSSC, 2003, 38(6): 995 – 1006.
- [5] Chung Y, Xu H, Ida R, Baird B. Snapback breakdown dynamics and ESD susceptibility of LDMOS [A]. Proceeding IEEE International Reliability Physics Symposium [C]. San Jose, California, USA: IRPS, 2006. 352 – 355.
- [6] Wei-jen Chang, Ming-Dou Ker. The Impact of drift Implant and layout parameters on ESD robustness for on-chip ESD protection devices in 40-V CMOS technology [J]. IEEE Transaction on Device and Materials Reliability, 2007, 7(2): 324 – 332.
- [7] Synopsys Inc. Three-Dimensional Electrostatic Discharge Simulation of a Gate-Grounded NMOS Device [EB/OL]. <https://solvnet.synopsys.com/retrieve/2691373.html?otSearchResultSrc=advSearch&otSearchResultNumber=1&otPageNum=1>, 2017 – 06 – 22.
- [8] Theeuwens S J C H, Boet de J A M, et al. LDMOS ruggedness reliability [J]. Microwave Journal, 2009, 5: 96 – 104.
- [9] Maloney T, Khurana N. Transmission line pulsing techniques for circuit modeling of ESD phenomena [A]. Proceeding EOS/ESD Symposium [C]. Minneapolis, Minnesota, USA: EOS/ESD Symposium, 1985. 49 – 54.
- [10] ANSI/ESDA/JEDEC JS-001-2017, Electrostatic Discharge Sensitivity Testing-Human Body Model (HBM)-Component Level [S].
- [11] Cilento T, Schenkel M, et al. Simulation of ESD protection devices in an advanced CMOS technology using a TCAD workbench based on an ESD calibration methodology [J]. Microelectronics Reliability, 2010, 50: 1367 – 1372.
- [12] Esmark K, Gossner H, Stadler W. Advanced Simulation Methods for ESD Protection Development (1st ed) [M]. Berlin: Springer Press, 2003.
- [13] Johan Bourgeat, Nicolas Guitard, Florence David. ESD protection structure enhancement against latch-up issue using TCAD simulation [A]. 39th Electrical Overstress/Electrostatic Discharge Symposium [C]. Tucson, Arizona, USA: EOS/ESD Symposium, 2017. 1 – 9.

作者简介



李浩 男, 1991 年生于重庆合川. 现为中国科学院微电子研究所读博士研究生. 主要研究方向为射频功率 LDMOS 器件鲁棒性与 PA 设计.
E-mail: lihao1@ime.ac.cn



任建伟 女, 1987 年生于陕西咸阳. 现为中国科学院微电子研究所助理研究员. 主要研究方向为射频功率放大器电路及内匹配研究.
E-mail: renjianwei@ime.ac.cn



杜寰 男, 1963 年生于湖南常德. 现为中国科学院微电子研究所研究员. 主要研究方向为射频功率 LDMOS 器件与微驱动显示.
E-mail: duhuan@ime.ac.cn