

量子全加器设计

常 丽,朱宇祥,蒋 辉

(沈阳工业大学信息科学与工程学院,辽宁沈阳 110870)

摘 要: 量子全加器是量子计算机的基本单元,为了减少能耗,降低构造成本及物理实现难度,本文提出一种新型 n 位量子全加器,使用 $3n$ 个 CNOT(Controlled NOT) 门和 $2n-1$ 个 Toffoli 门实现 n 位量子加减法,采用超前进位方式,不含进位输入,通过最高溢出标志位判断加法的进位和减法的正负号,标志位不参与高低位计算,不增加电路延时,适合 n 位量子并行计算. 随机生成 4、8、16 和 32 位数分别进行加减仿真操作,验证了全加器的正确性. 该全加器量子代价较低,结构简单,有利于提高集成电路规模和集成度.

关键词: 可逆逻辑电路;量子全加器;超前进位;量子代价;电路能耗;量子计算机

中图分类号: TP302.2 **文献标识码:** A **文章编号:** 0372-2112 (2019)09-1863-05

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2019.09.007

Design of Quantum Full Adder

CHANG Li, ZHU Yu-xiang, JIANG Hui

(School of Information Science and Engineering, Shenyang University of Technology, Shenyang, Liaoning 110870, China)

Abstract: Quantum full adder is the basic elements of quantum computers, in order to reduce the energy loss and cut the construction cost and the difficulty of physical realization. The paper proposes a new type of n -bit quantum full adder which uses $3n$ CNOT(Controlled NOT) Gates and $2n-1$ Toffoli gates to implement n -bit quantum addition and subtraction, adopts the carry look-ahead mode without carry input, and judges the carry of addition and positive and negative sign of subtraction with the highest overflow mark bit that does not participate in the calculation of high and low bit, which does not increase time delay of the circuit and suits for n -bit quantum parallel operation. The simulation operation with random number of 4, 8, 16 and 32 digits verifies the correctness of the full adder separately. The low quantum cost and simple circuit structure of the quantum full adder is helpful to improve the size and integration of integrated circuits.

Key words: reversible logic circuit; quantum full adder; carry look-ahead; quantum cost; circuit energy consumption; quantum computer

1 引言

电子器件内部的量子效应伴随着集成电路规模和集成度的增大而明显,传统的计算机制造手段在提高集成度上面临着巨大压力,而且集成电路的能耗问题日益突出,成为制约大规模集成电路发展的一个重要因素^[1]. 电路中晶体管由导通转换成关断状态,此过程将能量由电能转换成热能而消耗,完成不可逆操作. R. Landauer^[2]最早考察了能耗的来源,如何将不可逆操作变成可逆操作是解决电路能耗问题的关键. P. Benioff^[3]用量子力学来描述可逆计算机,证明量子电路的逻辑综合可以实现可逆操作. 1985年 D. Deutsch 提出了量子图灵机的概念^[4],同时他仿照经典的图灵机构造原理,利用量子力学的基本特性设计了一套信息处理的系

统. 理论上已证明,量子计算机就是一个量子图灵机,而量子图灵机又是一个量子逻辑电路,因此可以通过量子逻辑门的级联与组合构成量子计算机^[5]. 量子可逆逻辑门是量子可逆逻辑电路的基本单元,也是研究量子可逆逻辑电路的基础^[6]. 近 30 年来,研究人员陆续提出各种不同结构的量子门,例如 CNOT(Controlled NOT) 门^[7], Toffoli 门^[8], Fredkin 门^[9]等. 针对相同功能电路使用不同的量子可逆逻辑门的量子代价^[10]不同. 文献 [11~14] 设计的 4 位超前进位加法器,存在含有进位输入,并且量子代价大等问题. 因此,如何设计量子代价较小的大规模功能电路是研究的热点之一.

本文通过使用 $3n$ 个 CNOT 门和 $2n-1$ 个 Toffoli 门设计了一种新型的 n 位全加器,采用了超前进位方式,具有量子代价小,结构较简单等特点. 该设计有利于降低

量子全加器的构造成本及物理实现的难度.

2 量子可逆逻辑门

在经典计算机中,bit 是计算的基本单位. 而在量子信息中量子比特 (qubit) 是最基本单位,并能以叠加态的形式存在. 这种量子叠加态可表示为 $|\varphi\rangle = \alpha|0\rangle + \beta|1\rangle$, 其中 α 和 β 为复数, 满足 $|\alpha|^2 + |\beta|^2 = 1$.

量子逻辑门 (quantum gate) 是操作一个小数量量子比特的量子线路^[15]. 其与多数传统逻辑门所不同之处在于量子门是可逆的. 与经典计算相比,可逆的优势在于计算过程中不产生热量. 传统的数字电子电路中,任何复杂的数字电路都可用“与非或”门等简单的逻辑线路单元所构成. 因此任何复杂的量子线路均可由简单的可逆逻辑单元所组成. 本节主要介绍一些经典的量子可逆逻辑单元——量子可逆门^[5], 且它们也是量子全加器设计中非常重要的可逆门.

定义 1 NOT 门是单量子非门, 记为 $N(x_1, \bar{x}_1)$. 输入变量为 $\text{In} = \{x_1\}$, 输出变量映射为 $\{\bar{x}_1\}$. 具体操作是量子态 $|0\rangle$ 经过量子非门之后变成量子态 $|1\rangle$; 量子态 $|1\rangle$ 经过量子非门之后变成量子态 $|0\rangle$.

定义 2 CNOT 门是量子控制非门, 记为 $\text{CN}(x_2, x_1)$, 其中输入变量集合 $\text{In} = \{x_2, x_1\}$, 控制端 $C = \{x_2\}$. 输出变量集合映射为 $\{x_2, x_2 \oplus x_1\}$. 量子控制非门的作用是: 当控制位为量子态 $|0\rangle$ 时, 目标位量子基态保持不变; 当控制位为量子态 $|1\rangle$ 时, 目标位量子基态将发生翻转. 具体操作为 $|00\rangle \rightarrow |00\rangle, |01\rangle \rightarrow |01\rangle, |10\rangle \rightarrow |11\rangle, |11\rangle \rightarrow |10\rangle$.

定义 3 Toffoli 门是三量子比特门, 有三位输入和三位输出, 记为 $\text{TOF}(C, T)$. 其中输入变量集合 $\text{In} = \{x_i, x_i, \dots, x_i\}$, 控制端集合 $C = \{x_i, \dots, x_i\}$, 受控端集合 $T = \{x_i\}, C \cap T = \emptyset, C \cup T \subset \text{In}$. 输出变量集合映射为 $\{x_i, \dots, x_i, \prod_{k=2}^n x_i \oplus x_i\}$.

如图 1 所示, 当 $n=1$ 时, $C = \emptyset, \text{TOF}(x_i)$, 为 NOT 门; 当 $n=2$ 时, $C = \{x_i\}, \text{TOF}\{x_i, x_i\}$, 为 CNOT 门; 当 $n=3$ 时, $C = \{x_i, x_i\}, \text{TOF}\{x_i, x_i, x_i\}$ 为标准的 Toffoli 门; 当 $n>3$ 时, $C = \{x_i, x_i, \dots, x_i\}, \text{TOF}\{x_i, x_i, \dots, x_i, x_i\}$ 为通用 Toffoli 门.

3 半加器设计

n 量子全加器主要由 n 个 1 位加法器组成, 1 位加法器也称为半加器. 文献[14]中的半加器由 ZRQ1 门构成, 如图 2 所示, ZRQ1 门的量子代价为 7, 含有进位输入, 其增加了电路延迟时间, 结构较复杂.

本文设计的半加器, 由两个 CNOT 门和一个 Toffoli

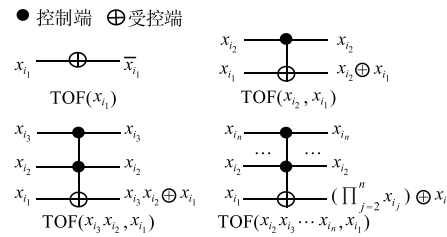


图1 量子逻辑门

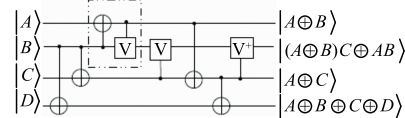


图2 ZRQ1的量子线路图

门组成, 其结构如图 3 所示, 其中两个输入量子位 $|a\rangle$ 和 $|b\rangle, |0\rangle$ 是辅助量子位, 相加后的结果存储在量子位 $|\text{sum}\rangle$ 和进位量子位 $|c_{\text{out}}\rangle$.

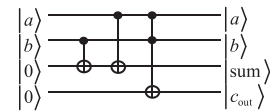


图3 半加器的量子线路图

从图 3 可以看出, 本文设计的半加器的量子代价为 3, 比 ZRQ1 门的量子代价少 4, 且没有进位输入不会增加电路延时, 其真值表如表 1 所示.

表 1 1 量子半加器真值表

a	b	sum	c_{out}
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

整个半加器量子操作过程如下:

$$|a\rangle|b\rangle|0\rangle|0\rangle \rightarrow |a\rangle|b\rangle|\text{sum}\rangle|c_{\text{out}}\rangle \quad (1)$$

其中, 辅助量子位输出为:

$$|\text{sum}\rangle = |a \oplus (b \oplus 0)\rangle, |c_{\text{out}}\rangle = |ab \oplus 0\rangle \quad (2)$$

4 n 量子全加器设计

(1) 全加器结构

本文提出一种新型 n 量子全加器, 使用 $3n$ 个 CNOT 门和 $2n-1$ 个 Toffoli 门实现 n 量子的加减法操作, 整个全加器垃圾输出为 $3n$. 如图 4 所示为 n 量子全加器量子线路图. 其中 $\{|a_1\rangle|a_2\rangle \dots |a_n\rangle\}$ 和 $\{|b_1\rangle|b_2\rangle \dots |b_n\rangle\}$ 是两组 n 位输入量子, 相加后的结果值存储在 n 量子叠加态 $\{|s_1\rangle|s_2\rangle \dots |s_n\rangle\}$ 中, n 量子叠加态 $\{|c_1\rangle|c_2\rangle \dots |c_n\rangle\}$ 存储进位值, 最高位 $|c_{\text{out}}\rangle$ 是溢出标志位, $|0\rangle$ 是辅助量子位.

从图 4 可以看出, 第一个半加器量子代价为 3, 剩

下的半加器量子代价全为 5,其中包含进位操作部分;最后一个 CNOT 门量子代价为 1. 因此, n 位量子全加器的量子代价为 $3 + 5 \times (n - 1) + 1$,该设计的特点是结构简单、超前进位、适合 n 位量子并行计算. 量子全加器操作过程如式(3)所示.

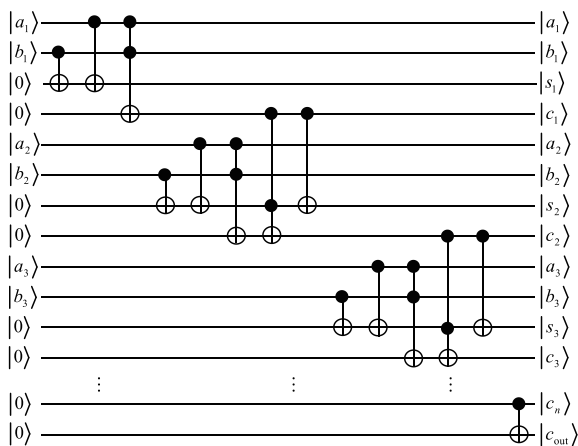


图4 n 位量子全加器量子线路图

$$\begin{aligned} |a_i\rangle |b_i\rangle |0\rangle |0\rangle &\xrightarrow{\text{ADD}} |a_i\rangle |b_i\rangle |s_i\rangle |c_i\rangle \\ |0\rangle &\xrightarrow{\text{ADD}} |c_{out}\rangle, i = 1, 2, \dots, n \end{aligned} \quad (3)$$

令 $|p_i\rangle = |a_i \otimes (b_i \otimes 0)\rangle$, $|g_i\rangle = |a_i b_i \otimes 0\rangle$, 其中辅助量子位输出如下:

$$|s_1\rangle = |a_1 \oplus (b_1 \oplus 0)\rangle, |c_1\rangle = |a_1 b_1 \oplus 0\rangle \quad (4)$$

$$\begin{aligned} |c_i\rangle &= |a_i \oplus (b_i \oplus 0) c_{i-1} \oplus (a_i b_i \oplus 0)\rangle \\ &= |p_i c_{i-1} \oplus g_i\rangle, i = 2, 3, \dots, n \end{aligned} \quad (5)$$

$$\begin{aligned} |s_i\rangle &= |c_{i-1} \oplus (a_i \oplus (b_i \oplus 0))\rangle \\ &= |c_{i-1} \oplus p_i\rangle, i = 2, 3, \dots, n \end{aligned} \quad (6)$$

$$|c_{out}\rangle = |c_n \oplus 0\rangle \quad (7)$$

(2) 加法操作

假设 $|\varphi_a\rangle = \bigotimes_{i=1}^n |a_i\rangle$ 和 $|\varphi_b\rangle = \bigotimes_{i=1}^n |b_i\rangle$, 两个加法操作后得到 $|\varphi_c\rangle$, 如式(8)所示,

$$|\varphi_c\rangle = |\varphi_a\rangle + |\varphi_b\rangle = \bigotimes_{i=1}^n |a_i\rangle + \bigotimes_{i=1}^n |b_i\rangle \quad (8)$$

其中, $|\varphi_c\rangle = \bigotimes_{i=1}^n |c_i\rangle$. 当 $|c_{out}\rangle$ 为 $|1\rangle$ 时, $|\varphi_a\rangle$ 与 $|\varphi_b\rangle$ 的和超出最大值 $2^n - 1$; 反之, $|\varphi_c\rangle = \bigotimes_{i=1}^n |s_i\rangle$. 在式(8)中“ \otimes ”是张量积符号, 即 $\bigotimes_{i=1}^n |a_i\rangle = |a_1\rangle \otimes |a_2\rangle \otimes \dots \otimes |a_n\rangle$.

(3) 减法操作

量子减法过程主要由量子加法器完成, 与经典减法操作类似, 需要对负数先取补码再进行加法. 假设 $|\varphi_a\rangle = \bigotimes_{i=1}^n |a_i\rangle$ 和 $|\varphi_b\rangle = \bigotimes_{i=1}^n |b_i\rangle$, 两个减法操作后得到 $|\varphi_c\rangle$, 如式(9)所示,

$$|\varphi_c\rangle = |\varphi_a\rangle - |\varphi_b\rangle \quad (9)$$

首先使用 $U_c^{[16]}$ 对 $|\varphi_b\rangle$ 进行取反操作后得到 $|\varphi_b\rangle$, 然

后加 1 得到补码 $|\varphi_b\rangle$, 最后计算 $|\varphi_a\rangle$ 和 $|\varphi_b\rangle$ 的加法. 其中 $|\varphi_b\rangle$ 如式(10)所示,

$$|\varphi_b\rangle = U_c |\varphi_b\rangle = X^{\otimes n} |\varphi_b\rangle \quad (10)$$

式(10)中, $X = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}$, $X^{\otimes n}$ 表示 n 个 X 进行张量操作.

取反操作演化过程如式(11)所示. 针对量子叠加态 $|\varphi_b\rangle$, U_c 将使用 n 个量子翻转门分别对每一个量子位进行取反操作.

$$|\varphi_b\rangle = U_c \left(\bigotimes_{i=1}^n |b_i\rangle \right) = \bigotimes_{i=1}^n X |b_i\rangle = |2^n - 1 - \varphi_b\rangle \quad (11)$$

令 $|\varphi_u\rangle = \left(\bigotimes_{i=1}^{n-1} |0\rangle \right) |1\rangle$, 取补操作如式(12)所示:

$$|\varphi_b\rangle = |\varphi_b\rangle + |\varphi_u\rangle = |\varphi_b + 1\rangle = |2^n - 1 - \varphi_b + 1\rangle \quad (12)$$

接下来对两个量子叠加态 $|\varphi_a\rangle$ 和 $|\varphi_b\rangle$ 进行求和运算, 操作后结果量子叠加态 $|\varphi_c\rangle$, 如式(13)所示,

$$|\varphi_c\rangle = |\varphi_a\rangle + |\varphi_b\rangle \quad (13)$$

与加法操作不同之处在于量子叠加态 $|s_1\rangle |s_2\rangle \dots |s_n\rangle$ 是两数相减之后的绝对值, 根据溢出标志位 $|c_{out}\rangle$ 判断出正负号, 具体操作如下:

(1) 当标志位 $|c_{out}\rangle$ 为 $|1\rangle$ 时, 意味着 $\varphi_a \geq \varphi_b$. 则 $|\varphi_c\rangle = \bigotimes_{i=1}^n |s_i\rangle$, 是正数.

(2) 当标志位 $|c_{out}\rangle$ 为 $|0\rangle$ 时, 意味着 $\varphi_a < \varphi_b$. 则 $\bigotimes_{i=1}^n |s_i\rangle$ 组成的 n 位数取补后的值才是 $|\varphi_a\rangle$ 和 $|\varphi_b\rangle$ 差值, 是负数.

从加减操作可以看出, 量子位 $|c_{out}\rangle$ 既可以判断加法操作溢出情况, 也可以判断减法操作后的正负号, 其特点是不参与高低位计算.

5 量子代价与仿真结果分析

量子可逆电路的功耗取决于量子代价, 即量子电路中基本量子逻辑门的数量, 一个量子可逆逻辑门量子代价为 1. 用本文的方案设计一个 4 位加法器, 量子输入为 17, 量子代价为 $3 + 5 \times 3 + 1 = 19$. 文献[11]设计的 4 位超前进位加法器输入个数为 13, 量子代价为 22. 文献[12]使用 TSG 门设计的 4 位全加器输入个数为 16, 量子代价为 24. 文献[13]设计的 4 位全加器输入个数为 15, 量子代价为 107. 文献[14]设计的 4 位全加器输入个数为 17, 量子代价为 28. 相比之下, 用本文的方案设计 4 位全加器量子代价较小, 因此有效降低了功耗和物理实现的难度, 可增强电路的可靠性.

为了验证本文全加器的性能, 采用 C++ 编写了仿真程序. 仿真程序运行于 Deepin Linux 15.8, 硬件环境是 Intel core i7-2760qm, DDR3 内存 8GB. 在仿真实验过程中, 采用字符 ‘0’ 表示量子基态 $|0\rangle$, 字符 ‘1’ 表示量子基态 $|1\rangle$, 例如 8 位数字 3 可以用一串字符 ‘0’ ‘0’ ‘0’ ‘0’ ‘0’ ‘0’ ‘1’ ‘1’ 表示. 量子门模拟、加法和减

法操作过程如算法 1~3 所示:

算法 1 量子门模拟

NOT 门:

```
1: if  $x_{i1} = '0'$ 
2:    $x_{i1} = '1'$ 
3: else
4:    $x_{i1} = '0'$ 
```

CNOT 门:

```
1: if  $x_{i2} = '1'$ 
2:   if  $x_{i1} = '1'$ 
3:      $x_{i1} = '0'$ 
4:   else
```

```
5:    $x_{i1} = '1'$ 
```

Toffoli 门:

```
1: if  $x_{i2} = '1' \ \&\& \ x_{i3} = '1'$ 
2:   if  $x_{i1} = '1'$ 
3:      $x_{i1} = '0'$ 
4:   else
5:      $x_{i1} = '1'$ 
```

算法 2 加法操作

输入: $a[1,2,\dots,n], b[1,2,\dots,n], s[1,2,\dots,n] = \overbrace{'0'0'\dots'0'}^n, c[1,2,\dots,n] = \overbrace{'0'0'\dots'0'}^n, c_{out}$.

输出: $a[1,2,\dots,n], b[1,2,\dots,n], s[1,2,\dots,n], c[1,2,\dots,n], c_{out}$.

第一阶段: 半加器操作

```
1: for  $i = 1$  to  $n$  do {
2:   CN ( $a[i], s[i]$ )
3:   CN ( $b[i], s[i]$ )
4:   TOF ( $a[i], b[i], c[i]$ )}
```

第二阶段: 进位操作

```
1: for  $j = 1$  to  $n-1$  do {
2:   TOF ( $s[j+1], c[j], c[j+1]$ )
3:   CN ( $c[j], s[j+1]$ )
4:   CN ( $c[n], c_{out}$ )}
```

算法 3 减法操作

输入: $a[1,2,\dots,n], b[1,2,\dots,n], u[1,2,\dots,n] = \overbrace{'0', \dots, '0'}^{n-1} '1'$

$, s[1,2,\dots,n] = \overbrace{'0'0'\dots'0'}^n, c[1,2,\dots,n] = \overbrace{'0'0'\dots'0'}^n, c_{out}$.

输出: $a[1,2,\dots,n], b[1,2,\dots,n], s[1,2,\dots,n], c[1,2,\dots,n], c_{out}$.

第一阶段:

对 $b[1,2,\dots,n]$ 取反码:

```
1: for  $i = 1$  to  $n$  do {
2:    $N(b[i])$ }
```

第二阶段:

对 $b[1,2,\dots,n]$ 取补码, 上一步得到 $b[1,2,\dots,n]$ 的反码 $\bar{b}[1,2,\dots,n]$ 与 $u[1,2,\dots,n]$ 相加得到补码 $\bar{b}[1,2,\dots,n]$.

第三阶段:

上一步得到 $b[1,2,\dots,n]$ 的补码 $\bar{b}[1,2,\dots,n]$ 与 $a[1,2,\dots,n]$ 相加得到 $s[1,2,\dots,n]$. 如果 $c_{out} = '0'$, 则对 $s[1,2,\dots,n]$ 取反取补.

仿真操作, 结果如表 2 和表 3 所示, 从表中可以看出本文设计的量子全加器的正确性.

表 2 加法验证结果

位数	数 1	数 2	结果值	溢出位
4	1000	0010	1010	0
8	10101000	11100010	10001010	1
16	10010101 10101000	00010110 11100010	10101100 10001010	0
32	01001100 00011011 10010101 10101000	00001001 00101010 00010110 11100010	01010101 01000101 10101100 10001010	0

表 3 减法验证结果

位数	数 1	数 2	结果值	溢出位
4	1000	0010	0110	1
8	10001111	01110110	00111010	0
16	10100101 10010101	01000111 11001000	01111110 11000110	1
32	00100101 01010111 01010001 01110100	01110101 10100100 01001011 00000110	01000010 11110001 01111110 11000110	1

6 结论

本文设计的新型 n 位量子全加器, 实现了 n 位量子态的加减法操作, 通过 C++ 编写了仿真程序验证了量子全加器结构的正确性. 量子全加器使用了 $3n$ 个 CNOT 门和 $2n-1$ 个 Toffoli 门, 不含进位输入, 通过最高标志位可以判断加法操作溢出情况, 也可以判断减法操作后的正负号, 其不参与高低位计算, 因而不会增加电路延时. 该量子全加器具有量子代价小的特点, 设计结构简单, 有效降低了物理实现的难度和功耗, 可增强电路的可靠性, 适用于多位量子并行计算.

参考文献

- [1] 王友仁, 黄媛媛, 冯冉, 等. 基于矩阵编码的量子可逆逻辑电路进化设计方法[J]. 电子学报, 2011, 39(11): 2576-2582.
- Wang You-ren, Huang Yuan-yuan, Feng Ran, et al. Evolutionary design technology of quantum reversible logic circuit based on matrix coding[J]. Acta Electronica Sinica, 2011, 39(11): 2576-2582. (in Chinese)

- [2] Charles H B. Notes on the history of reversible computation [J]. IBM Journal of Research and Development, 1988, 32 (1): 16 - 23.
- [3] Paul B. Quantum mechanical models of turing machines that dissipate no energy [J]. Physical Review Letters, 1982, 48 (23): 1581 - 1585.
- [4] David D. Quantum theory, the church-turing principle and the universal quantum computer [J]. Proceedings of the Royal Society of London, Series A: Mathematical and Physical Sciences, 1985, 400 (1818): 97 - 117.
- [5] 李志强, 陈汉武, 徐宝文, 等. 四量子可逆逻辑电路快速综合算法[J]. 电子学报, 2008, 36(11): 2081 - 2089. Li Zhi-qiang, Chen Han-wu, Xu Bao-wen, et al. Fast algorithms for 4-qubit reversible logic circuits synthesis[J]. Acta Electronica Sinica, 2008, 36(11): 2081 - 2089. (in Chinese)
- [6] 李智伟. 三值量子可逆逻辑电路的研究与设计[D]. 上海: 东华大学, 2017. Li Zhi-wei. Research and Design of Ternary Quantum Reversible Circuit [D]. Shanghai: Donghua University, 2017. (in Chinese)
- [7] Lopes J H, Soares W C, Bernardo B de L, et al. Experimental Realization of a Quantum CNOT Gate for Orbital Angular Momentum and Polarization with Linear Optical Elements[Z]. Preprint arXiv:1807.06065v1, 2018.
- [8] Toffoli T. Reversible computing[A]. 7th International Colloquium on Automata, Languages and Programming [C]. Noordwijkerhout, Netherlands: ICALP, 1980. 632 - 644.
- [9] Fredkin E, Toffoli T. Conservative logic [J]. International Journal of Theoretical Physics, 1982, 21 (3 - 4): 219 - 253.
- [10] 李志强, 陈汉武. 量子可逆逻辑电路最小代价综合算法[J]. 东南大学学报(自然科学版), 2008, 38(2): 249 - 254. Li Zhi-qiang, Chen Han-wu. Synthetic algorithm for reversible logic circuits of quantum with minimal cost[J]. Journal of Southeast University (Natural Science Edition), 2008, 38(2): 249 - 254. (in Chinese)
- [11] 郭荣田. 基于常规原理图方式的可逆逻辑描述与综合方法[D]. 上海: 东华大学, 2016. Guo Rong-tian. Description and Synthetic Method of Reversible Logic Based on Traditional Schematic Diagram [D]. Shanghai: Donghua University, 2016. (in Chinese)
- [12] James R K, Shahana T K, Jacob P K, et al. A new look at reversible logic implementation of decimal adder [A]. 2007 International Symposium on System-on-Chip Proceedings, SOC [C]. Tampere, Finland: ISSOC, 2007. 1 - 4.
- [13] 杨虹, 黄亚男, 李儒章, 等. 基于 Toffoli 门族的可逆二进制加/减法器 [J]. 微电子学, 2017, 47 (4): 487 - 489, 494. Yang hong, Hang Ya-nan, Li Ru-zhang, et al. Reversible binary adder/subtractor based on Toffoli gates [J]. Microelectronics, 2017, 47(4): 487 - 489, 494. (in Chinese)
- [14] 张满群. 量子可逆逻辑电路的研究及设计[D]. 南昌: 华东交通大学, 2013. Zhang Man-qun. Research and Design Quantum Reversible Logic Circuits [D]. Nanchang: East China Jiaotong University, 2013. (in Chinese)
- [15] 孙雅娟. 量子图像处理技术及相应的可逆逻辑电路设计 [D]. 南昌: 华东交通大学, 2016. Sun Ya-juan. Quantum Image Processing Technology and the Corresponding Reversible Logic Circuit Design [D]. Nanchang: East China Jiaotong University, 2016. (in Chinese)
- [16] 张毅. 面向计算机图像处理的量子算法研究[D]. 长沙: 国防科技大学, 2014. Zhang Yi. Research on Quantum Algorithms for Image Processing [D]. Changsha: National University of Defense Technology, 2014. (in Chinese)

作者简介



常 丽 女, 1971 年生于辽宁省沈阳市. 博士, 现为沈阳工业大学信息科学与工程学院副教授, 博士生导师, 主要研究方向为智能感知与精密测控, 智能仪器及网络化测控系统.
E-mail: changlianli@163.com



朱宇祥 男, 1994 年生于安徽省宿州市. 现为沈阳工业大学信息科学与工程学院硕士研究生. 主要研究方向精密测控及网络化智能测控系统.
E-mail: sgdjiance2016@163.com