

# 一种无需 SDAC 的新型流水线 ADC 架构 ——桥电位式流水线 ADC 架构

陈启星<sup>1</sup>, 罗启宇<sup>2</sup>

(1. 湖南城建职业技术学院长沙校区机电系, 湖南长沙 410015; 2. 中国电子进出口总公司, 北京 100036)

**摘 要:** ADC/DAC 是计算机技术的重要组成部分之一. 本文提出的桥电位架构 ADC, 类似于流水线 ADC, 也是由多个 StageADC 采用流水线方式构成. 文中提出了两个创新点: 一是桥电位架构, 在某个瞬间, 基准电位链中必有一个基准电位既对应着模拟输入信号, 又对应着数字输出信号, 称桥电位, 相对于流水线 ADC 而言, 桥电位 ADC 中的基准电位链扩展了一项功能: 将基准电位链中的桥电位直接取出与模拟输入信号相减就等于尾数电压, 无需 SDAC; 二是翻转点 ON 式零损开关键, 由此构成桥电位提取模块, 使得桥电位只需流经仅仅一个零损开关即可被取出. 这两项改进使得每个 StageADC 都只包含了 SADC, 而 SDAC 被摒弃.

**关键词:** ADC 架构; 桥电位; 翻转点; 零损开关; 流水线 ADC; SDAC; 基准电位; 子级 ADC

**中图分类号:** TN79 + 2      **文献标识码:** A      **文章编号:** 0372-2112 (2019)07-1518-07

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2019.07.016

## A New Pipeline ADC Architecture Without SDAC ——Bridge-Potential Type Pipeline ADC Architecture

CHEN Qi-xing<sup>1</sup>, LUO Qi-yu<sup>2</sup>

(1. *Mechinery & Electrical Department, Hunan Urban Construction College, Changsha, Hunan 410015, China;*

*2. China National Electronics Import & Export Corporation, Beijing 100036, China)*

**Abstract:** ADC/DAC is one of important parts of computer technology. The bridge-potential architecture ADC, similar to the pipeline ADC, is also formed by multiple pipelined type of stageADCs. This paper presents two innovative points: 1. Bridge-potential architecture. At certain moment, there must be a reference potential in the reference potential chain that corresponds to both a digital output signal and an analog input signal, and this reference potential is called the bridge-potential. Compared to the pipeline ADC, the reference potential chain in the bridge-potential ADC extended a function by extracting the bridge-potential from the reference potential chain directly and subtracting it from the analog input signal, which is equal to the residue voltage and does not need a SDAC. 2. Turning-point ON type zero-loss switch chain. Thus, the bridge potential extraction module is constructed, which enables the bridge-potential to go by only one zero-loss switch to be extracted. With these two improvements, each StageADC is enabled to contain SADC only, while SDAC is discarded.

**Key words:** ADC architecture; bridge-potential; turning-point; zero-loss switch; pipeline ADC; SDAC; reference potential; stageADC

### 1 引言

目前,主流的 ADC 架构有全并行式、流水线式、 $\Sigma-\Delta$  式和逐次逼近式,更快的速度、更高的分辨率和低功耗是 ADC 研究的主要目标.就综合性能而言,流水线架构做到了速度与分辨率的双高<sup>[1-3]</sup>.

流水线 ADC 由多个子级采用流水线方式构成,本文中,称各个子级为 StageADC. 图 1 的流水线 ADC, 每个 StageADC 包括一个 SADC (即 Sub-ADC) 和一个 SDAC (即 Sub-DAC, 末级没有 SDAC), 其 SADC 包含基准电位链模块和并行比较器链模块以及编码器等, SDAC 包括权电容型或权电阻型或采用电流舵的权电

流源型(以下简称电流舵型)等<sup>[1-8]</sup>,目前,还有不断产生的一些新的 DAC 架构和 ADC 架构构想<sup>[9-15]</sup>;本文中 StageADC 不包含 ISM(级间模块),ISM 包含采样保持器(T/H)、求和及运算放大器等,ISM 与 SDAC 合称为 MDAC.

本文实际上是提出了两个问题,第一个问题是:在流水线 ADC 中,SDAC 的目的是什么?这个答案很简单:为了获得本级 StageADC 的尾数电压(residue voltage),为下级 StageADC 的 AD 转换做准备;第二个问题

是:获得该尾数电压,可不可以另辟蹊径,不用 SDAC?回答是:这就是本文的目的.“基于翻转点 ON 式零损开关键的桥电位架构 ADC”(简称桥电位 ADC)就是另辟蹊径.桥电位 ADC 也是由多个 StageADC 采用流水线方式构成,为了区别于流水线 ADC 中的 StageADC,桥电位 ADC 中的 StageADC 改写成 STAgeADC.本文有两个创新点:一个是桥电位 ADC 架构;一个是翻转点 ON 式零损开关键.

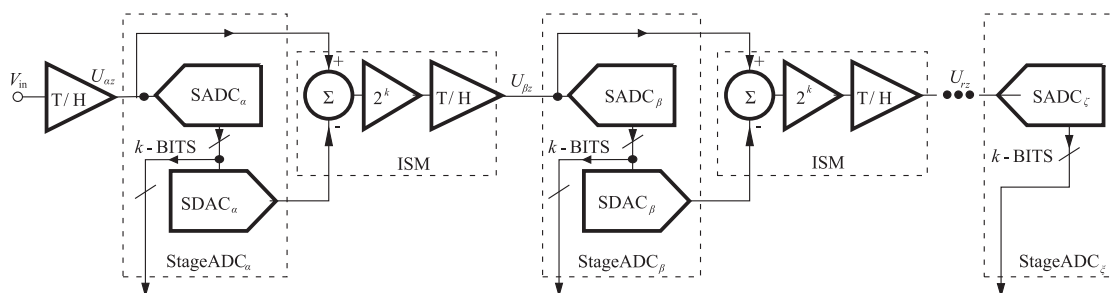


图1 流水线 ADC: StageADC=SADC+SDAC; ISM=中间级模块

## 2 桥电位 ADC<sup>[9,10]</sup> 架构

为了叙述简便,约定:(1)虚拟一个 6 级乘 3 位的桥电位 ADC 例,令 6 个 STAgeADC 的下标分别为  $\alpha, \beta, \gamma, \delta, \epsilon, \zeta$ , 表示第 1、第 2、...、第 6 级;(2)用  $\lambda$  通配各级下标;(3)模拟输入信号为  $U_{in}$ ,  $U_{in}$  采样保持后为  $U_{\lambda}$  (简称采样信号  $U_{\lambda}$ );(4)默认模拟信号采用 8 进制;(5)数字信号按自然码编码;(6)以采样信号  $U_{\lambda} = 5.430127\Delta V$  为例进行 A/D 转换.

### 2.1 桥电位 ADC 框图(图 2)

定义 1 图 2 的 STAgeADC $_{\lambda}$  中,

$BPM_{\lambda}$ ——桥电位模块(Bridge-Potential Modules),实际上就是基准电位链(参见图 3 中的虚线框  $BPM_{\lambda}$ ),因为基准电位链在桥电位 ADC 中的应用得到了扩展,所以改称桥电位模块 BPM;

$ADM_{\lambda}$ ——比较器链模块(参见图 3 中的虚线框  $ADM_{\lambda}$ ),在流水线 ADC 中的功能是进行本级的 AD 转换,在桥电位 ADC 中扩展了一个功能:确定  $BPM_{\lambda}$  中谁是桥电位;

$BEM_{\lambda}$ ——桥电位提取模块(Bridge-potential Extract Module),由一组开关链接而成(参见图 3 中的实线框  $BEM_{\lambda}$ );

$WBE_{\lambda}$ ——字桥提取器(Word-Bridge Extracter),按控制字提取桥电位的模块, $WBE_{\lambda}$ 取代  $SDAC_{\lambda}$  (参见命题 4).

它们之间的关系为:

$$BPM_{\lambda} + ADM_{\lambda} = SADC_{\lambda};$$

$$BPM_{\lambda} + BEM_{\lambda} = WBE_{\lambda};$$

$$BPM_{\lambda} \text{ 即是 } SADC_{\lambda} \text{ 的一部分, 又是 } WBE_{\lambda} \text{ 的一部分};$$

$$STAgeADC_{\lambda} = ADM_{\lambda} + BPM_{\lambda} + BEM_{\lambda} = SADC_{\lambda} +$$

$$BEM_{\lambda} = ADM_{\lambda} + WBE_{\lambda}.$$

作为对比,流水线的 StageADC $_{\lambda}$  为:

$$StageADC_{\lambda} = SADC_{\lambda} + SDAC_{\lambda};$$

通过对比发现,桥电位 ADC(图 2)与流水线 ADC(图 1),类似之处是:(1)都是由多级 StageADCs 组成,(2)每个 StageADC $_{\lambda}$  都包含着 SADC $_{\lambda}$ . 不同之处是:(1)桥电位 ADC 的每个 STAgeADC $_{\lambda}$  中都没有 SDAC $_{\lambda}$ ;(2)桥电位 ADC 的每个 STAgeADC $_{\lambda}$  中都增加了一

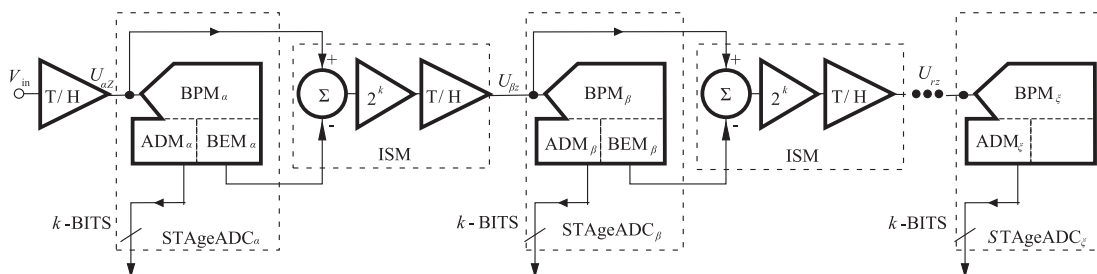


图2 桥电位 ADC: STAgeADC=ADM+BPM+BEM; ADM+BPM=SADC; BPM+BEM=WBE取代 SDAC, ISM=中间级模块

个  $BEM_\lambda$ .

桥电位 ADC 架构中, 每个  $STAgeADC_\lambda$  都包括:  $BPM_\lambda$ 、 $ADM_\lambda$  和  $BEM_\lambda$ , 下面逐个介绍.

### 2.2 桥电位 $V_{\lambda E}$ 的定义以及桥电位模块 $BPM_\lambda$

图 3 是  $STAgeADC_\lambda$  架构. 在其  $SADC_\lambda$  中, 由 8 个相等的基准电阻  $R_{\lambda 1} \sim R_{\lambda 8}$  形成了基准电位链, 将基准电压  $0 \sim V_{REF}$  均匀分割成 8 等分, 称为桥电位模块  $BPM_\lambda$ . 该模块中, 等分电压为  $\Delta V$ , 形成 9 阶电位点  $V_{\lambda 0} \sim V_{\lambda 8}$ . 其中  $V_{\lambda 8}$  等于  $V_{REF}$ , 不包括在基准电位点中, 而  $V_{\lambda 0} \sim V_{\lambda 7}$  为其余 8 阶的基准电位点, 即  $V_{\lambda 0} = 0, V_{\lambda 1} = \Delta V, V_{\lambda 2} = 2\Delta V, \dots, V_{\lambda 7} = 7\Delta V$ , 称  $V_{\lambda e}$  为第  $\lambda$  级第  $e$  阶基准电位.

**定义 2** 对于某个瞬间的采样信号  $U_{\lambda Z}$ , 在基准电位链中, 必定存在一个小于并最接近于该采样信号  $U_{\lambda Z}$  的基准电位  $V_{\lambda E}$ , 该基准电位  $V_{\lambda E}$  就是  $STAgeADC_\lambda$  在此

瞬间的桥电位, 即

$$V_{\lambda E} < U_{\lambda Z} < V_{\lambda(E+1)} \quad (1)$$

桥电位  $V_{\lambda E}$  的数学表达为:

$$V_{\lambda E} = INT(U_{\lambda Z}/\Delta V) * \Delta V \quad (2)$$

即, 基于量化单位  $\Delta V$ , 桥电位  $V_{\lambda E}$  就是采样信号  $U_{\lambda Z}$  的整数部分, 尾数电压  $U_{\lambda X}$  就是采样信号  $U_{\lambda Z}$  的小数部分,  $U_{\lambda X} < \Delta V$ ; 尾数电压  $U_{\lambda X}$ 、采样信号  $U_{\lambda Z}$  和桥电位  $V_{\lambda E}$  的关系为:

$$U_{\lambda X} = U_{\lambda Z} - V_{\lambda E} \quad (3)$$

从式(3)中可以看出, 只要得到了桥电位, 就可以直接计算尾数电压, 无须 SDAC. 很显然, 确定桥电位  $V_{\lambda E}$  是关键的第一步, 取出  $V_{\lambda E}$  是关键的第二步.

### 2.3 模块 $ADM$ ——当前级 AD 转换以及桥电位 $V_{\lambda E}$ 确定

根据图 3, 将基准电位  $V_{\lambda 1} \sim V_{\lambda 7}$  对应地接到比较器  $C_{\lambda 1} \sim C_{\lambda 7}$  的反相端, 将采样信号  $U_{\lambda Z}$  接到  $C_{\lambda 1} \sim C_{\lambda 7}$  的同相端, 那么, 当  $U_{\lambda Z}$  高于  $V_{\lambda e}$  的基准电位  $V_{\lambda e}$  时,  $C_{\lambda e}$  输出的比较结果  $I_{\lambda e}$  为高电平, 用“1”表示, 当  $U_{\lambda Z}$  低于  $V_{\lambda e}$  时,  $C_{\lambda e}$  输出的比较结果  $I_{\lambda e}$  为低电平, 用“0”表示. 即, “ $I_{\lambda e} = 1$ ”与“ $U_{\lambda Z} > V_{\lambda e}$ ”等价, “ $I_{\lambda e} = 0$ ”与“ $U_{\lambda Z} < V_{\lambda e}$ ”等价.  $I_{\lambda e}^*$  和  $I_{\lambda e}$  是用导线连通的同一个点, 分别画在了  $C_{\lambda e}$  的输出端和  $S_{\lambda e}$  的下控制点.

$ADM_\lambda =$  比较器链  $C_{\lambda 1} \sim C_{\lambda 7}$  + 编码器, 在某个瞬间,  $C_{\lambda 1} \sim C_{\lambda 7}$  根据采样信号  $U_{\lambda Z}$  会得到一组输出字  $I_{\lambda 1}^* \sim I_{\lambda 7}^*$ , 这组输出字起到两方面作用:

一方面作用是被送到编码器转换成数字信号  $D_{\lambda 2} D_{\lambda 1} D_{\lambda 0}$ , 这一步与流水线 ADC 中的  $SADC_\lambda$  没有区别;

另一方面作用就是确定桥电位  $V_{\lambda E}$ , 我们虽然知道基准电位链中有一个是桥电位  $V_{\lambda E}$ , 但是并不知道是谁, 需要确定. 如果增设  $I_{\lambda 0}$  和  $I_{\lambda 8}$ , 令  $I_{\lambda 0} \equiv 1$  且  $I_{\lambda 8} \equiv 0$ .

**定义 3**  $I_{\lambda 0} \sim I_{\lambda 8}$  中由  $1 \cdots 1$  即将变到  $0 \cdots 0$  的点就是翻转点  $I_{\lambda E}$ .

**命题 1** 与翻转点  $I_{\lambda E}$  下标对应的基准电位  $V_{\lambda E}$  必是桥电位.

**证明** 根据定义 3 可知  $(I_{\lambda 0} \cdots I_{\lambda E}, I_{\lambda(E+1)} \cdots I_{\lambda 8}) = (1 \cdots 1, 0 \cdots 0)$ , 因为  $(I_{\lambda E} = 1$  且  $I_{\lambda(E+1)} = 0)$  等效于  $(V_{\lambda E} < U_{\lambda Z} < V_{\lambda(E+1)})$ , 根据定义 2, 命题 1 得证.

**例 1** 假设  $U_{\alpha Z} = 5.430127\Delta V$ , 因为  $U_{\alpha Z} > (V_{\alpha 0} \sim V_{\alpha 5})$ , 所以  $I_{\alpha 1} I_{\alpha 2} I_{\alpha 3} I_{\alpha 4} I_{\alpha 5} = 11111$ , 因为  $U_{\alpha Z} < (V_{\alpha 6}, V_{\alpha 7})$ , 所以  $I_{\alpha 6} I_{\alpha 7} = 00$ ; 结合  $I_{\alpha 0} \equiv 1$  且  $I_{\alpha 8} \equiv 0$ , 得到:  $I_{\alpha 0} I_{\alpha 1} I_{\alpha 2} I_{\alpha 3} I_{\alpha 4} I_{\alpha 5} I_{\alpha 6} I_{\alpha 7} I_{\alpha 8} = 111111000$ , 翻转点为  $I_{\alpha 5}$ , 确定了桥电位  $V_{\alpha E} = V_{\alpha 5}$ .

$V_{\alpha 5} = 5\Delta V$  是模拟输入信号  $U_{\alpha Z} = 5.430127\Delta V$  与数字输出信号  $D_{\alpha 2} D_{\alpha 1} D_{\alpha 0} = 101$  之间的桥梁, 即桥电位. 实际上, 在任一个瞬间,  $STAgeADC_\lambda$  的基准电位链中必有

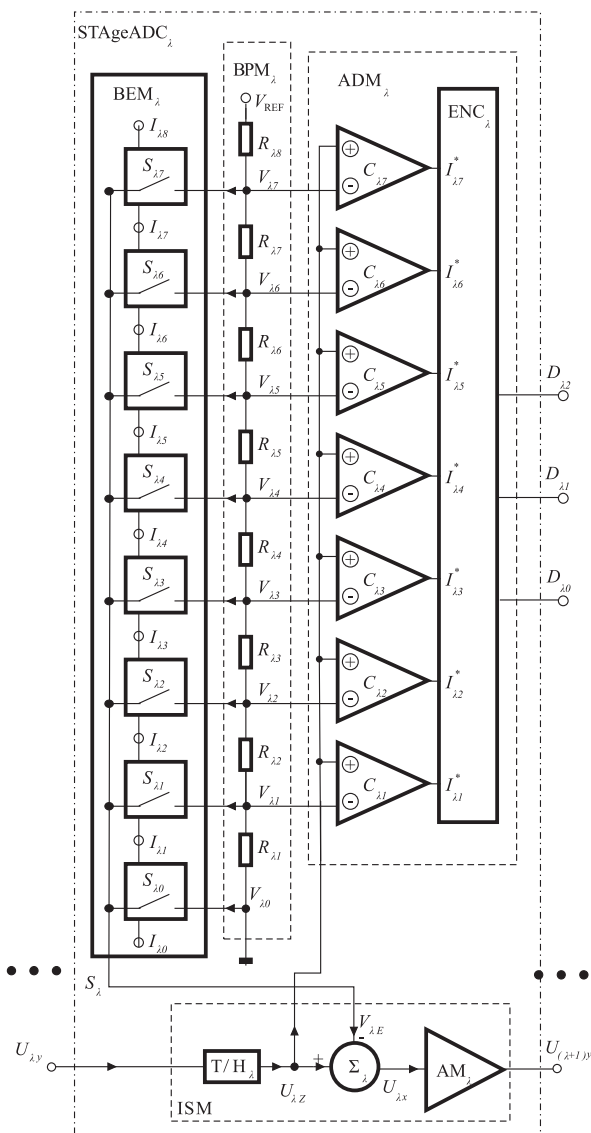


图 3  $STAgeADC_\lambda$  架构细节.  $BPM+ADM=SADC$ ;  
 $BPM+BEM=WBE$  取代 SDAC



$VT_2$ )后,开关同样有效。

### 3.2 翻转点 ON 式开关链结构和原理

桥电位模块 BPM 的电位链中有多个基准电位点,其中有一个电位是桥电位,需要被取出作为输出信号,简称信号。根据目前的方法,信号需要流经多重开关才能够被取出,因此会产生开关误差叠加。比如,对于一个  $n$  位的电阻分压式 DAC,用开尔文分压器,信号需要流经  $n$  重开关才能够被取出。

将开关  $S_{\lambda 0} \sim S_{\lambda 7}$  串联成开关链,并将  $I_{\lambda 0} \sim I_{\lambda 7}$  连接到对应开关  $S_{\lambda 0} \sim S_{\lambda 7}$  的下控制点( $I_{\lambda 8}$  连接到开关  $S_{\lambda 7}$  的上控制点),即,对于  $S_{\lambda e}$  来说,上控制字为  $I_{\lambda(e+1)}$ ,下控制字为  $I_{\lambda e}$ ;同时,将  $S_{\lambda 0} \sim S_{\lambda 7}$  的输入端与电位链上  $V_{\lambda 0} \sim V_{\lambda 7}$  对应连接,将  $S_{\lambda 0} \sim S_{\lambda 7}$  的输出端都接到公共端  $S_{\lambda}$ 。由此构成翻转点 ON 式开关链。

**命题 3** 翻转点 ON 式开关链是一种精确选通方法,不管多少位,信号都只需要流经一重开关就能够被取出。

思路:只有翻转点  $I_{\lambda e}$  特殊,对于相邻的输出字  $I_{\lambda e}$  和  $I_{\lambda(e+1)}$ ,只有  $I_{\lambda e} \neq I_{\lambda(e+1)}$ ,其它 7 对都是  $I_{\lambda e} = I_{\lambda(e+1)}$ ,利用这一特点,根据命题 2 可知,可以使  $S_{\lambda e}$  为 ON 而其它的开关 OFF。

**证明** 因为  $S_{\lambda e}$  以下的开关  $S_{\lambda 0} \sim S_{\lambda(e-1)}$ ,其全部控制字( $I_{\lambda 0} \sim I_{\lambda e}$ )都等于 1,即  $S_{\lambda 0} \sim S_{\lambda(e-1)}$ ,每个开关的上下控制字都相等,根据命题 2,这些开关全部为 OFF;同样, $S_{\lambda e}$  以上的开关  $S_{\lambda(e+1)} \sim S_{\lambda 7}$ ,其全部控制字( $I_{\lambda(e+1)} \sim I_{\lambda 8}$ )都等于 0,即  $S_{\lambda(e+1)} \sim S_{\lambda 7}$ ,每个开关的上下控制字都相等,根据命题 2,这些开关全部为 OFF;只有开关  $S_{\lambda e}$  处于翻转点,其上下控制字不相等,是  $I_{\lambda e} = 1$  且  $I_{\lambda(e+1)} = 0$ ,根据表 1 的状态 3,开关  $S_{\lambda e}$  被选通为 ON。

由此可知,在开关链  $S_{\lambda 0} \sim S_{\lambda 7}$  中,只有处于翻转点的开关  $S_{\lambda e}$  导通,因为  $S_{\lambda e}$  直接连通信号的出发点  $V_{\lambda e}$  和目的点  $S_{\lambda}$ ,所以信号只需要唯一流经开关  $S_{\lambda e}$  就能够被取出。命题 3 得证。

**例 2** 对于采样信号  $U_{az} = 5.430127\Delta V$ ,因为  $I_{\alpha 0} I_{\alpha 1} I_{\alpha 2} I_{\alpha 3} I_{\alpha 4} I_{\alpha 5} = 111111$ ,可知  $S_{\alpha 0} S_{\alpha 1} S_{\alpha 2} S_{\alpha 3} S_{\alpha 4}$  的上下控制字都相等(都等于 1),所以  $S_{\alpha 0} S_{\alpha 1} S_{\alpha 2} S_{\alpha 3} S_{\alpha 4}$  是 OFF;因为  $I_{\alpha 6} I_{\alpha 7} I_{\alpha 8} = 000$ ,可知  $S_{\alpha 6} S_{\alpha 7}$  的上下控制字都相等(都等于 0),所以  $S_{\alpha 6} S_{\alpha 7}$  是 OFF;只有  $S_{\alpha 5}$  的上下控制字不相等,分别为  $I_{\alpha 5} I_{\alpha 6} = 10$ ,所以  $S_{\alpha 5}$  是 ON,将  $V_{\alpha 5}$  取出送到公共端  $S_{\alpha}$ ,在求和器  $\sum_{\alpha}$  处实现  $U_{az} - V_{\alpha e}$ ,得到尾数电压  $U_{\alpha x}$ 。

在 StageADC $_{\lambda}$  中,通常说 AD 转换是将模拟信号  $U_{\lambda z}$  转换为数字信号,这句话准确地说应该是:AD 转换是将模拟信号  $U_{\lambda z}$  的整数部分(即,桥电位  $V_{\lambda e}$ )转换为数字信号,反过来说,SDAC 将数字信号转换成模拟信号,如果是零误差,必然就是整数——桥电位  $V_{\lambda e}$ 。即,

在流水线 ADC 架构中,设置 SDAC $_{\lambda}$  的目的是获取模拟信号  $V'_{\lambda}$ (进而计算尾数电压),如果 SDAC $_{\lambda}$  是零误差,它获取的模拟信号  $V'_{\lambda}$  必定准确地等于桥电位  $V_{\lambda e}$ ,而 SDAC $_{\lambda}$  肯定是有误差的,所以,SDAC $_{\lambda}$  产生的模拟信号  $V'_{\lambda}$  只是一个有误差的桥电位  $V_{\lambda e}$ ,比如上例,就是将  $D_{\alpha 2} D_{\alpha 1} D_{\alpha 0} = 101$  通过 SDAC $_{\alpha}$  转换成模拟信号  $V'_{\alpha}$ ,如果是零误差的转换, $V'_{\alpha}$  应该准确地等于  $5\Delta V$ ,但 SDAC 必定有误差。

**命题 4** 在桥电位 ADC 中没有 SDAC。

**证明** 在桥电位 ADC 架构中,BPM + BEM 被命名为“字桥提取器 WBE”,WBE 取代了 SDAC,完成了对模拟电压的获取,但是 WBE 不等于 SDAC,有三方面不同:(1)结构不同,SDAC 是一个与 SADC 并列的独立结构,而 WBE 中的 BPM 是与 SADC 共用的一部分;(2)工作原理不同,SDAC 是将  $D$  信号转换成  $A$  信号,而 WBE 没有转换过程,是 BEM 按输出字  $I_{\lambda 0} \sim I_{\lambda 8}$  在 BPM 中直接提取桥电位  $V_{\lambda e}$ ;(3)效果不同,SDAC 的 DA 转换避免不了误差,而 WBE 提取的桥电位  $V_{\lambda e}$  是零误差。结论是:桥电位 ADC 中的 WBE 不是 SDAC。

## 4 实验及分析

本实验的目标是检验两个创新点,即桥电位 ADC 架构和翻转点 ON 式零损开关链是否正确,为此,采用了三种方案搭建电路板进行对比研究。

### 4.1 桥电位 ADC 电路板的搭建

**方案 1** 采用传统的采样保持器根据图 3 搭建桥电位 ADC 电路板。这一波实验误差较大。根据原理分析可知,误差主要来自于三项:(1)采样保持器的误差;(2)基准电阻链的精度误差;(3)级间运算放大器的电阻精度误差。

**方案 2** 在方案 1 的基础上有两个改变:(1)将采样保持器旁路,因为采样保持器是为了使多级 STAge-ADC 能够并行处理信息以提高系统总体速度,而速度不是本实验的目标,在此前提下,将采样保持器从系统中旁路剔除,可以排除其对实验目标的干扰;(2)用多个高精度电阻串并联成阵列电阻,形成一个超高精度电阻。这样,三项误差的问题得以解决,测试得到表 2 的高分辨率结果。

**方案 3** 在方案 2 的基础上接入“零损式采样保持器”,在低速 SPS 时效果与方案 2 相同。笔者研发了三种类型的零损式采样保持器,将在后续论文中专题讨论,其中最简单的一种是将目前的采样保持器中的模拟开关换成零损开关,其零损开关的原理与 3.1 节零损开关原理类似。

### 4.2 桥电位 ADC 电路板的测试与分析

实测基准电源  $V_{REF}$  为 (+5.0827V, -5.0326V),则

6 级八进制最小量化单位为  $\Delta = 5.0827V/8^6 = 1.9389 \times 10^{-5}V$ .

表 2 中,给出了一系列十进制电压(实测值)作为信

表 2 桥电位 ADC 电路板的 AD 转换数据,  $U_{az} \rightarrow D_{\alpha 2} D_{\alpha 1} D_{\alpha 0} D_{\beta 2} D_{\beta 1} D_{\beta 0} D_{\gamma 2} D_{\gamma 1} D_{\gamma 0} D_{\delta 2} D_{\delta 1} D_{\delta 0} D_{\epsilon 2} D_{\epsilon 1} D_{\epsilon 0} D_{\zeta 2} D_{\zeta 1} D_{\zeta 0}$

序号	十进制(V)	$D_{\alpha 2} D_{\alpha 1} D_{\alpha 0}$	$D_{\beta 2} D_{\beta 1} D_{\beta 0}$	$D_{\gamma 2} D_{\gamma 1} D_{\gamma 0}$	$D_{\delta 2} D_{\delta 1} D_{\delta 0}$	$D_{\epsilon 2} D_{\epsilon 1} D_{\epsilon 0}$	$D_{\zeta 2} D_{\zeta 1} D_{\zeta 0}$	八进制( $\Delta$ )
0	0.218184	000	010	101	111	110	101	25765 $\Delta$
1	0.935558	001	011	110	001	111	100	136174 $\Delta$
2	1.54778	010	011	011	111	010	100	233724 $\Delta$
3	1.97835	011	000	111	010	010	011	307223 $\Delta$
4	3.0426	100	110	010	011	111	101	462375 $\Delta$
5	3.4911	101	011	111	101	011	001	537531 $\Delta$
6	4.0744	110	011	010	011	011	101	632335 $\Delta$
7	4.8367	111	100	111	001	110	001	747161 $\Delta$

这三个方案实验表明:(1)桥电位 ADC 原理是可行的;(2)用 WBE 取代 SDAC 是可行的;(3)桥电位 ADC 架构提高分辨率的空间是很大的。

## 5 分辨率、功耗、芯片面积、SPS 等性能的定性分析

流水线 ADC 中的 SDAC,目前主流的是电容型 SDAC,但是电流舵型 SDAC 可实现高速且高分辨率,所以在此仅以电流舵型 SDAC 为对象,在同等技术水平条件下,桥电位 ADC 与流水线 ADC 进行定性分析对比。

### 5.1 分辨率

桥电位 ADC 可实现高分辨率主要取决于两点:(1)基准电阻链的精度较容易控制,而且电阻很容易实现大阵列化,进一步以概率方法提高精度;(2)WBE 提取的桥电位是零误差。相比较,(1)流水线 ADC 中电流舵型 SDAC 的权电流源的精度提高难度要大很多;(2)SDAC 转换得到的是有误差的桥电位。所以,桥电位 ADC 的分辨率要高于流水线 ADC 的分辨率。

### 5.2 功耗和芯片面积

这是 WBE 与 SDAC 的对比,电流舵型 SDAC 中,单位权电流为  $I_0$ ,总权电流随着位数  $n$  的提高而呈几何增长,当  $n=16$  时,总权电流高达  $2^{16} \times I_0$ ,再加大  $n$  值其功耗是难以接受的,芯片面积同理。相比较,WBE 中 BPM 是 SADC 中本来就存在的,只有 BEM 是增加项,以本文 3 位  $\times$  6 级为例,每个 StageADC 中的 BEM 相同,都是由  $2^3$  个零损开关构成,零损开关数与  $n$  的增加呈线性关系,末级不要 BEM,前 5 级共由  $2^3 \times 5$  个零损开关构成,其功耗远小于 SDAC 的功耗,芯片面积同理。

### 5.3 转换时间

#### 5.3.1 时间段对比分析

桥电位 ADC 的 StageADC 转换时间由 4 个时间段构成:(1)跟踪保持;(2)并行式 A/D 转换;(3)零损开

关提取桥电位;(4)求和放大计算。

流水线 ADC 的 StageADC 转换时间也由 4 个时间段构成:(1)跟踪保持;(2)并行式 A/D 转换;(3)D/A 转换;(4)求和放大计算。

两者的时间段(1)、(2)、(4)相同,仅仅需要对比时间段(3)。

5.3.2 时间段(3)的速度对比分析

WBE 中,零损开关由集成运放和三极管构成。其开/关时间等于集成运放和三极管通断时间之和。

电流舵型 SDAC 由集成运放和电流舵构成,其转换时间等于集成运放和电流舵通断时间之和。

电流舵的速度低于三极管的速度,所以,电流舵型 SDAC 的速度低于 WBE 的速度。

5.3.3 噪声、线性度等指标

噪声、线性度等其它指标主要涉及到采样保持器和级间运算放大器,拟后续另文讨论。

6 结论和展望

(1)提出了桥电位的概念、桥电位 ADC 架构;(2)提出了确定桥电位的方法和直接提取桥电位用以计算尾数电压的思路;(3)提出了翻转点 ON 式零损开关链结构和原理,用它获取桥电位只需要经过一道开关而且是零损开关,所以在提取桥电位时实现零损耗;(4)流水线 ADC 中的 SDACs 被丢弃,一些主要指标,如:分辨率、芯片面积、能耗、速度和噪声等必将发生重大改变,需要进行大量的进一步的理论研究和实验。

参考文献

[1] Franco Maloberti. Data Converters [M]. Xi'an: Xi'an Jiaotong University Press (reprint authorized by Springer-Verlag), 2010.

[2] Razavi B. Principles of Data Conversion System Design

- [M]. New York:IEEE Press,1995.
- [3] 黄显洋,李树荣,姚素英.一种适用于高速高精度流水线ADC的放大器[J].电子学报,2006,34(1):131-134.  
HUANG Xian-yang, LI Shu-rong, YAO Su-ying. An amplifier for high speed high accuracy pipelined ADC[J]. Acta Electronica Sinica, 2006, 34(1):131-134. (in Chinese)
- [4] 王百鸣,等.两种A/D转换新方法——流水并行式和流水逐次逼近比较式[J].数据采集与处理,2000,15(4):511-515.
- [5] LIU Haitao, WU Junjie, et al. A 14b 250MSps pipelined ADC with digital self-calibration in 0.18 $\mu$ m CMOS process [J]. Chinese Journal of Electronics, 2018, 27(3): 535-539.
- [6] 魏子辉,黄水龙,单强.采用环型运放的12-bit 40-MS/s采样保持电路设计实现[J].电子学报,2017,45(12):2890-2895.  
WEI Zi-hui, HUANG Shui-long, SHAN Qiang. Implementation of a 12-bit 40-MS/sample-and-hold circuit with a ring amplifier[J]. Acta Electronica Sinica, 2017, 45(12): 2890-2895. (in Chinese)
- [7] Cai Hua, Li Ping, Cen Yuanjun, et al. A 14-bit 80 MS/s CMOS ADC with 84.8 dB SFDR and 72 dB SNDR [J]. Journal of Semiconductors, 2012, 33(2):025012.
- [8] Wang Yu, Yang Haigang, Yin Tao, et al. A 12-bit, 40-Ms/s pipelined ADC with an improved operational amplifier [J]. Journal of Semiconductors, 2012, 33(5):005004.
- [9] Chen Qixing, Luo Qiyu. Multi-stage parallel super-high-speed ADC and DAC of logarithmic companding law [P]. US patent No. US 9,136,852 B2, 2015-09-15.
- [10] 陈启星,罗启宇.对数コンパanding比率複数同時実行式超高速ADC及びDACの級電位アーキテクチャ[P].特願2014-549348,2016-12-07.
- [11] Chen Qixing, Luo Qiyu. The architecture design of a 2mW 18-bit high speed weight voltage type DAC based on dual weight resistance chain [J]. Journal of Semiconductors, 2013, 34(3):035010.
- [12] Chen Qixing, Luo Qiyu. Replacement type DAC/ADC and realizing method for logarithm compression ratio [J]. Journal of Data Acquisition & Processing, 2007, 22(1):115-120.
- [13] Luo Qiyu, Chen Qixing. A weight voltage DAC been chained by weight resistance [J]. Computer and Information Technology, 2011, 19(4):18-21.
- [14] Chen Qixing. SNR optimized replacement type A/D and D/A converter [P]. SIPO of China, Patent No. ZL 0312 4 548X, 2010-04-14.
- [15] Chen Qixing, Luo Qiyu. Replacement type grading parallel method research on ultra-high speed AD converter [J]. Computer and Information Technology, 2005, 13(1):1-4.

#### 作者简介



陈启星 男,1956年6月出生,长沙人,任教于湖南城建职业技术学院长沙校区机电系,副教授.和罗启宇合作研究ADC/DAC已18年,其多个创新架构已获得中国、美国、日本发明专利权.在多种核心期刊上发表论文十余篇.  
E-mail: chenqixing@126.com



罗启宇 男,1954年10月出生,长沙人,就职于中国电子进出口总公司,高级工程师.  
E-mail: luo5536@qq.com