

基于 QCA 的五输入 Majority 门设计及应用

李俊文, 夏银水

(宁波大学电子信息与工程学院, 浙江宁波 315211)

摘 要: Majority 门作为多数逻辑电路的基本逻辑单元, 其性能直接影响整体电路的质量. 使用量子元胞自动机 (QCA) 设计 Majority 门具有结构简单的优点. 本文提出了一种三层电路实现五输入 Majority 门的设计, 并以此设计了全加器, 进一步应用于多位加法器和乘法器中, 与已发表的电路设计比较表明, 其版图使用面积和元胞数有明显的减少, 加法器元胞数和面积改进最高可达 43% 和 87.2%, 乘法器元胞数和面积改进最高可达 48.2% 和 100%.

关键词: 量子元胞自动机; 多电路层设计; 五输入 Majority 门; 全加器; 乘法器

中图分类号: TN402 **文献标识码:** A **文章编号:** 0372-2112(2019)02-0404-06

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2019.02.020

Quantum-Dot Cellular Automata Based Design of Five-Input Majority Gate and Its Applications

LI Jun-wen, XIA Yin-shui

(Faculty of Information Science and Technology, Ningbo University, Ningbo, Zhejiang 315211, China)

Abstract: Majority gate is core element of Majority logic circuit that affects the overall performance of circuit. The majority gate designed in Quantum-Dot Cellular Automata (QCA) has the advantage of simple structure. In this paper, a five-input majority gate with triple-layer design is proposed. Based on the designed five-input majority gate, full adder, adder and multiplier are designed. Compared with previous design, the simulation results show the number of QCA cells and area of the proposed adder are improved up to 43% and 87.2% respectively while those of the proposed multiplier are improved up to 48.2% and 100% respectively.

Key words: quantum-dot cellular automata; multilayer gate design; five-input majority gate; full adder; multiplier

1 引言

多数逻辑电路由 Majority 门与反相器构成. 相较于传统的利用与非门构建电路, 利用反相器和 Majority 门设计电路能够进一步优化电路的性能^[1]. 而 Majority 门作为其中最基本的逻辑门, 其性能好坏直接影响到电路整体性能. 由于利用传统的 CMOS 技术设计的 Majority 门结构复杂^[2], 以此设计的电路相较于基于布尔逻辑设计的电路在性能上并无较大的优势. 因此不少研究者将目光转向量子元胞自动机 (QCA)^[3]. 量子元胞自动机的实验研究目前已取得较大进展, 现已有多种材料和方法实现 QCA 器件^[4]. Majority 门作为 QCA 电路的基本逻辑单元, 利用 QCA 设计的 Majority 门结构简单、性能良好, 因而受到不少研究的关注.

随着电路复杂度的上升, 传统的三输入 Majority 门逐渐无法满足现有的需求. Amarú 等^[5]证明了使用更多输入 Majority 门能进一步减少 QCA 电路的逻辑深度, 减少 Majority 门的个数, 从而缩小面积, 减少元胞数目. 因此, 不少研究将目光转向更多输入 Majority 门的设计. Navi 等^[6]提出了五输入 Majority 门的设计, 如图 1(a) 所示. 但该设计的输出端在 Majority 门内部, 因此连线较为复杂. Roohi 等^[7]设计了由两个时钟控制的五输入 Majority 门, 如图 1(b) 所示. 当将五输入 Majority 门应用于全加器和乘法器等设计时, 可将其中两个输入端并联构成五输入 Majority 门的变体, 如图 1(c)、图 1(d) 所示. 以此设计的全加器等电路时能够显著减少元胞数和版图面积^[8,9].

以上四种五输入 Majority 门均基于单电路层设计, 然而图 1(a) 所设计的五输入门输出端放置于电路内

部. 图 1(d) 输入端 A、C、D 之间过于靠近, 连入这三个输入端的传输线会对输入端产生干扰. 图 1(b)、(c) 虽然将输出端设置在电路外部并且解决了输入端过于靠近的问题, 但这是以增加五输入 Majority 门的面积为代价的. 为避免输入端之间过于靠近互相干扰同时减少电路的版图面积, Kumar 等^[10] 提出了基于多电路层的设计思想设计的五输入 Majority 门, 如图 1(e) 所示. 其

设计由于输入输出端分布于多个电路层, 优化了电路连线, 减少了电路的互连长度. 但电路需用五个电路层, 这增加了额外成本和制造复杂度.

本文提出一种通过三层电路实现的五输入 Majority 门设计, 并以此为基础设计了全加器, 进而将其应用于加法器与乘法器中, 比较结果表明在使用相同电路层数的情况下, 其性能有明显的提高.

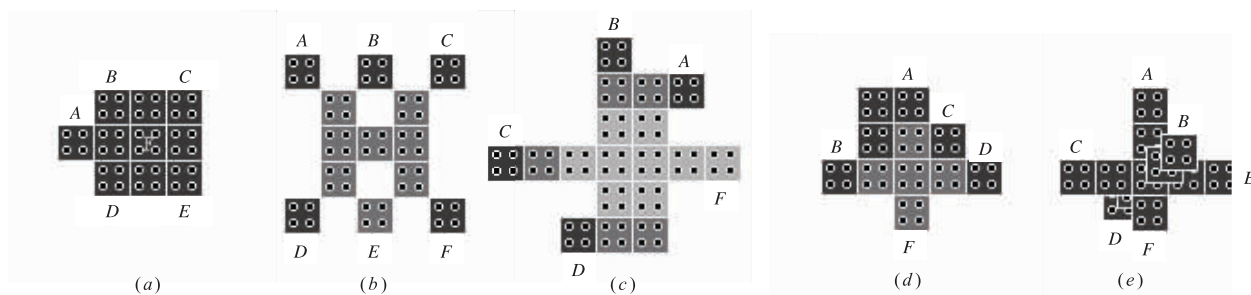


图 1 五输入 Majority 门设计

2 量子元胞自动机原理及设计方法

QCA 元胞是构成 QCA 电路的基本单元, 其模型如图 2 所示. 它由处于正方形四角的 4 个量子点以及 2 个额外的电子组成, 其电子由于隧穿效应可以在四个量子点中移动而不会穿越元胞. 由于电子间的库仑排斥力作用, 元胞中的两个电子会尽可能相互远离从而处于对角线的两个量子点上. QCA 元胞存在两种极化状态 $P = +1$ 和 $P = -1$ 分别代表二进制信息的 1 和 0. 信息传输的方向和能量的提供则由四个相位依次相差 90° 的时钟提供^[11], 如图 3 所示, 四个时钟分别表示时钟 0、时钟 1、时钟 2、时钟 3.

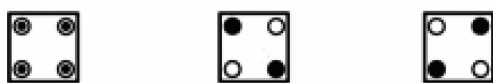


图 2 QCA 元胞

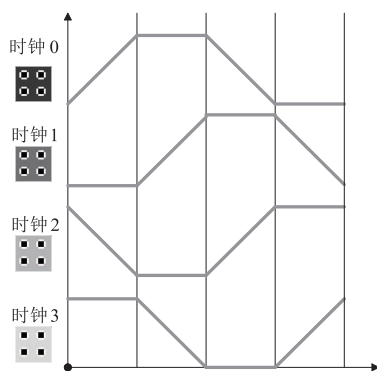
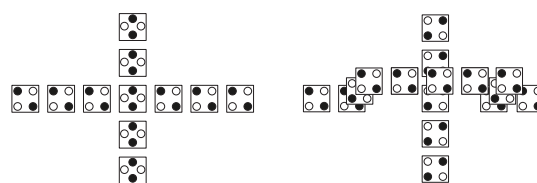


图 3 QCA 时钟

2.1 QCA 线的交联设计

如图 4 所示, QCA 线交联方式有两种: 共面交联和异面交联^[12]. 共面交联利用旋转元胞构成传输线与一

般传输线在同一电路层交叉, 保证垂直方向与水平方向的信息互不干扰. 异面交联则通过多个电路层将交叉的电路以类似跨越的方式避免相互干扰. 尽管共面交联具有结构简单、使用电路层少等优点, 然而由于其使用的旋转元胞会对电路可靠性造成影响^[13], 因此现有的 QCA 电路设计大多依然采用异面交联方式, 利用这种交联方式的电路需要至少三个电路层.



(a) 共面交联

(b) 异面交联

图 4 共面交联和异面交联

2.2 基于 QCA 的门电路的设计方法

基于 QCA 的门电路设计方法可以分为两种: 单电路层设计方法和多电路层设计方法.

单电路层设计方法即将逻辑门电路设计于同一电路层, 基于此方法设计的门电路结构简单, 不需要额外的电路层, 然而由于所有输入输出端口均处于同一电路层, 这会导致传输线产生交叉, 降低电路的可靠性.

相较于单电路层设计, Kumar^[10] 等所使用的多电路层设计方法还利用了不同电路层元胞的耦合关系实现逻辑功能, 并可以将门电路的输入输出端布置于多个电路层中, 从而有效避免传输线交叉, 且具有主电路层使用面积小的优点, 杜化鲲^[14] 等将此方法进一步用于整个电路设计, 其设计的多电路层 JK 触发器性能相较于以往设计有进一步提升.

2.3 基于 QCA 的全加器电路

作为数字系统中算术运算的最关键的单元电路之一,全加器的性能将决定整个电路的综合性能.因此,其设计研究受到广为重视.

Cho 等^[15]通过化简求和输出的逻辑表达式,将进位输出作为求和输出的输入信号之一,采用三输入 Majority 门和反相器为基本单元设计全加器. Pudi 等^[16]进一步优化求和输出的逻辑表达式,减少了反相器数量,简化了全加器电路. Amarú 等^[6]的研究表明,若使用五输入 Majority 门设计全加器,可以设计出更加精简的全加器电路.

Navi 等^[6]利用其所提出的五输入 Majority 门设计了加法器,然而其输入输出端在全加器内部,扩展性较差. Kumar 等^[10]提出了使用五个电路层的全加器设计,其面积和元胞数上以及延时上具有优势,但是其应用于四位以上加法器时无法正常工作. 刘帅等^[9]将五输入 Majority 门进行改进,将其中两个输入端并为一个,以此设计的加法器进一步减少了面积和元胞数. 应该指出的是,上述文献中使用基于单电路层方法设计的三输入和五输入 Majority 门作为基本单元设计的全加器^[6,15,16]由于传输线交叉等问题,实际需要三层或更多的电路层.

2.4 基于 QCA 的乘法器电路

与加法器一样,乘法器是算术运算电路的基本功能电路,其性能好坏直接影响系统的性能.

Cho 等^[15]通过将全加器的进位输出增加时钟延迟,接入全加器的进位输入中,设计了位串行加法器 (Bit-Serial Adder). 其基于 FIR 滤波网络,利用位串行加法器和与门设计了进位延迟乘法器,乘法器通过将乘数的由最低位开始依次与被乘数相乘并进行移位相

加以实现乘法功能. 输出端由时钟推动将乘积由最低位开始依次输出直至最高位.

刘帅等^[9]将五输入 Majority 门应用于位串行加法器中,进一步减少了逻辑门的数量,其设计的乘法器使用的元胞数和面积较 Cho 等人的设计进一步减少.

3 五输入 Majority 门设计及其应用

3.1 基于 QCA 的五输入 Majority 门

由于现有基于五输入 Majority 门实现的电路大多至少需要三个电路层. 为了减小电路的面积以及所使用的元胞数目,所提出的五输入 Majority 门利用三层电路实现,如图 5 所示,其中图 5(a)、(b)、(c)分别表示电路的底层、中间层和高层,图 5(d)为所提出电路设计的立体图. 由于垂直相邻的元胞极性相反,且为了避免相邻电路层的元胞互相干扰,输入端分别放置于电路层的底层和高层. 为在输出端 F 处能正确表达输入信号 A 、 B 、 C 和 D 、 E 之间的关系,需要在底层 ($x5, y2$) 和中间层 ($x5, y1$) 处放置元胞. 电路特点之一是各输入端到达输出端的路径长度相同,整个电路使用了 15 个元胞,正常工作需要两个时钟驱动,其中底层的 ($x2, y1$)、($x4, y3$)、($x6, y3$) 和顶层的两个元胞由时钟 0 驱动,其余元胞则由时钟 1 驱动. 由于输入端之间距离较远,且分布在两个电路层中,减少了线路交联的可能性,输出端放置与电路外部,利于连线.

对所提出的电路采用 QCADesigner 进行了仿真,结果如图 6 所示. 其中 A 、 B 、 C 、 D 、 E 为输入信号,且频率依次为前一个输入信号的两倍, F 为输出信号. 可以看出所设计的五输入 Majority 门逻辑功能正确.

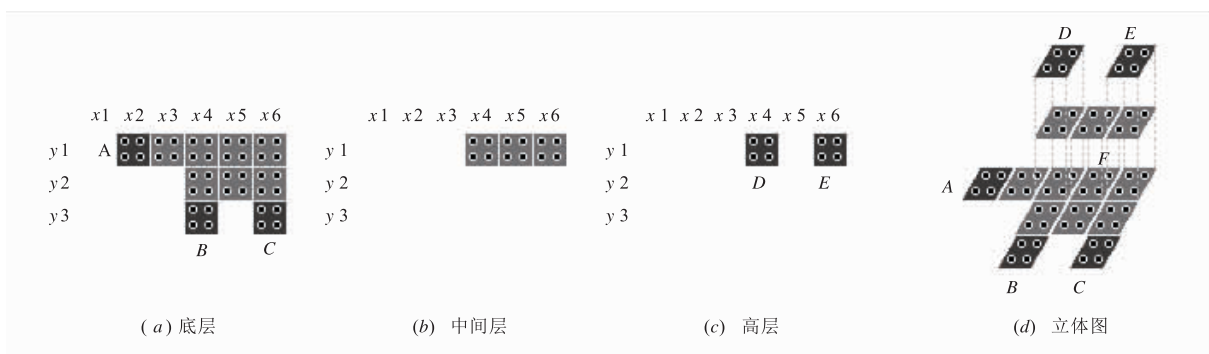


图5 所提出的五输入 Majority 门

3.2 基于 Majority 门的全加器设计

相较以往仅使用三输入 Majority 门与反相器作为基本的逻辑单元设计的全加器,将五输入 Majority 门应用于全加器设计可以使结构更加精简. 进位和求和输出的逻辑表达式为:

$$C_o = Maj_3(A, B, C) \quad (1)$$

$$Sum = Maj_5(A, B, C, \overline{C_o}, \overline{C_o}) \quad (2)$$

其中 C_o 、 Sum 、 A 、 B 、 C_i 分别代表进位输出、求和输出、加数输入、被加数输入和进位输入.

利用所提出的五输入 Majority 门构成的全加器电路结构图如图 7 所示.

全加器的版图如图 8 所示. 图 8(a)、(b)、(c)分别代表电路的底层、中间层和顶层. 所设计的全加器由一个五输入 Majority 门,一个三输入 Majority 门和一个反

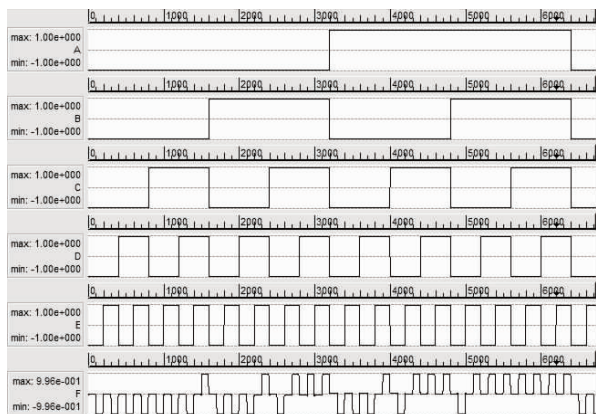


图6 所提出的五输入Majority门仿真结果

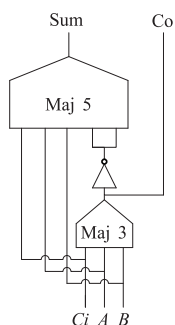


图7 所设计的全加器电路结构图

相器构成. 可以看出, 全加器的求和输出和进位输出分别是 0.75 个时钟周期和 0.5 个时钟周期. 由于所提出的五输入 Majority 门所设计的全加器输入、输出端位于多个电路层, 因此输入信号 A 、 B 通过高层电路接入五输入 Majority 门, 这不仅减少了主电路层的面积, 而且缩短了传输线长度, 减少了元胞数, 避免了输入信号之间的相互干扰, 同时由于输入、输出端位于电路边界, 利于与其他电路进行级联.

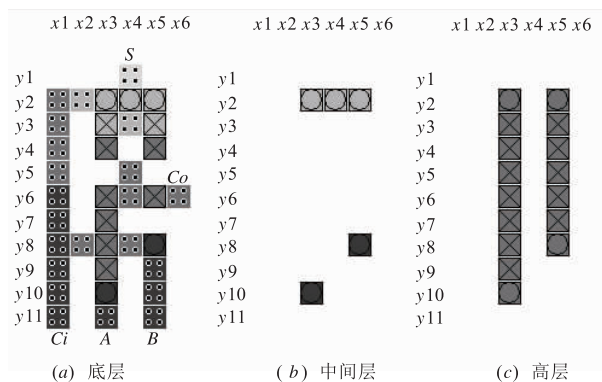


图8 所设计的全加器版图

表 1 列出了所设计的全加器与已发表的全加器的比较结果. 表中第一列为电路名称, 本文所设计的全加器为“Ours”, 已发表的全加器用作者名加文献号表

示. 第二列为各全加器所使用的元胞数目. 第三列为版图的长宽尺寸, 第四列为全加器的版图面积, 版图面积 = 长 × 宽, 其中个别列存在较小误差. 第五列为全加器的输出延时. 第六列为各全加器所需的电路层数. 可以看到 Kumar^[10] 所设计的全加器在面积和延时等方面最佳. 但是该设计使用了五个电路层, 增加了电路制造难度. 而所设计的全加器相较于基于三层电路设计全加器, 具有延时、元胞数和面积最小的优势.

表 1 全加器对比

电路名称	元胞数目	长 × 宽 (nm × nm)	面积 (nm ²)	延时 (clock)	电路层数
Ours	57	124 × 255	31 673	0.75	3
Pudi[16]	78	198 × 338	66 924	1	3
Cho[15]	86	178 × 298	53 044	0.75	3
Liu[9]	66	158 × 282	44 583	0.75	3
Kumar[10]	36	178 × 98	17 440	0.5	5

3.3 加法器

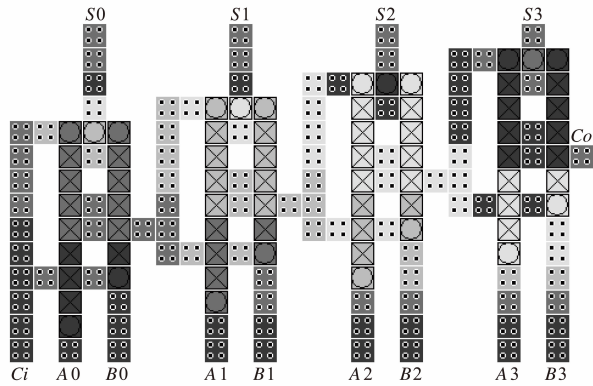
本文以所设计的全加器为基础, 实现了四位加法器, 其元胞图如图 9(a) 所示. 图 9(b) 为基于 QCADesigner 的仿真结果. 对所设计的 4、8、16、32、64 位加法器与已发表的相应位数的加法器进行了仿真对比. 各加法器所使用的元胞数以及延迟如表 2 所示, 所设计的加法器用“Ours”表示, 已发表的加法器用作者名加文献号表示. 可以看出本文所设计的加法器不但具有最小时延, 而且使用的元胞数目和面积相较其他几种加法器均有明显的改进. 应该指出的是, 虽然 Kumar^[10] 所设计的全加器在各方面均优于其余的全加器, 但其扩展至四位加法器时, 由于仿真结果显示已无法正常工作, 因此不作为比较对象.

表 2 加法器对比

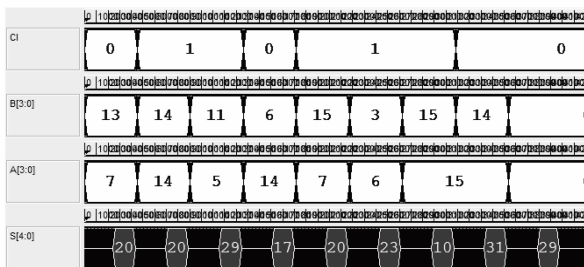
加法器位数	类型	元胞数目	长 × 宽 (μm × μm)	面积 (μm ²)	延迟 (clock)	比较	
						元胞数	面积
4	Ours	237	0.51 × 0.36	0.19	1.5	-	-
	Liu[9]	279	0.62 × 0.38	0.23	1.5	17.7%	21.1%
	RCA[15]	339	0.82 × 0.31	0.25	1.75	43.0%	31.6%
8	Ours	519	0.99 × 0.46	0.46	2.5	-	-
	Liu[9]	584	1.18 × 0.51	0.60	2.5	12.5%	30.4%
	RCA[15]	712	1.62 × 0.46	0.75	2.75	37.2%	63.0%
16	Ours	1 227	1.93 × 0.58	1.12	4.5	-	-
	Liu[9]	1 356	2.30 × 0.62	1.42	4.5	10.5%	26.8%
	RCA[15]	1 602	3.22 × 0.62	2.00	4.75	30.6%	78.6%
32	Ours	3 284	3.85 × 0.90	3.45	8.5	-	-
	Liu[9]	3 476	4.54 × 0.94	4.26	8.5	5.8%	23.5%
	RCA[15]	3 901	6.46 × 1.00	6.46	8.75	18.8%	87.2%
64	Ours	9 636	7.72 × 1.56	12.01	16.5	-	-
	Liu[9]	10 020	9.02 × 1.58	14.24	16.5	4.0%	18.6%
	RCA[15]	10 926	12.9 × 1.66	20.92	16.75	13.4%	74.2%

3.4 乘法器

将所设计的全加器修改为位串行加法器, 其电路



(a) 四位加法器元胞图



(b) 四位加法器仿真结果

图9 四位加法器的元胞图和仿真结果

图与元胞图如图 10 所示. 它由一个五输入 Majority 门, 一个反相器和一个三输入 Majority 门构成. 其中 D 表示时钟延迟, 用以实现乘法器中所需要的移位相加功能. 其依然保持全加器设计中的使用元胞数较少, 便于连线的优点.

进而利用与门和位串行加法器进行相乘和移位相加的计算以实现乘法运算, 构成乘法器网络, 其四位乘法器的元胞图以及仿真结果如图 11 所示. 其中, 将三输入 Majority 门中的一个输入端元胞固定极性为 -1, 以实现“与”功能. 对所设计的 4、8、16、32、64 位乘法器与已发表的相应位数的乘法器进行了仿真对比^[9,15], 其结果如表 3 所示, 所设计乘法器为“Ours”, 已发表的全加器用作者名加文献号表示. 可以看出, 在相同延时下, 本文所设计的乘法器的面积和元胞数目有明显的减少.

表 3 乘法器对比

乘法器位数	类型	元胞数目	长×宽 ($\mu\text{m} \times \mu\text{m}$)	面积 (μm^2)	延迟 (clock)	比较	
						元胞数	面积
4	Ours	274	0.73 × 0.34	0.25	1	-	-
	Liu[9]	292	0.85 × 0.34	0.29	1	6.6%	16.0%
	CDM[15]	406	1.05 × 0.47	0.50	1	48.2%	100.0%
8	Ours	627	1.53 × 0.36	0.55	1	-	-
	Liu[9]	682	1.73 × 0.40	0.70	1	8.8%	27.3%
	CDM[15]	903	2.12 × 0.47	1.00	1	44.0%	81.8%
16	Ours	1441	3.16 × 0.43	1.35	1	-	-
	Liu[9]	1549	3.56 × 0.45	1.59	1	7.5%	17.8%
	CDM[15]	1999	4.19 × 0.47	1.97	1	38.7%	45.9%

续表

乘法器位数	类型	元胞数目	长×宽 ($\mu\text{m} \times \mu\text{m}$)	面积 (μm^2)	延迟 (clock)	比较	
						元胞数	面积
32	Ours	3455	6.43 × 0.61	3.92	1	-	-
	Liu[9]	3673	7.05 × 0.63	4.44	1	6.3%	13.3%
	CDM[15]	4575	8.47 × 0.65	5.51	1	32.4%	40.6%
64	Ours	9299	12.90 × 1.03	13.27	1	-	-
	Liu[9]	9739	14.2 × 1.02	15.52	1	4.7%	17.0%
	CDM[15]	11264	16.84 × 0.95	16.00	1	21.1%	20.6%

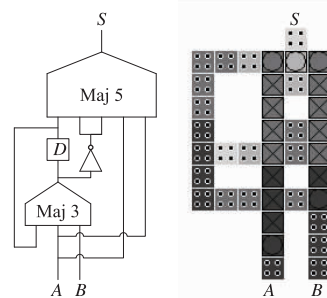
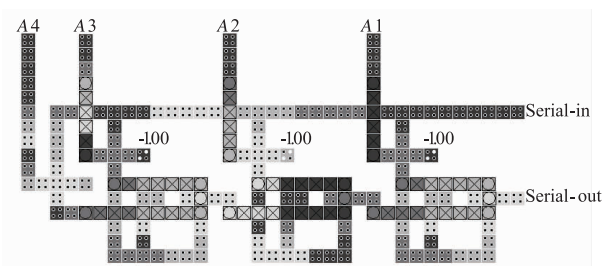
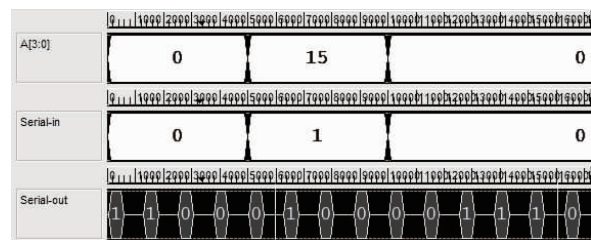


图10 位串行加法器电路图和元胞图



(a) 四位乘法器的元胞图



(b) 四位乘法器的仿真结果

图11 四位乘法器元胞图及仿真结果

4 结语

本文设计了一种由三层电路实现的五输入 Majority 门. 由于所设计的五输入 Majority 门输入输出端均处于门电路边界, 且位于不同的电路层中, 连线简单, 避免了线路共面交叉. 以此为基础设计的全加器在保持电路层数和延时最小的情况下, 较以往的全加器设计元胞数和面积都有明显的减小.

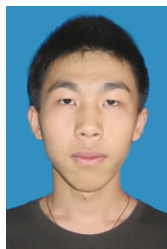
为进一步验证其性能, 将所设计的全加器拓展为多位加法器及乘法器网络. 基于 QCADesigner 的仿真结果比较表明, 利用本文提出的五输入 Majority 门设计的

加法器和乘法器不仅时延最小,且加法器元胞数和面积改进最高可达 43% 和 87.2%,乘法器元胞数和面积改进最高可达 48.2% 和 100%。然而,应该指出的是,随着位数的增加,由于传输线在电路中所占的面积比重的上升,其优势可能会有所下降。

参考文献

- [1] Gaillardon P E, Micheli G D. Majority-inverter graph: A novel data-structure and algorithms for efficient logic optimization[A]. San Francisco, CA, USA: Design Automation Conference[C]. ACM, 2014. 1 – 6.
- [2] 孙宇,郭靖,朱磊. 基于排序网络的大数逻辑门电路设计[J]. 微电子学与计算机, 2016, 33(6): 123 – 125.
Sun Yu, Guo Jing, Zhu Lei. Design of majority logic gate circuitry based on sorting networks[J]. Microelectronics & Computer, 2016, 33(6): 123 – 125. (in Chinese)
- [3] Lent C S, Tougaw P D, Porod W. Bistable saturation in coupled quantum dots for quantum cellular automata[J]. Applied Physics Letters, 1993, 62(7): 714 – 716.
- [4] 杨晓阔,蔡理,李政操,等. 量子元胞自动机器件和电路的研究进展[J]. 微纳电子技术, 2011, 48(12): 754 – 760.
Yang Xiao-kuo, Cai Li, Li Zheng-cao, et al. Research-progress of quantum dot cellular automata device and circuits[J]. Micronanoelectronic Technology, 2011, 48(12): 754 – 760. (in Chinese)
- [5] Amarú L, Gaillardon P E, Chattopadhyay A, et al. A sound and complete axiomatization of majority-n, logic[J]. IEEE Transactions on Computers, 2015, 65(9): 2889 – 2895.
- [6] Navi K, Sayedsalehi S, Farazkish R, et al. Five-input majority gate, a new device for quantum-dot cellular automata[J]. Journal of Computational & Theoretical Nanoscience, 2010, 7(8): 1 – 8.
- [7] Roohi A, Khademolhosseini H, Sayedsalehi S, et al. A symmetric quantum-dot cellular automata design for 5-input majority gate[J]. Journal of Computational Electronics, 2014, 13(3): 701 – 708.
- [8] Hashemi S, Tehrani M A, Navi K. An efficient quantum-dot cellular automata full-adder[J]. Scientific Research & Essays, 2012, 7(2): 177 – 189.
- [9] 刘帅,解光军,张永强,等. 基于改进五输入择多门的 QCA 全加器设计及应用[J]. 电子学报, 2015, 43(2): 387 – 392.
Liu Shuai, Xie Guang-jun, Zhang Yong-qiang, et al. The design and application of QCA full adder based on improved five-input majority gate[J]. Acta Electronica sinica, 2015, 43(2): 387 – 392. (in Chinese)
- [10] Kumar R, Ghosh B, Gupta S. Adder design using a 5-input majority gate in a novel “multilayer gate design paradigm” for quantum dot cellular automata circuits[J]. Journal of Semiconductors, 2015, 36(4): 95 – 103.
- [11] 夏银水,裘科名. 基于量子细胞自动机的数值比较器设计[J]. 电子与信息学报, 2009, 31(6): 1517 – 1520
Xia Yin-shui, Qiu Ke-ming. Comparator design based on quantum-dot cellular automata[J]. Journal of Electronics and Information Technology, 2009, 31(6): 1517 – 1520. (in Chinese)
- [12] 岳洋洋,解光军,吕洪君. 改进型 QCA 共面交叉电路的可靠性分析[J]. 微纳电子技术, 2012, 49(6): 25 – 30
Yue Yang-yang, Xie Guang-jun, Lü Hong-jun. Reliability analysis of the improved QCA coplanar crossover circuit[J]. Micronanoelectronic Technology, 2012, 49(6): 25 – 30. (in Chinese)
- [13] 刘帅. 基于 QCA 的全加器设计与应用研究[D]. 合肥工业大学, 2016.
- [14] 杜化鲲,吕洪君,黄程,等. 基于 QCA 的双边沿 JK 触发器的实现[J]. 电子学报, 2017(8): 2044 – 2048.
Du Hua-kun, Lü Hong-jun, Huang Cheng, et al. Implementation of the dual-edge triggered JK flip-flop based on QCA[J]. Acta Electronica sinica, 2017(8): 2044 – 2048. (in Chinese)
- [15] Cho H, Jr E E S. Adder and multiplier design in quantum-dot cellular automata[J]. IEEE Transactions on Computers, 2009, 58(6): 721 – 727.
- [16] Pudi V, Sridharan K. Low complexity design of ripple carry and brent – kung adders in QCA[J]. IEEE Transactions on Nanotechnology, 2012, 11(1): 105 – 119.

作者简介



李俊文 男, 1994 年生, 硕士生. 研究方向是量子逻辑电路设计研究.
E-mail: 401088712@qq.com



夏银水 (通信作者) 男, 1963 年生, 研究员, 博士生导师. 研究方向为集成电路设计自动化、低功耗集成电路设计和量子电路设计研究.
E-mail: xiayinshui@nbu.edu.cn