

纳米级 CMOS 集成电路的 单粒子效应及其加固技术

赵元富, 王 亮, 岳素格, 孙永姝, 王 丹, 刘 琳, 刘家齐, 王汉宁

(北京微电子技术研究所, 北京 100076)

摘 要: 空间应用的集成电路受到辐射效应的影响, 会出现瞬态干扰、数据翻转、性能退化、功能失效甚至彻底毁坏等问题. 随着器件特征尺寸进入到 100nm 以下(以下简称纳米级), 这些问题的多样性和复杂性进一步增加, 单粒子效应成为集成电路在空间可靠性应用的主要问题, 给集成电路的辐射效应评估和抗辐射加固带来了诸多挑战. 本文以纳米级 CMOS 集成电路为研究对象, 结合近年来国内外的主要技术进展, 介绍研究团队在 65nm 集成电路单粒子效应和加固技术方面的研究成果, 包括首次提出的单粒子时域测试和分析方法、单粒子多节点翻转加固方法和单粒子瞬态加固方法等.

关键词: 集成电路; 纳米级; 单粒子效应; 抗辐射加固

中图分类号: TN43 **文献标识码:** A **文章编号:** 0372-2112 (2018)10-2511-08

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2018.10.027

Single Event Effect and its Hardening Technique in Nano-scale CMOS Integrated Circuits

ZHAO Yuan-fu, WANG Liang, YUE Su-ge, SUN Yong-shu, WANG Dan, LIU Lin, LIU Jia-qi, WANG Han-ning
(Beijing Microelectronics Technology Institute, Beijing 100076)

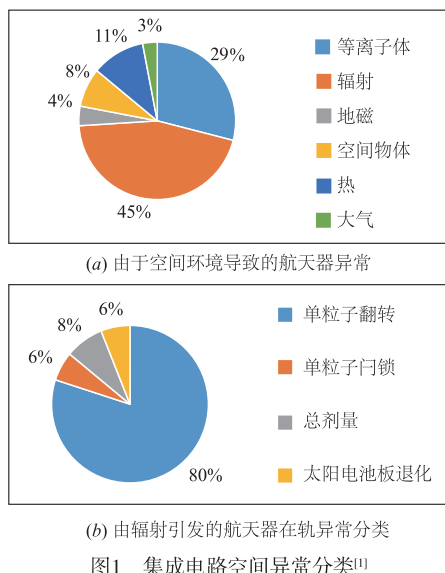
Abstract: The integrated circuits used in aerospace can be influenced by space radiation effects, leading to some problems such as transient disturbance, data upset, performance degradation, functional failure or even destructive damage. The variety and complexity of these problems increases as the feature size of devices scales down to less than 100 nm (called as "nano-scale" in this paper). Single event effect has become a main reliability factor for space-used ICs, and brought about much challenge to radiation hardness assurance and radiation hardening. Taking nano-scale ICs as the research object, combined with recent technology progress, this paper introduces the research achievements in single event effect and hardening techniques of 65 nm ICs, including the proposed time-domain testing and analyzing method, radiation hardening techniques for single event multi-node upsets and single event transients.

Key words: integrated circuit; nano-scale; single event effect; radiation hardening

1 引言

航天器工作在空间辐射环境中, 辐射效应将导致电子器件性能下降、功能异常甚至失效. 集成电路的空间辐射效应主要包括总剂量效应、单粒子效应和位移损伤三类, 由于 CMOS 集成电路对位移损伤的天然不敏感, 所以其主要的空间辐射效应为总剂量效应和单粒子效应. 其中, 总剂量效应对 CMOS 集成电路的影响主要表现为晶体管阈值电压漂移、寄生漏电增大, 进而导

致集成电路漏电增大、性能退化或功能失效, 单粒子效应对集成电路的影响主要包括(Sing Event Latchup, SEL)、单粒子翻转(Sing Event Upset, SEU)和单粒子瞬态(Sing Event Transient, SET)等. 据统计, 如图 1(a)所示, 由于各种辐射效应引起的航天器故障占总故障的 45% 左右, 居各类故障原因之首, 而如图 1(b)所示, 由单粒子效应导致的异常占辐射效应引发异常的 86%^[1]. 辐射效应问题尤其是单粒子效应问题已成为影响集成电路在空间可靠应用的主要问题.

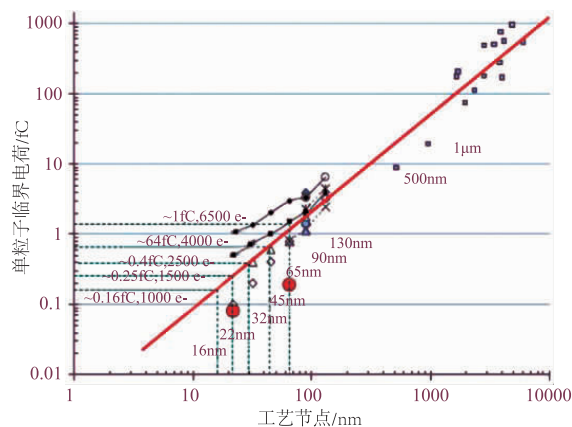


对芯片成本、性能的追求,不断地推动着集成电路技术的进步,在同一芯片上集成的电路密度不断提高,电路性能不断改善,这一发展几乎始终遵循“摩尔定律”的规律^[2].当前,先进集成电路几乎全部采用100nm以下工艺实现,部分高端集成电路已采用16nm或14nm工艺实现,集成电路技术已经全面进入纳米时代.然而,随着集成电路特征尺寸缩小至纳米尺度,很多器件物理问题和新的辐射效应问题随之出现.相比于超深亚微米工艺,纳米级工艺在器件材料、结构、尺寸、工作电压上都发生了明显的变化,其中一些变化将严重影响纳米级器件和集成电路的抗辐射性能,给纳米级集成电路的抗辐射加固带来了许多新挑战.主要的问题包括:

(1)新工艺、新材料引入新的辐射损伤机理.纳米级工艺采用铜取代铝或铝铜合金作为互连层材料,采用低介电常数材料取代常规材料作为互连层间介质,采用钨作为接触/通孔材料,应变硅取代传统单晶硅成为主流技术,这些变化都可能影响纳米级器件的辐射效应及损伤机理.例如,纳米器件采用钨作为不同层间的连接材料,钨这种重金属材料与入射粒子作用,可产生 $LET > 30\text{MeV} \cdot \text{cm}^2/\text{mg}$ 的二次粒子,可能成为电路单粒子翻转的重要来源^[3].

(2)纳米级集成电路越来越严重的单粒子效应问题.国内外研究均表明,单粒子效应成为影响纳米级集成电路抗辐射加固性能的最关键因素.随着器件尺寸的减小和节点电容的降低,纳米级电路发生翻转所需要的临界电荷(即发生单粒子错误的最小电荷量)变得极低,如图2所示,65nm电路临界电荷已经低到1fC,折合约6500个电子^[4],这使得纳米级集成电路不仅对重离子敏感,而且开始对 α 粒子和质子等极轻的粒子敏

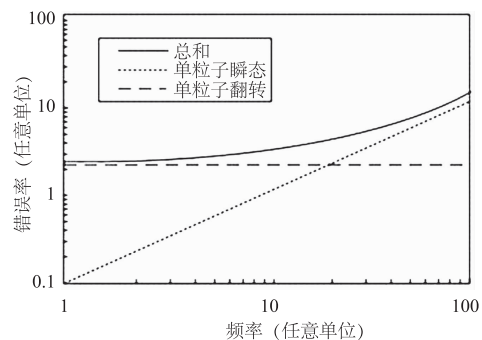
感^[5-8],将严重影响纳米级集成电路的在轨错误率.工艺尺度缩小,器件间距减小使得电路对单粒子效应的响应日趋复杂化,相邻器件在辐射条件下更易通过横向扩散、阱势垒调制和寄生双极放大等机制发生多节点、多单元电荷共享效应,最直接的影响就是单粒子多单元翻转(MCU)/多节点翻转(MNU)将很容易发生.纳米电路的运行速度大幅提升,SET错误脉冲的宽度接近正常信号,其特征时间(即脉冲宽度)与数字电路的特征时间(如单元延迟、时钟周期等)的比例不断增大,SET在逻辑路径上更容易无衰减传播,也更容易被时序单元或存储单元所捕获,进而更容易造成软错误.研究表明,当 $LET > 10\text{MeV} \cdot \text{cm}^2/\text{mg}$ 时,45nm SRAM的多位翻转将超过单位翻转成为SEU的主要贡献源^[9].早期的研究预测,SET将成为一种主要错误来源,如图3(a),SET错误率会逐渐接近甚至超过SEU错误率.事实上,如图3(b),对于90nm测试链结构,其单粒子试验结果表明逻辑电路(Clock, Buffer)的SET所造成的错误率已经大大超过加固的时序电路(TMR)自身发生翻转的错误率,成为软错误的主要来源^[10].纳米级集成电路的SET问题变得很严重,针对SET的加固将是很大的挑战.



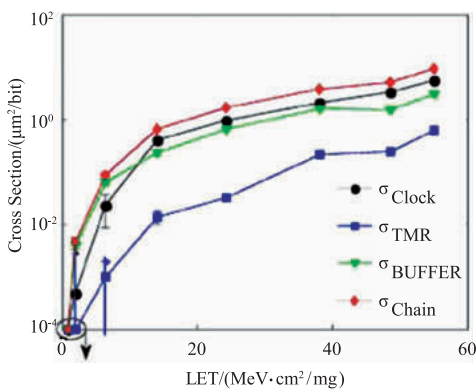
本文针对纳米CMOS集成电路,综述国内外尤其是本文作者所在研究团队在单粒子效应规律和加固技术研究方面取得的进展,并对技术趋势进行分析,以期对相关研究有所借鉴.

2 65nm CMOS 集成电路的单粒子效应

集成电路特征尺寸缩小至纳米尺度,很多器件物理问题和新的辐射效应问题随之出现,单粒子效应成为制约纳米级集成电路抗辐射加固水平的最主要因素,其效应规律和机理也变得越来越复杂.本部分将阐述在65nm集成电路单粒子效应研究中发现的一些重要规律和机理.



(a) SET和SEU对错误率的贡献随着频率变化



(b) SET成为错误截面的主要贡献来源

图3 SET和SEU对软错误的贡献对比

2.1 65nm 电路的单粒子翻转阈值

由于器件尺寸减小和节点电容降低,纳米级电路发生SEU所需要的阈值LET变得极低.西北核技术研究所的罗尹红等进行了65nm和0.25 μm SRAM低能完整的质子单粒子试验,并获得完整SEU截面曲线^[11].如图4所示,可以明显看出,对于0.25 μm SRAM器件,质子能量3 MeV以下没有观测到单粒子翻转效应;而对于65nm SRAM器件,质子能量在1 MeV以下时出现了单粒子翻转截面峰,比20 MeV以上质子单粒子翻转截面约高3个量级,表明纳米器件会存在低能质子SEU增强的问题.研究表明,250nm SRAM器件翻转阈值为 $1.5 \text{ MeV} \cdot \text{cm}^2/\text{mg}$,对质子直接电离免疫,而65nm SRAM器件单粒子翻转阈值小于 $0.2 \text{ MeV} \cdot \text{cm}^2/\text{mg}$,对低能质子敏感,可由质子直接电离造成翻转.在空间辐射环境中,低LET的粒子和质子数量要远远大于高LET的粒子,因此SEU阈值的降低,将严重影响纳米级集成电路的在轨错误率.而且纳米器件存在的低能质子SEU增强问题,将对质子单粒子效应试验方法以及空间质子单粒子翻转率预估方法带来新的问题,也表明由质子造成的65nm存储器在轨错误率不可忽略.

2.2 65nm 电路的单粒子多单元翻转和多节点翻转

随着器件翻转的临界电荷降低和器件间距的缩

小,器件存储节点更容易发生电荷共享,即单个粒子穿过敏感区域所产生的电荷被多个节点收集的现象.通常将被粒子直接撞击的节点称为主动节点,而将被单粒子产生的电荷扩散而间接影响的节点称为被动节点^[12].

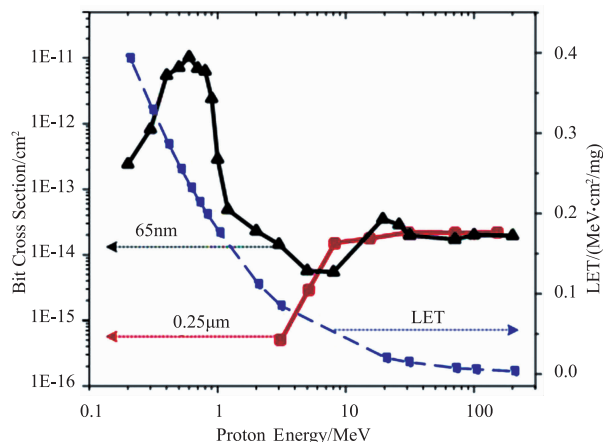
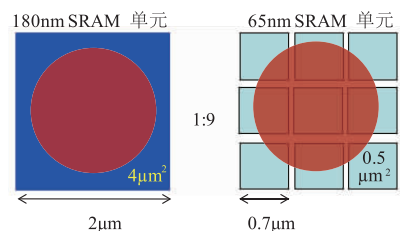


图4 SRAM质子单粒子效应翻转截面曲线

随着电路中主动节点和被动节点间距的减小,最直接的影响就是单粒子多单元翻转(MCU)将很容易发生.对于纳米级集成电路,尤其是存储电路中,单个粒子造成多个相邻单元同时翻转的几率大增,且单个粒子能造成大量位翻转.如图5,粒子在其穿通路径上可造成直径约为 $2 \mu\text{m}$ 的空间电荷分布,相当于一个 $0.18 \mu\text{m}$ SRAM单元的宽度,而65nm SRAM单元的长度仅约为 $0.7 \mu\text{m}$,即垂直入射的单个粒子可造成65nm SRAM最多9个单元的翻转.如果粒子有角度入射,可造成65nm SRAM更多单元发生翻转.

图5 粒子入射至 $0.18 \mu\text{m}$ SRAM与65nm SRAM造成的翻转数对比

电荷共享导致的另一个问题是单个单元内的多节点翻转(MNU),使得传统的SEU加固方法有效性大幅降低.传统的单元级SEU加固方法,如双互锁单元(DICE)和三模冗余(TMR),通常对单粒子引起的单节点扰动免疫,而一旦单个粒子能够引起两个或以上的敏感节点同时受干扰,则其抗翻转能力就会消失或降低^[13,14].如图6所示,我们进行的单粒子试验表明:采用传统版图方法, $0.18 \mu\text{m}$ DICE单元阈值LET高达 $37 \text{ MeV} \cdot \text{cm}^2/\text{mg}$,而65nm DICE单元的阈值LET

小于 $10 \text{ MeV} \cdot \text{cm}^2/\text{mg}$, 且 65nmDICE 的 SEU 翻转截面增大了近 2 个数量级. MNU 给传统加固方法带来了巨大挑战.

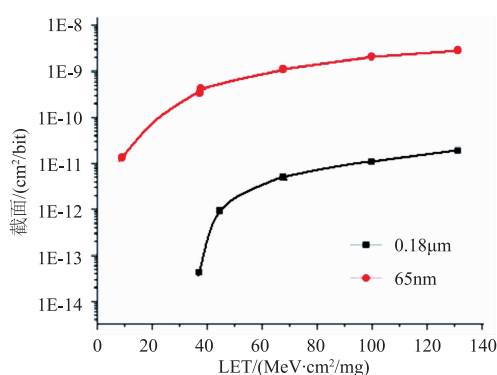


图6 DICE结构在 $0.18\mu\text{m}$ 和 65nm 中应用的效果差别

2.3 65nm 电路的单粒子瞬态

在数字电路中, SET 可通过传输和捕获导致时序单元或存储单元发生 SEU^[14]. 由于 SET 导致错误需要经受逻辑掩蔽、电掩蔽和时序掩蔽等一系列掩蔽, 因此以往 SET 造成的错误比直接的 SEU 小得多, 甚至可以忽略^[15]. 然而, 随着器件尺寸减小和运行频率的提高, SET 脉冲宽度与单元门延迟的比例不断增大, 电掩蔽将变得可以忽略, 且时序掩蔽将随着时钟频率的提升而减小, 从而使 SET 变得更加恶劣. 而随着器件间距离减小, 电荷共享变得严重, 且 SET 在传播过程中, 可能会发生展宽、猝熄、衰减或掩蔽等效应^[16,17]. 这些效应会使得器件 SET 的特性和规律更加复杂.

为获取 SET 的关键参数即脉冲宽度, 团队基于现有技术设计了一款专门检测 SET 脉宽的测试电路, 并通过该测试电路的试验获取了 65nm 典型单元电路的 SET 脉宽分布数据^[18]. 图 7 给出了 SET 脉宽与单元类型、单元内器件阈值以及不同阱结构的关系. 图 7(a) 表明不同类型单元 SET 脉宽差别很大, 或非门比反相器平均脉宽大了约 50%, 表明器件结构对电荷收集有着重要影响; 图 7(b) 表明器件阈值对单元的 SET 脉宽影响不大; 图 7(c) 表明共阱结构反相器比分阱结构的 SET 脉宽小了约 40%, 表明共阱结构中相邻异相节点间的电荷共享使得瞬态脉冲猝熄, 最终使得 SET 脉宽减小.

试验结果还表明, 65nm SET 平均脉宽与典型电路周期、典型单元延迟的比例较 $0.18\mu\text{m}$ 大幅增大. 图 8 给出了 SET 脉冲宽度与典型电路周期、典型门延迟随工艺变化的情况. 图 8(a) 表明 SET 脉宽与典型电路时钟周期的比例增大, 将导致 SET 更容易被锁存单元捕获; 图 8(b) 表明 SET 脉宽与典型单元延时的比例增大, 这使得 SET 在逻辑路径上更容易无衰减传播. SET 可以发生在电路的任意节点, 可传播到输出端或导致时

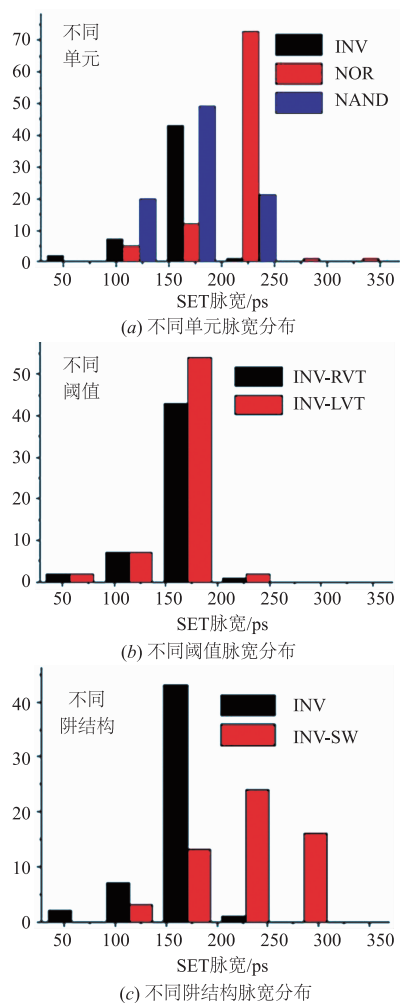


图7 65nm 典型单元SET脉宽分布及其与器件阈值和阱结构的关系

序/存储电路发生翻转. 更多的 SET 可在逻辑路径上无衰减传播, 更容易被存储单元捕获使得纳米级集成电路的 SET 问题更加严重.

3 65nm CMOS 电路的单粒子加固技术

针对纳米 CMOS 集成电路上述问题和新规律, 研发团队开展了 65nm 集成电路的抗单粒子加固相关技术研究, 并取得了一定成果.

3.1 存储类单元的抗 MNU 加固

采用理论分析和 TCAD 仿真, 揭示了 65nm DICE 存储单元发生翻转的单粒子效应内部机理, 观测了入射粒子直接电离效应产生的电荷地收集情况, 确认了 DICE 单元发生翻转的机理, 即同阱 NMOS 敏感对之间的电荷共享效应, 以及 NMOS 与 PMOS 敏感对之间的电荷共享和 PMOS 的寄生双极放大效应. 这个分析获得的机理通过激光微束试验得到了验证.

针对传统 DICE 有效性降低的问题, 通过仿真分析发现高能粒子会同时影响 NMOS 晶体管漏区和 PMOS

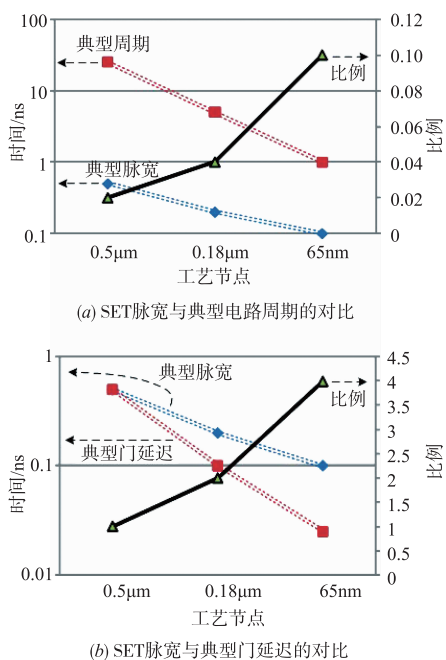


图8 SET脉冲宽度与典型电路周期、典型门延迟随工艺变化情况

晶体管漏区, 而 NMOS 晶体管漏区收集负电荷引起的负向电压扰动会补偿 PMOS 晶体管漏区收集正电荷引起的正向电压扰动, 减小入射粒子引起的瞬态电压脉冲的现象, 即错误猝熄 (Error Quenching). 基于该现象, 团队提出了一种利用 Error Quenching 的双 DICE 交叉存储单元 EQDD 结构^[19]. 如图 9(a) 所示, 这种结构通过版图横向排布, 有效增大了敏感节点对的物理间距 (2 μ m 以上), 利用非敏感对之间的电荷共享减小单粒子瞬态

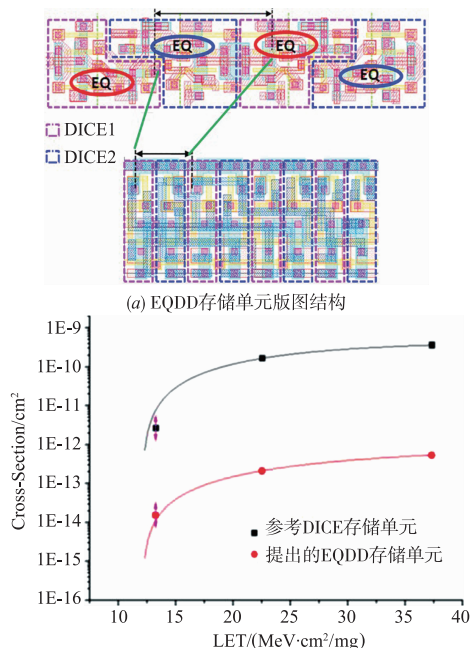


图9 EQDD存储单元版图结构及其加固能力

的影响, 大幅提高了存储单元的抗单粒子翻转能力. 如图 9(b) 所示, 采用该技术的加固单元, 在不增加单元面积的情况下, 存储电路的位翻转截面比传统 DICE 降低了 2~3 个数量级, 抗 SEU 能力有了极大提升.

3.2 存储阵列的抗多位翻转加固

基于 65nm 存储器的单粒子试验, 获取了 SRAM 在不同粒子、不同角度入射时 MCU 的翻转位图形态, 如图 10. 由图可见, 单个粒子造成了多行多列相邻位的翻转, 如果不采取特殊版图措施, 任何纠检错技术都很难解决这样的问题. 该问题将对纳米级集成电路的加固设计方法和评估方法产生重大影响, 为了实现较高的抗 SEU 能力, 对 MCU 的加固成为关键.

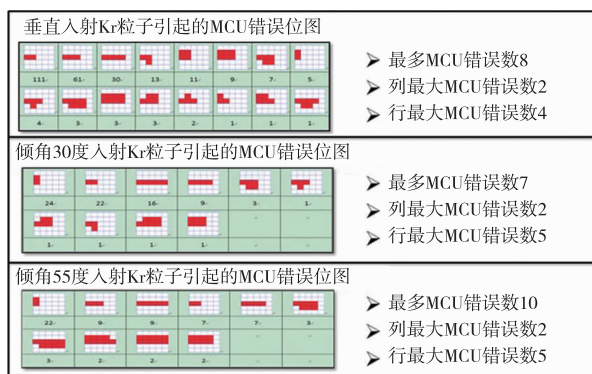


图10 65nm SRAM的MCU位图形状

通过对 MCU 翻转形态的研究, 当 MCU 的多个翻转位属于同一个字时, 将出现多位翻转 (MBU). MBU 很难通过现有加固手段解决, 或者解决所需的开销极大. 针对 MCU 引起的 MBU 问题, 结合 MCU 位图形状的研究结果, 提出了采用了存储阵列位交叉的版图设计方法, 如图 11 所示, 通过将同一个字内的不同位与其它字的位交叉排布, 可实现多单元翻转分布在不同的字中, 消除多位翻转.

单粒子试验表明, 采用位交叉版图方法加固的 SRAM, 未出现 MBU. 结合纠一检二的 EDAC 技术, 可有效消除 SEU 对存储阵列的影响.

由 3.1 和 3.2 可知, 对于纳米电路的单粒子加固, 仅仅通过电路结构的设计往往是不够的, 而是要结合电路和版图设计技术, 以达到好的加固效果.

3.3 单粒子软错误时域测试和分析方法

针对传统单粒子软错误测试和分析方法无法体现单粒子错误如何积累、无法区分 SEU 和 SET 贡献的问题, 研究提出了一种全新的单粒子软错误时域测试和分析方法^[20]. 通过实时计数单粒子错误, 确保每次记录间隔时间内最多只发生一次单粒子事件, 绘制特定粒子辐照下软错误数与辐照时间的关系图. 如图 12, 在不增加试验时间和其它开销的情况下, 时域分布图可给出较“截面-LET”图更为丰富的信息, 时域曲线的跃变

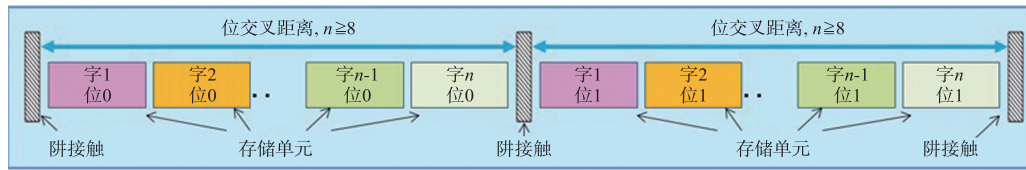
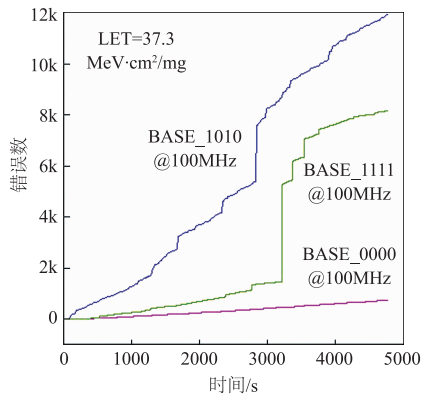
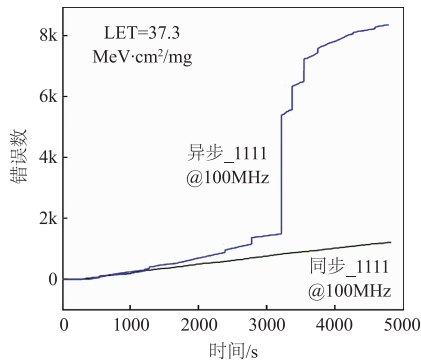


图11 存储阵列的位交叉排布方式示意图



(a) 非加固电路不同测试模式



(b) 同步复位和异步复位对比

图12 65nm测试电路单粒子错误时域分布曲线

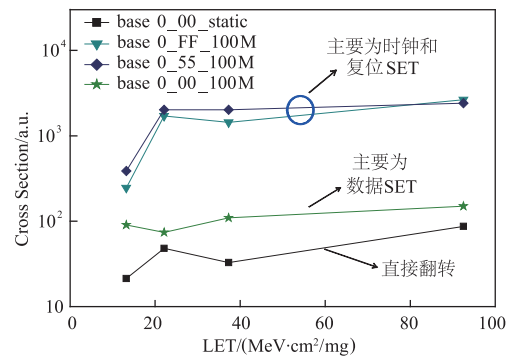
表明 SET 引起了多单元翻转, 跃变幅度表征了单个 SET 造成的翻转单元数; 曲线的常规斜率表明软错误发生的频率, 也即电路对单粒子的敏感性。

由图 12 所示的时域曲线可以看出, 时钟和复位等全局信号上的 SET 可引起多单元翻转, 最多可造成 2000 个以上的单元发生翻转, 而同步复位触发器可极大地减少复位信号 SET 引起的多单元翻转. 这些都是传统分析方法无法得到的结论, 也为 SET 的加固提供了更多有指导意义的数据。

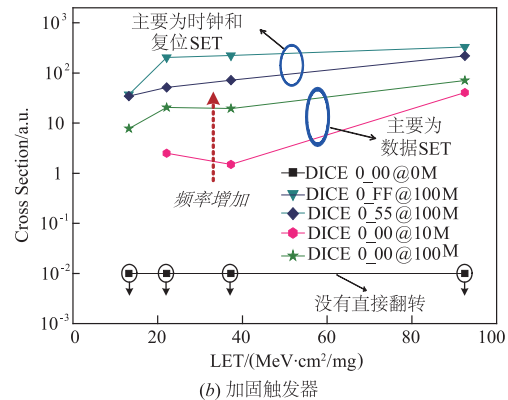
采用该实验方法对 65nm 测试电路软错误的错误来源进行了定位分析. 如图 13 所示, 65nm 测试电路的试验结果表明, 在非加固电路中, 单粒子瞬态 (SET) 已经超过 SEU 成为单粒子软错误的主要来源 (图 13 (a)); 而对于 SEU 加固的电路, SET 几乎成为单粒子软错误的全部来源 (图 13 (b)). 这个试验结果再次表明, 65nm 集成电路的 SET 问题变得很严重, 而针对 SET 的

评估测量和加固都将是很大的挑战, 将成为 65nm 集成电路抗辐射加固性能的关键。

这些测试结果表明, 纳米电路的单粒子软错误的来源众多, 不同错误来源所占的比例也有很大不同. 因此, 在了解不同来源的错误贡献度的基础上再进行针对性的加固, 可以起到事半功倍的效果。



(a) 非加固触发器



(b) 加固触发器

图13 65nm非加固触发器和加固触发器的单粒子试验结果

3.4 单粒子瞬态的加固

SET 可通过大驱动与脉冲滤波等加以抑制. 通过改变晶体管的尺寸增加敏感节点的临界电荷, 可通过调整晶体管的尺寸和驱动能力, 增加节点电容等方式实现加固性能与速度/面积之间的折中. 研究表明使用大驱动加固方法可以在很大程度上抑制 SET. 这一技术可以有效降低粒子轰击产生的 SET 脉冲宽度, 降低 SET 脉冲向下传播和被后续时序单元俘获的概率。

延迟滤波 (Delay Filter, DF) 技术通过在电路中增加延迟滤波器可以消除高频 SET 脉冲, 这一技术已经被成功应用于存储单元、逻辑门和模拟电路. 然而, 延

迟滤波还存在自身被单粒子攻击产生 SET 的问题,而且这种 SET 不能被滤波单元滤除,从而可能导致触发器的翻转.为此,我们提出了一种新的冗余延迟滤波单元(RDF)^[20,21],如图 14 所示,这种结构能够滤除外来 SET 的同时,还能保证两个输出独立,单个输出产生 SET 不会对具有双模冗余结构(如 DICE)的锁存器或触发器产生影响,从而实现 SET 的完全消除.

如图 15,单粒子试验结果表明,传统延迟滤波的加固方式虽然可以抑制由全局信号上产生的 SET 脉冲引

起的片翻,但增加/引发了本级存储体的单位翻转,不具有自身的 SET 免疫性.而采用提出的 RDF 技术,不仅能够滤除来自触发器外部的错误瞬态,其自身产生的 SET 又由于冗余的结构而不对触发器的存储体造成影响,从而能够实现对 SET 很好的加固,相较传统加固结构,带 RDF 的 DICE 触发器在抗 SET 方面具有突出的加固效果.在 LET 为 $37 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 以下的粒子辐照下没有发生翻转,在 LET = $37 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ 、总注量为 $10^7/\text{cm}^2$ 的粒子辐照时几乎没有发生翻转.

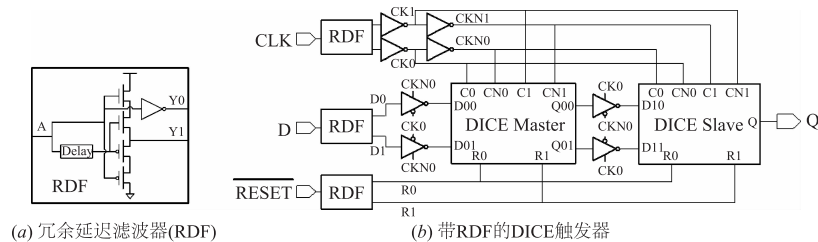
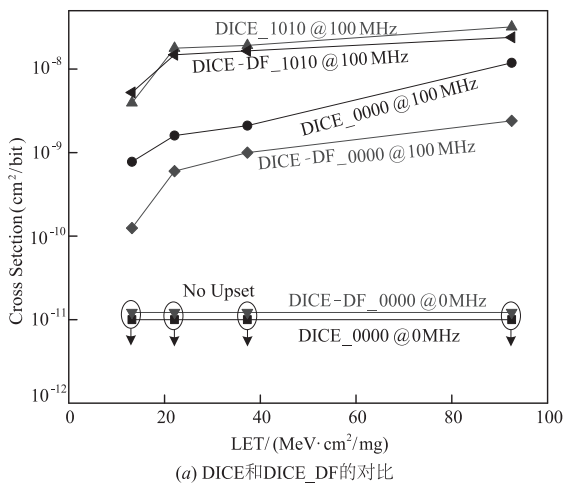
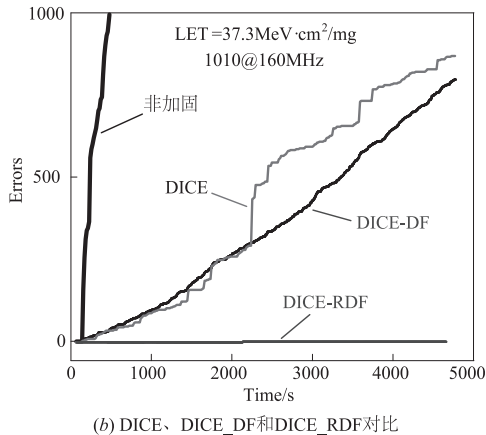


图14 冗余滤波器及其在加固触发器中的应用^[20,21]



(a) DICE和DICE_DF的对比



(b) DICE、DICE_DF和DICE_RDF对比

图15 冗余延迟滤波器试验结果及其与传统加固结构的对比

该方法从单元级同时解决了纳米级集成电路 SEU 和 SET 问题,具有很高的创新性和实用价值.然而,这种方法也存在时间开销较高的问题.如图 8 所示,随着

工艺进步,SET 脉冲宽度所占时钟周期的比例逐渐增大,采用上述时间滤波加固方法的开销也显得越来越大.

4 结论

本文阐述了针对纳米级集成电路的单粒子效应和加固技术的主要研究成果.研究发现,单粒子翻转、多单元/多节点翻转和单粒子瞬态是纳米级集成电路加固的主要难题.通过提出的抗 SEU 存储单元结构、位交叉版图和冗余延时滤波等技术,对这些问题进行了有效解决,并通过测试电路对这些新技术进行了验证.

参考文献

- [1] Robert Ecoffet. On-Orbit Anomalies; Investigations and Root Cause Determination[M]. Las Vegas; IEEE NSREC Short Course, 2011.
- [2] G E Moore. Cramming more components onto integrated circuits[J]. Electronics, 1965, 38(8): 114 ~ 117.
- [3] Suge Yue, et al. Modeling and simulation of single-event effect in CMOS circuit[J]. Journal of Semiconductors, 2015, 36(11): 111002 - 1 - 10.
- [4] C Inguibert, et al. Electron induced SEUs; Micro-dosimetry in nano-metric volumes [J]. IEEE Trans Nucl Sci, 2015, 62(6): 2846 - 2852.
- [5] Robert Baumann. Single-Event Effects in Advanced CMOS Technology[M]. Seattle; IEEE NSREC Short Course, 2005.
- [6] Kenneth P Rodbell, et al. Low-energy proton-induced single-event upsets in 65 nm node, silicon-on-insulator, latches and memory cells[J]. IEEE Trans Nucl Sci, 2007, 54(6): 2474 - 2479.

- [7] M P King, et al. Electron-induced single event upsets in static random access memory [J]. IEEE Trans Nucl Sci, 2013, 60(6): 4122 – 4129.
- [8] Matthew J Gadlage, et al. Electron-induced single-event upsets in 45-nm and 28-nm Bulk CMOS SRAM-Based FP-GAs operating at nominal voltage [J]. IEEE Trans Nucl Sci, 2015, 62(6): 2717 – 2724.
- [9] Philippe Roche, et al. SEE and TID Radiation Test Results of Digital Circuits Designed and Manufactured in ST 40nm/45nm/65nm/90nm/130nm CMOS Technologies [R]. Crolles; European Space Agency, 2011.
- [10] David L Hansen, et al. Clock, flip-flop, and combinatorial logic contributions to the SEU cross section in 90 nm ASIC technology [J]. IEEE Trans Nucl Sci, 2009, 56(6): 3542 – 3550.
- [11] 罗尹红, 等. 纳米静态随机存储器低能质子单粒子翻转敏感性研究 [J]. 物理学报, 2016, 65(6): 068501-1 – 068501-10.
Luo Yin-Hong et al. Single event upsets sensitivity of low energy proton in nanometer static random access memory [J]. Acta Physica Sinica, 2016, 65(6): 068501-1-10. (in Chinese)
- [12] Oluwole A Amusan, et al. Charge collection and charge sharing in a 130 nm CMOS technology [J]. IEEE Trans Nucl Sci, 2006, 53(6): 3253 – 3258.
- [13] Lin Liu, et al. 3D Simulation of charge collection and MNU in SEU hardened storage cells [A]. 2009 RADECS Proceeding [C]. Bruges; RADECS, 2009. 230 – 234.
- [14] S E Diehl, et al. Considerations for single event immune VLSI logic [J]. IEEE Trans Nucl Sci, 1983, 30(6): 4501 – 4507.
- [15] Arthur L F, et al. Single event upset in combinatorial and sequential current mode logic [J]. IEEE Trans Nucl Sci, 1985, 32(6): 4216 – 4218.
- [16] Matthew J Gadlage, et al. Increased single-event transient pulsewidths in a 90-nm bulk CMOS technology operating at elevated temperatures [J]. IEEE Trans Device Mater Rel, 2010, 10(1): 157 – 163.
- [17] Jonathan R Ahlbin, et al. Single-event transient pulse quenching in advanced CMOS logic circuits [J]. IEEE Trans Nucl Sci, 2009, 56(6): 3050 – 3056.
- [18] Suge Yue, et al. Single event transient pulse width measurement of 65nm bulk CMOS circuits [J]. Journal of Semiconductors, 2015, 36(11): 115006-1-4.
- [19] Lin Liu, et al. The 65nm double-DICE storage element based on error-quenching layout design to reduce single-event multiple node upsets [A]. 2016 RADECS Proceeding [C]. Bremen; RADECS, 2016. 1 – 6.
- [20] Yuanfu Zhao, et al. SEU and SET of 65nm bulk CMOS flip-flops and their implications for RHBD [J]. IEEE Trans Nucl Sci, 2015, 62(6): 2666 – 2672.
- [21] Xinyuan Zhao, et al. Single event transients of scan flip-flop and an SET-immune redundant delay filter (RDF) [A]. RADECS, 2013 [A]. 2013 RADECS Proceeding [C]. Oxford; RADECS, 2013. 1 – 5.

作者简介



赵元富 男, 1962 年生于江西省进贤县, 研究员, 博士生导师. 主要研究方向为抗辐射加固集成电路设计技术.



王亮 男, 1981 年生于黑龙江省五常市, 高级工程师. 主要研究方向为集成电路的抗辐射加固设计技术.
E-mail: wangliang 150200@163.com