

一种3阶Mash结构的 Σ - Δ 音频数模转换器

来新泉, 陈 勇, 叶 强, 龙 燕

(西安电子科技大学电路CAD研究所, 陕西西安 710071)

摘 要: 针对传统的Mash结构由于各级失配导致信噪比低的问题, 本文采用一阶相位累加器来实现传统的sigma-delta(Σ - Δ)架构, 并将其采用硬件描述语言来实现, 这样整个系统均在数字域实现, 从根本上解决了各级间的失配问题. 在插值滤波器的设计上, 使用优化了的半带滤波器结构和级联积分梳状滤波器, 节省了硬件资源. 电路采用的是Magnachip 180nm 1P4M标准CMOS工艺, 芯片面积只有 0.2025mm^2 (0.45×0.45), 实测芯片得到的信噪失真比(SNDR)达到90dB.

关键词: 音频数模转换器; Mash Σ - Δ 调制器; 插值滤波器

中图分类号: TN492

文献标识码: A

文章编号: 0372-2112 (2018)05-1240-06

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2018.05.033

A Σ - Δ Audio DAC Converter Based on 3-Order Mash Structure

LAI Xin-quan, CHEN Yong, YE Qiang, LONG Yan

(Institute of Electronic CAD, Xidian University, Xi'an, Shaanxi 710071, China)

Abstract: To solve the problem that the traditional Mash structure has low signal-to-noise ratio because of mismatch at each levels, in this paper, the traditional sigma-delta (Σ - Δ) structure is realized by using the phase accumulator, which is easy to realize the hardware description language of the whole system, thus fundamentally solving the mismatch between the different stages. In the design of the interpolation filter, the use of optimized half-band filter structure and cascaded integral comb filter, saving hardware resources. The circuit uses the Magnachip 180nm 1P4M standard CMOS process, the chip area is only 0.2025mm^2 (0.45×0.45), the measured chip Signal to Noise and Distortion Ratio (SNDR) to 90dB.

Key words: audio DAC; mash sigma-delta; interpolator filter

1 引言

目前, 传统的模拟音频处理已经逐步被数字音频处理所取代, 而数字音频处理中的数模转换器直接影响了音频的质量. Σ - Δ 数模转换器以其高分辨率、高精度、易于实现等优势成为目前的主流^[1]. 如何设计出高精度、结构简单、稳定性高的 Σ - Δ 数模转换器成为研究的热点.

Σ - Δ 调制器是 Σ - Δ 数模转换器设计的核心, 直接影响着整个系统的性能. 一般来说, Σ - Δ 调制器从结构上可以分为两种: 单环高阶结构和 Mash 结构. 单环高阶 Σ - Δ 调制器由于其零点过于集中, 会导致高频处的增益过大, 从而降低了系统的稳定性, 也就限制了整个系统的输入输出动态范围. 针对这一问题, 文献[2]提出了一种自适应 Σ - Δ A/D 转换器, 使得输出信号的信噪比和

输入信号的信噪比没有关系. 一般来说, 3阶及3阶以上的 Σ - Δ 调制器都会存在稳定性问题^[3], 因此实际中会采用带有局部负反馈的高阶 Σ - Δ 调制器, 如: CIFB、CIFF、CRFB 等等, 但是这些结构都比较复杂, 实现起来比较困难. Mash 结构的 Σ - Δ 调制器是由低阶调制器级联而成的, 由于各级间只有前馈, 没有反馈, 从而只要每一级是稳定的, 那么整个系统就是稳定的^[4]. 但当各级系统不匹配时会导致上一级的噪声不能完全抵消, 会传到下一级, 从而降低了信噪比. 文献[4]提出了一种在数字域用自适应算法来解决各级间的失配问题^[5]. 本文设计的3阶Mash结构调制器是根据其结构和数字中的相位累加器的对应关系, 将各级 Σ - Δ 调制器用相位累加器替代, 再用硬件描述语言 Verilog 实现, 最后综合成最终电路. 这样整个结构均用数字实现, 不存在不匹配的问题, 因此在根本上解决了 Mash 结构由于各级

失配导致的信噪比低的问题.

2 系统结构

3 阶 Mash 结构 Σ - Δ 音频数模转换器的整体架构如图 1 所示,包括插值滤波器、 Σ - Δ 调制器和数字 PWM. 输入信号是 24 位的音频数据流,采样频率为 48KHz,经过

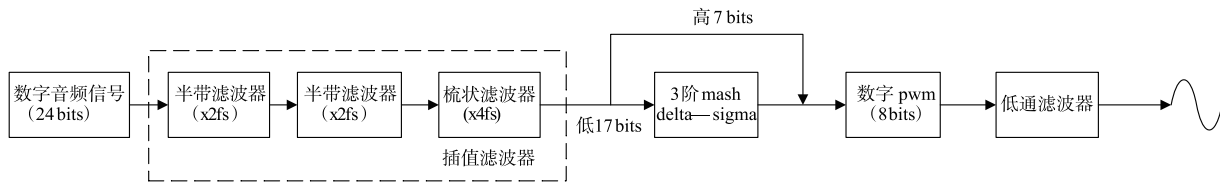


图1 3阶Mash结构 Σ - Δ 音频数模转换器的整体架构

3 插值滤波器

插值滤波器是将信号的采样频率提高到原来的 N 倍,噪声也将会被拓展到更宽的频带范围内,根据能量守恒,信号带宽内的噪声能量就会得到明显的降低. 一般来说,过采样倍数 (OSR) 每提高一倍,信噪比将会增加 3dB.

运算量和存储量是插值滤波器设计需要考虑的两个最重要因素,其中,多级结构的插值滤波具有稳定性好、设计难度低和存储量小等诸多优点,被广泛应用于 Σ - Δ 的数模转换器中.

如图 1 虚线框所示的插值滤波器,采用的是三级滤波结构,前两级为半带滤波器,每级实现 2 倍过采样,最后一级为梳状滤波器,实现 4 倍过采样,因此整体实现了 16 倍的过采样. 其中,第一级半带滤波器的过渡带最窄,所以要求其阶数最高,设计难度也就最大,后级滤波器的设计难度逐级递减. 但由于后级滤波器也会对噪声进行进一步衰减,所以第一级半带滤波器的阻带衰减可以设计的相对较低. 由于音频信号的频率在 20KHz 以内,因此所有三级滤波器的通带带宽均设计成 20KHz. 各级滤波器的参数指标如表 1 所示.

表 1 各级滤波器的参数指标

| 滤波器级数 | 输出信号的采样频率 (KHz) | 通带带宽 (KHz) | 过渡带宽 (KHz) | 阻带最大衰减 (dB) | 滤波器阶数 |
|----------|-----------------|------------|------------|-------------|-------|
| 第一级半带滤波器 | 96 | 0 ~ 20 | 20 ~ 28 | 54 | 36 |
| 第二级半带滤波器 | 192 | 0 ~ 20 | 20 ~ 76 | 66 | 10 |
| 梳状滤波器 | 768 | 0 ~ 20 | 20 ~ 192 | 140 | 3 |

3.1 优化的半带滤波器设计

半带滤波器是一种特殊的 FIR 滤波器,其滤波器系数不仅对称而且有一半系数为零,这就意味着减少

插值滤波器实现 16 倍过采样,然后将低 17bits 信号再经过 3 阶 Mash 结构的 Σ - Δ 调制器进行噪声整形,将噪声推向了高频,提高了信噪比,输出后再与高 7bits 信号共同输出到数字脉宽调制中,最后经过低通滤波器到喇叭端.

了存储量和运算量.

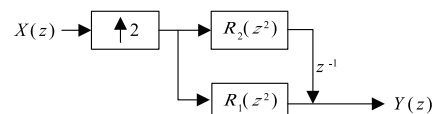
由于半带滤波器是 FIR 滤波器,所以有利于硬件实现,设 N 阶半带滤波器的系统函数为 $H(z)$,则有:

$$H(z) = \sum_{n=0}^N h(n)z^{-n} \quad (1)$$

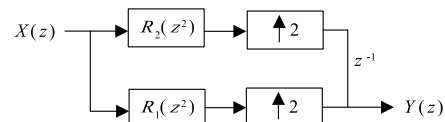
对式(1)进行多项式分解得:

$$\begin{aligned} H(z) &= \sum_{n=0}^{N/2} h(2n)z^{-2n} + z^{-1} \sum_{n=0}^{N/2-1} h(2n+1)z^{-2n} \\ &= R_1(z^2) + z^{-1}R_2(z^2) \end{aligned} \quad (2)$$

式(2)可用图 2(a)的方式实现,这种方式实现简单,但由于滤波是在插值之后进行的,这将导致运算量和存储量都增大,因此需要进行改进. 改进型的结构如图 2(b)所示,这种优化了的结构结合了半带滤波器的结构特点,将滤波器和插值同时进行,这样滤波器的处理过程是在低频进行的,其运算量和存储量均为图 2(a)结构的一半,因此本文采用图 2(b)结构进行设计.



(a) 传统 2 倍上采样率的多相结构



(b) 改进型 2 倍上采样率的多相结构

图2 传统和改进型2倍上采样率的多相结构

结合式(2)和图 2(b),再根据半带滤波器的奇数次系数为零可得:

$$R_1 = \sum_{n=0}^{N/2} h(2n)z^{-n} \quad (3)$$

$$R_2(z) = 0.5z^{-(N-2)/4} \quad (4)$$

式(3)可用线性相位 FIR 结构实现,式(4)只需要用移位寄存器即可实现. 半带滤波器设计的一个难点在于乘法器的实现,而本设计只有式(3)涉及到乘法运

算,简化了设计难度.采用 CSD 编码技术将滤波器系数进行编码,将乘法运算变为移位和加法运算^[6],不需要单独设计乘法器,减小了芯片面积.

图 3 为第一级和第二级的半带滤波器幅频响应.可以看出,第一级半带滤波器的阻带衰减为 55dB,第二级半带滤波器的阻带衰减为 68dB,均满足表 1 中的设计要求.

3.2 级联积分型梳状滤波器的设计

相比于其它 FIR 滤波器,级联积分型梳状滤波器由于其高效和低成本的优点被广泛用于上采样滤波器的最后一级^[7].

级联积分型梳状滤波器的系统函数如式(5)所示:

$$H(z) = H_I^N(z) H_C^N(z) = \frac{(1 - z^{-RM})^N}{(1 - z^{-1})^N} = \left[\sum_{k=0}^{RM-1} z^{-k} \right]^N \quad (5)$$

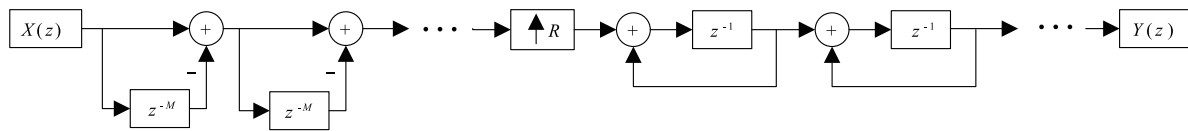


图4 级联积分型梳状积分滤波器的实现框图

图 4 可以看出级联积分型梳状滤波器的硬件实现十分简单,从运算上来看,它只有移位和加减运算,而且相对于其他的 FIR 滤波器,它的存储量几乎可以忽略不计.

根据表 1 梳状滤波器的设计指标,经过反复的测试实践,并且综合考虑面积和存储量,取 $N=3, R=4, M=1$. 其幅频响应如图 5 所示,从图中可以看出阻带衰减达到 140dB,满足设计要求.

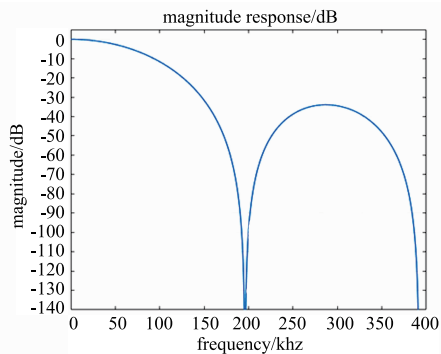


图5 梳状滤波器的幅频响应

4 3 阶 Mash 结构的 Σ - Δ 调制器

本设计采用 Mash 结构的 Σ - Δ 调制器来提高整个系统的稳定性,同时采用相位累加器来实现传统的 Σ - Δ

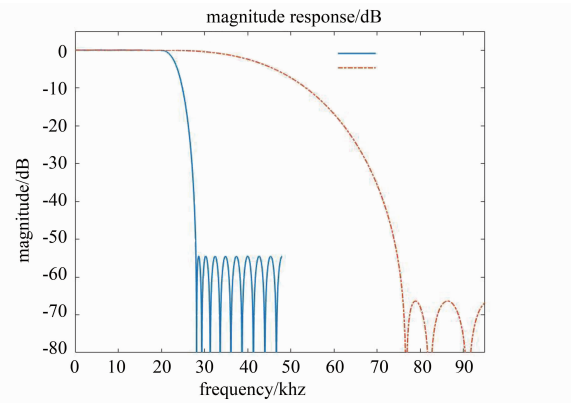


图3 第一级和第二级的半带滤波器的幅频响应

其中 H_I 为积分部分的传递函数, H_C 为梳状滤波部分的传递函数, N 为滤波器的级数, R 为过采样倍数, M 为差分延时(在实际中, M 一般取 1 或 2). 由式(5)设计出的级联型梳状积分滤波器的实现框图如图 4 所示^[8].

调制器,整个系统均使用硬件描述语言来实现,从而在根本上解决了从根本上解决了各级间的失配问题,提高了 DAC 的精度.

4.1 设计原理

如图 6 为设计的 3 阶 1-1-1 型 Mash 结构 Σ - Δ 调制器原理图,是由 3 个一阶的 Σ - Δ 级联而成的. 为了最大限度的降低量化噪声,除了第一级外,该结构的其它每一级输入是上一级的量化噪声,这样只要系数匹配,上一级的噪声可以被完全消除,最后只剩下输入信号和最后一级的量化噪声. 各级输出信号的分析如下:

第一级: 输入为 $X(z)$ 信号, 输出为 Y_1 ;

$$Y_1 = X(z) + (1 - z^{-1})E_1(z) \quad (6)$$

第二级: 输入为第一级的量化噪声 E_1 , 输出为 Y_2 ;

$$Y_2 = E_1(z) - (1 - z^{-1})E_2(z) \quad (7)$$

第三级: 输入为第二级的量化噪声 E_2 , 输出为 Y_3 ;

$$Y_3 = E_2(z) + (1 - z^{-1})E_3(z) \quad (8)$$

噪声抵消网络:

$$Y = Y_1 + (1 - z^{-1})Y_2 + (1 - z^{-1})^2Y_3 \quad (9)$$

将式(6)、(7)、(8)代入式(9)可得:

$$Y(z) = X(z) + (1 - z^{-1})^3E_3 \quad (10)$$

从式(10)可以得出输出的信号 $Y(z)$ 只包含信号 $X(z)$ 和第三级的量化噪声 $E(z)$.

根据图 6 的结构可以看出,该系统不存在各级间

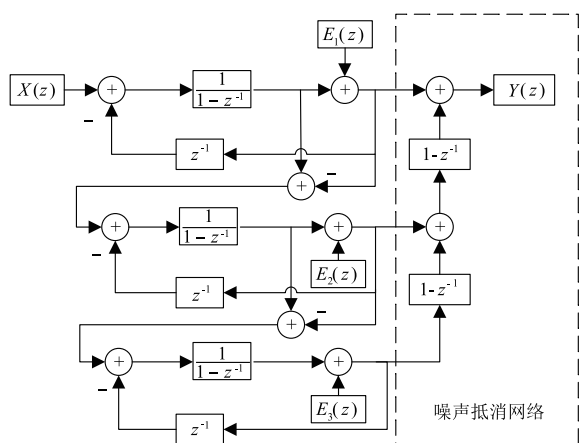


图6 3阶1-1-1型的Mash结构 Σ - Δ 调制器原理图

的反馈,而只有前馈,所以其稳定性仅仅取决于每一级的稳定性,而各级又是一阶的 Σ - Δ 结构,所用系统就是稳定的,这也大大增加了输入的动态范围。

由于该系统的实现原理是用下一级来消除上一级的量化噪声,所以要求各级的系数严格匹配,不然上一级的噪声不能完全抵消,传到后级,从而降低了信噪比。传统的方法是采用模拟方式实现,这样就会不可避免的发生各级间系数不匹配的情况,导致系统的信噪比低,还原度不好,所以限制了 Mash 结构的使用。这里采用数字的方式实现 3 阶 Mash 结构 Σ - Δ 调制器,能从根本上解决各级系数不匹配的问题,从而大大增大了 Mash 结构的信噪比。

4.2 具体实现

如图 7 所示为一阶数字相位累加器的实现原理。

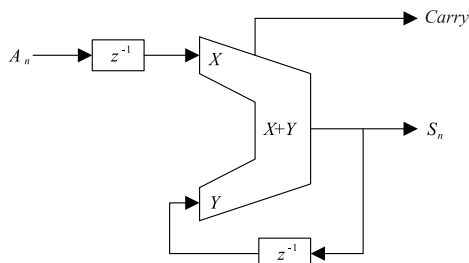


图7 一阶数字相位累加器的实现原理

由图 7 可以得到式(11)。其中 A_n 为相位累加器第 n 个时钟的输入, $Carry$ 为进位输出, S_n 为第 n 个时钟结束后累加器的余数, M 为累加器的模。

$$S_n = S_{n-1} + A_{n-1} - M \times Carry[S_{n-1} + A_{n-1}] \quad (11)$$

对于 i 位的累加器,则 $M = 2^i$ 。进位 $Carry[S_n + A_n]$ 的表达式如下:

$$Carry(x) = \begin{cases} 1 & x \geq M \\ 0 & \text{otherwise} \end{cases} = \frac{1 + \text{sign}(x - M)}{2} \quad (12)$$

在等式(11)两边同时加上 $A_n = M$, 然后结合式(12)可以得出:

$$S_n + A_n - M = (S_{n-1} + A_{n-1} - M) + A_n - \frac{M}{2} - \frac{M}{2} \times \text{sign}(S_{n-1} + A_{n-1} - M) \quad (13)$$

将 $y_n = S_n + A_n - M, x_n = A_n - \frac{M}{2}$, 代入式(13)得:

$$y_n = y_{n-1} + x_n - \frac{M}{2} \times \text{sign}(y_{n-1}) \quad (14)$$

式(14)即图 8 所示的 Σ - Δ 的差分方程,因此,一阶 Σ - Δ 调制器可以采用一阶数字相位累加器实现。这是将 Mash 结构 Σ - Δ 调制器全数字化实现的最重要一步。

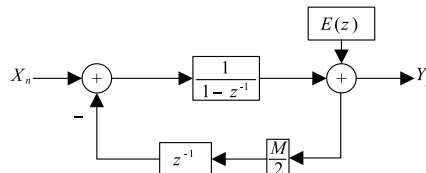


图8 一阶 Σ - Δ 调制器

图 9 为 3 阶 Mash 结构 Σ - Δ 调制器的数字实现框图:

根据式(9)可得:

$$Y(z) = C_0 + (1 - z^{-1})C_1 + (1 - z^{-1})^{-2}C_2 \quad (15)$$

将式(15)展开得:

$$Y(z) = C_0 + C_1 - z^{-1}C_1 + C_2 - 2z^{-1}C_2 + z^{-2}C_2 \quad (16)$$

式(16)中的 $Y(z)$ 包含了音频数据的完整信息, z^{-1} 可用一个 D 触发器实现,乘 2 可用移位寄存器实现,因此用数字实现简化了设计难度。

如图 10 所示,当输入信号为 1KHz - 6dB 时,采用数字和模拟实现的 3 阶 Mash 结构 Σ - Δ 调制器的输出信号频谱图。可以看出,采用数字实现比模拟实现的 SNDR 多出 34dB。

5 芯片测试结果

本文设计了一种 3 阶 Mash 结构 Σ - Δ 音频数模转换器,采用的是 Magnachip 180nm 标准 COMS 1P4M 工艺,芯片面积为 $0.2025\text{mm}^2 (0.45 \times 0.45)$ 。如图 11 所示为数字芯片版图。图 12(a)是当输入为 1KHz - 6dB 的正弦信号时,采用模拟方式实现的芯片输出信号 FFT 分析结果图,SNDR 为 62dB,图 12(b)是相同条件下,采用数字方式实现的芯片输出信号 FFT 分析结果图,SNDR 为 90dB,比仿真结果 116dB 降低了 26dB,这些噪声一部分来源于后级的数字 PWM 和低通滤波器,另一部分是由输出级到测试端的驱动能力不够导致的。图 13(a)为不同频率下模拟芯片输出的 THD + N 随输入功率的变化图,图 13(b)为不同频率下数字芯片输出的 THD + N 随输入功率的变化图,可以看出,在音频带宽范围内,数字芯片的 THD + N 均保持在 0.4% 以内,明显优于模拟

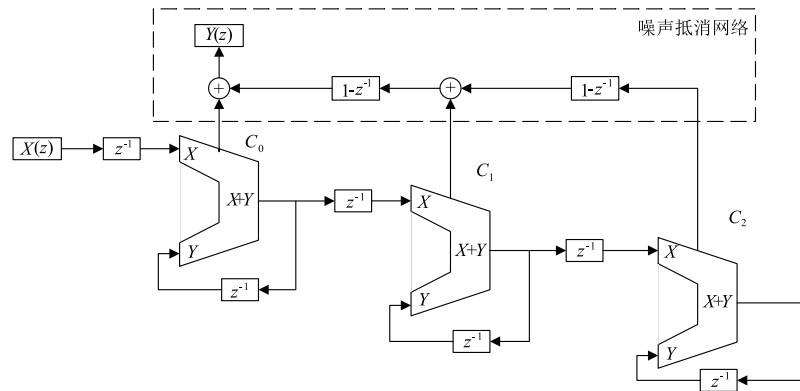


图9 3阶Mash结构Σ-Δ调制器的数字实现框图

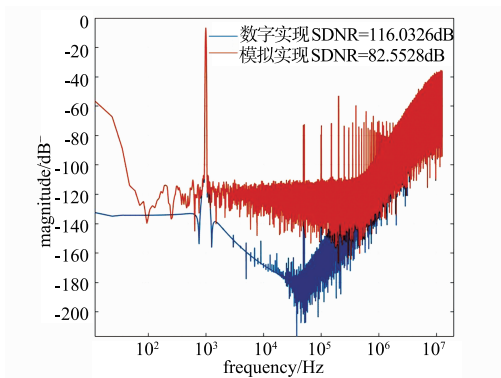


图10 采用数字和模拟实现的3阶Mash结构Σ-Δ调制器的输出信号频谱图

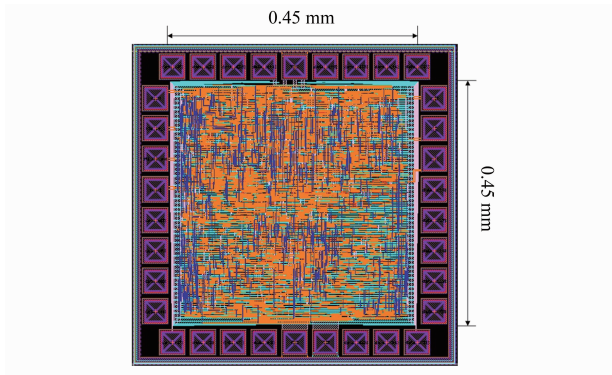


图11 数字芯片版图

芯片的 THD + N. 文献[9 ~ 12]中用了不同的方法实现Σ-Δ音频数模转换器,表2为本文与文献[9 ~ 12]的性能对比结果.

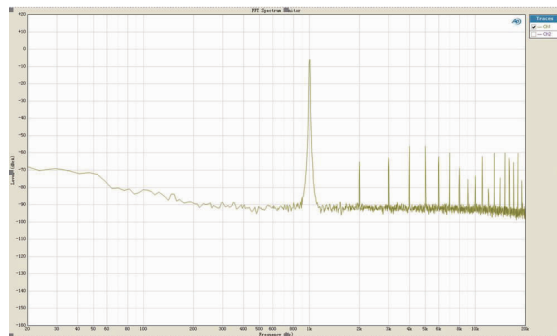
表2 不同方法实现的性能对比结果

| 方法来源 | 工艺 /nm | 电源电压/v | OSR | SNDR /dB | 面积 /mm ² | 功耗 /mw |
|--------|--------|--------|-----|----------|---------------------|--------|
| 文献[9] | 130 | 1.2 | 128 | 84 | 0.34 | 0.34 |
| 文献[10] | 130 | 1.2 | 40 | 75 | 0.48 | 3.3 |
| 文献[11] | 350 | 0.8 | 64 | 69 | 3.52 | 2.6 |
| 文献[12] | 130 | 1.2 | 128 | 88 | 0.3 | 0.75 |
| 本文 | 180 | 1.8 | 16 | 90 | 0.205 | 3 |

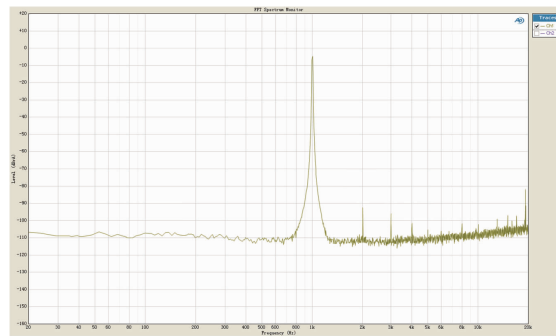
6 结论

本文设计了一种3阶Mash结构Σ-Δ音频数模转换器. 电路采用的是Magnachip 180nm标准CMOS 1P4M工艺,芯片面积较小,只有0.2025mm² (0.45 × 0.45),实测芯片的SNDR可高达90dB,而且电路不存在稳定性问题.

随着数字化技术的进步,Mash结构的Σ-Δ数模转换器以其高稳定性,高信噪比和低成本的优势,在音频技术中将得到越来越广泛的使用.



(a) 模拟芯片输出信号FFT分析结果



(b) 数字芯片输出信号FFT分析结果

图12

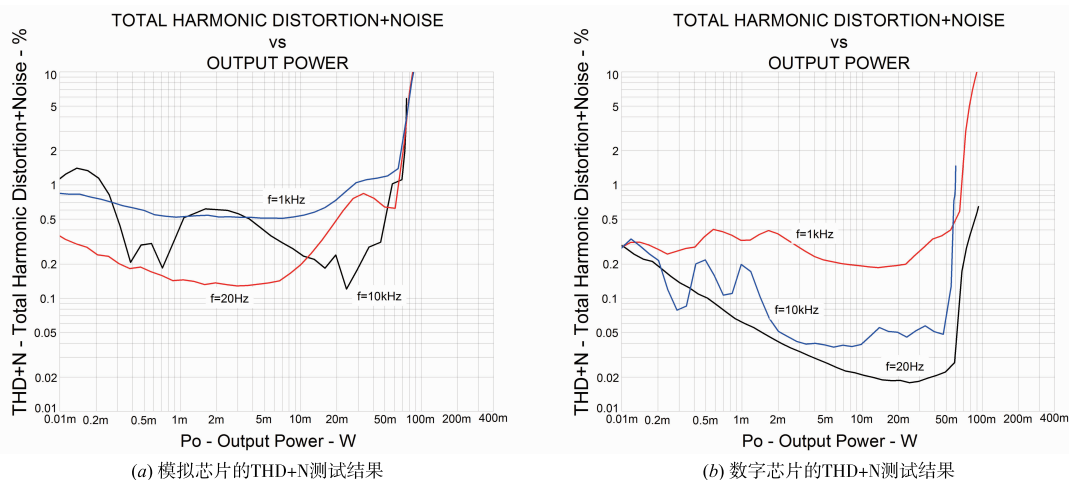


图13 不同频率下输出的THD+N随输入功率的变化

参考文献

- [1] Schreier R, Temes G C. Understanding Delta-Sigma Converter[M]. Hoboken, IEEE Press, 2005.
- [2] 冯晖, 林争辉. 自适应 Sigma-Delta A/D 转换器的设计[J]. 电子学报, 2004, 32(1): 132 - 134.
FENG Hui, LIN Zheng hui. The design of adaptive sigma 2 delta A/D converter[J]. Acta Electronica Sinica, 2004, 32(1): 132 - 134. (in Chinese)
- [3] Uchimura, Kuniharu, Hayashi, Toshio, Kimura, Tadakatsu, et al. Oversampling A-to-D and D-to-A converters with multistage noise shaping modulators[J]. IEEE Transactions on Acoustics Speech and Signal Processing, 1988, ASSP-36(12): 1899 - 1905.
- [4] Xu T, Condon M. Comparative study of the MASH digital delta-sigma modulators[J]. Research in Microelectronics & Electronics. prime. ph. d, 2009, 196 - 199.
- [5] Cauwenberghs G, Temes G C. Adaptive digital correction of analog errors in MASH ADCs. I. Off-line and blind on-line calibration[J]. IEEE Transactions on Circuits & Systems II Analog & Digital Signal Processing, 2000, 47(7): 621 - 628.
- [6] Samadi P, Ahmadi M. Performance analysis of genetic algorithm for the design of linear phase digital filter banks with CSD coefficients[A]. International Conference on Natural Computation[C]. IEEE, 2007. 150 - 154.
- [7] Chu S, Burrus C. Multirate filter designs using comb filters[J]. IEEE Transactions on Circuits & Systems, 2009, 31(11): 913 - 924.
- [8] Hogenauer E. An economical class of digital filters for decimation and interpolation[J]. IEEE Transactions on Acoustics Speech & Signal Processing, 1981, 29(2): 155 - 162.
- [9] Liu Y, Gao J, Yang X. 24-bit Low-power low-cost digital audio sigma-delta DAC[J]. Tsinghua Science and Technology, 2011, 16(1): 74 - 82.
- [10] George S S, Song Y, Ignjatovic Z. A 94-dB SFDR multi-bit audio-band delta-sigma converter with DAC nonlinearity suppression[A]. IEEE International Symposium on Circuits and Systems[C]. IEEE, 2015. 2041 - 2044.
- [11] Lee K, Meng Q, Sugimoto T, et al. A 0.8 V, 2.6 mW, 88 dB dual-channel audio delta-sigma D/A converter with headphone driver[J]. IEEE Journal of Solid-State Circuits, 2009, 44(3): 916 - 927.
- [12] Colonna V, Annovazzi M, Boarin G, et al. A 0.22-mm², 7.25-mW per-channel audio stereo-DAC with 97-dB DR and 39-dB SNR out[J]. Solid-State Circuits, IEEE Journal of, 2005, 40(7): 1491 - 1498.

作者简介



来新泉 男, 1963 年生于陕西蒲城. 现为西安电子科技大学电路 CAD 所教授、博士生导师. 主要研究方向电子系统集成与数模混合专用集成电路设计.

Email: xqlai@mail.xidian.edu.com.cn



陈勇 (通信作者) 男, 1991 年生于江西上饶. 现为西安电子科技大学电路 CAD 所硕士研究生. 主要研究方向数字集成电路设计.

E-mail: chen Yong4213@126.com