

脉冲神经网络硬件互连系统的 动态优先级仲裁策略

刘俊秀¹, 黄星月¹, 罗玉玲¹, 曹 弋²

(1. 广西师范大学电子工程学院, 广西桂林 541004; 2. 萨里大学萨里商学院
商业转型和企业可持续性发展系, 英国萨里 GU27XH)

摘 要: 本文基于 EMBRACE 脉冲神经网络硬件实现方案提出了一种片上网络路由器的动态优先级仲裁策略, 来解决脉冲神经网络脉冲传输的交通负载非均衡问题. 该方案使用二维网格片上网络系统实现神经元之间的互连通讯, 其基于脉冲发送频率的动态优先级仲裁策略能够降低高频路径的平均延迟及系统丢包风险, 提高系统工作稳定性. 使用 Noxim 片上网络模拟器搭建实验平台, 测试结果表明采用提出的动态优先级仲裁策略较轮询及固定优先级仲裁器, 高频路径延迟平均降低 32.33% 和 34.69%, 降低幅度最大达到 84.86% 和 86.20%. 在 90nm CMOS 工艺下, 提出的路由器架构硬件面积为 213,471 μm^2 , 具有较好的扩展性.

关键词: 脉冲神经网络; 片上网络; 路由器; 仲裁器; 动态优先级

中图分类号: TP183 **文献标识码:** A **文章编号:** 0372-2112 (2018)08-1898-08

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2018.08.014

Dynamic Priority Arbitration Strategy for Interconnections of Hardware Spiking Neural Networks

LIU Jun-xiu¹, HUANG Xing-yue¹, LUO Yu-ling¹, CAO Yi²

(1. Faculty of Electronic Engineering, Guangxi Normal University, Guilin, Guangxi 541004, China;

2. Department of Business Transformation and Sustainable Enterprise, Surrey Business School, University of Surrey, Surrey GU27XH, UK)

Abstract: Based on the EMBRACE, i. e. a hardware architecture for the SNN, a dynamic priority arbitration strategy for a Networks-on-Chip (NoC) router is proposed to solve the non-balance traffic load problem of the SNN system. A2DmeshNoC system is used to provide the interconnected communication for the neurons. The dynamic priority arbitration strategy is based on the spiking transmission frequencies and it can reduce the risk of the packet loss and the average delay of the paths with heavy traffics, and improve the reliability of system. The Noxim simulator is used to build the simulation platform. The experimental results show that compared to the round-robin and fixed priority arbitration schemes, the proposed dynamic priority arbitration strategy has an average of 32.33% and 34.69% (maximum 84.86% and 86.20%) decrease for the delays of paths with heavy traffics. Based on the 90nm CMOS technology, the hardware area is 213,471 μm^2 , which demonstrates its scalability.

Key words: spiking neural networks; networks-on-chip; router; arbiter; dynamic priority

1 引言

脉冲神经网络是迄今最具生物真实性的人工神经网络模型, 具有较强的计算能力, 适合对复杂时空信息

进行处理^[1]. 鉴于生物神经元良好的生物学特性和强大的计算能力, 人们希望能够建立模拟哺乳动物大脑关键信息处理机制的类脑系统. 近年来, 片上网络 (Network-on-chip, NoC) 技术的提出^[2,3], 为脉冲神经网络在

收稿日期: 2017-07-27; 修回日期: 2017-11-02; 责任编辑: 蓝红杰

基金项目: 国家自然科学基金 (No. 61603104, No. 61661008); 广西自然科学基金 (No. 2016GXNSFCA380017, No. 2015GXNSFBA139256); 广西高校引进海外高层次人才百人计划专项经费; 广西高校科研项目 (No. KY2016YB059); 广西多源信息挖掘与安全重点实验室开发基金 (No. MIMS15-07)

硬件上的互连方案提供了较好的思路. 片上网络包括计算和通信子系统,前者由计算单元组成,负责完成计算任务,后者由路由器及其连接的通信链路组成,负责计算单元的通信互连,实现数据资源的信息交互. 计算单元和路由器按照一定的拓扑结构相互连接^[4]. 片上网络技术已被应用于脉冲神经网络^[5-7],其中神经元和突触映射到片上网络的计算单元模块,脉冲神经元的轴突由片上网络的通信路径来构成,而神经元间的连接结构则由片上网络的拓扑结构来模拟. 这一方法使得脉冲神经网络的硬件互连成为可能.

脉冲神经元有多种不同的脉冲模式,这些神经元间复杂的交通模式容易引起片上网络硬件系统的交通负载失衡,导致脉冲数据包传输时延增大,进而影响神经元间的时序行为及脉冲神经网络的整体功能表现. 因此脉冲神经网络硬件互连系统的一个关键问题在于,如何优化片上网络路由器的设计,从而能够及时传输脉冲数据包及平衡网络整体交通负载. 研究工作[8, 9]中基于片上网络技术,采用二维网格拓扑结构提出了一种脉冲神经网络架构——EMBRACE. 本文在此架构的基础上,提出一种新颖的片上网络路由器来满足脉冲神经网络不同交通模式信息传递的实时性需求. 该路由器采用基于高频优先原则的动态优先级仲裁策略,结合 XY 路由算法,可有效地降低高频率通信路径的时间延迟,能够避免交通负载失衡及其可能引发的数据包严重延时和丢包风险,提高神经网络硬件系统工作鲁棒性. 同时本文所提出的路由器架构在硬件资源占用上,具有较低的面积和功耗,能够较好地保持系统的可扩展性.

2 脉冲神经网络硬件系统相关研究工作

目前,脉冲神经网络的实现方式主要有软件实现和硬件实现两种. 前者一般是指利用计算机软件,通过流程图设计和程序代码编写来实现神经元模型及其互连. 然而 CPU 处理器一般基于冯·诺依曼结构,其程序顺序执行的本质无法有效保证大量神经元的实时运算和模拟. 近期科研人员已经提出了一些脉冲神经网络硬件实现方法^[9-17]. 其中,文献[10]提出了一种基于片上网络的神经网络硬件架构. 该架构采用二维花托拓扑和 XY 路由算法实现神经元节点互连,能够完成脉冲神经元互连. 文献[11]提出的 FACETS 架构则是一种多层通信的高密度的硬件神经网络,包含了 180,000 个神经元,同时每个神经元包含 256 个突触,并采用二维花托片上网络路由器实现了晶圆之间的互连. 而 SpiNNaker^[12-14]则采用了 18 个 ARM968 处理器作为其计算内核,并且使用并行处理方式,模拟 18,000 个脉冲神经元,互连结构为二维环绕三角网格. 另外一种神经形态

芯片 TrueNorth^[15,16]则包含 4096 颗内核,100 万个可编程脉冲神经元和 2.56 亿个可配置突触. 此外,文献[9, 17]中提出的 EMBRACE 架构使用了一种新型神经元模块(Neural Tile),该结构由数字路由器和一组可编程神经元/突触组成,具有良好的可扩展性. 因此本文基于 EMBRACE 架构进一步对路由器结构能够优化,提出一种脉冲神经网络动态优先级仲裁策略,它能够对高频通信路径请求进行仲裁,从而平衡网络整体交通流量,提供可靠、高效的通信机制.

3 基于动态优先级仲裁策略的片上网络路由器

3.1 路由节点概述

图 1 表示了 EMBRACE 架构中神经元模块结构及其通信所采用的数据包格式信息. 图 1(a)为神经元模块,其由神经元计算单元和路由器组成. 神经元计算单元提供神经元、突触的计算处理功能,而路由器则负责神经元模块间的高速通信. 每一个路由节点包含了东、南、西、北四个方向的数据端口,以及一个连接神经元计算单元的本地端口. 神经元模块之间所传送的神经脉冲被表示为一个数据包,如图 1(b)所示. 它包含数据包头、源节点地址和目的节点地址三个部分,其中数据包头、数据包的格式和各区域位宽可以根据具体应

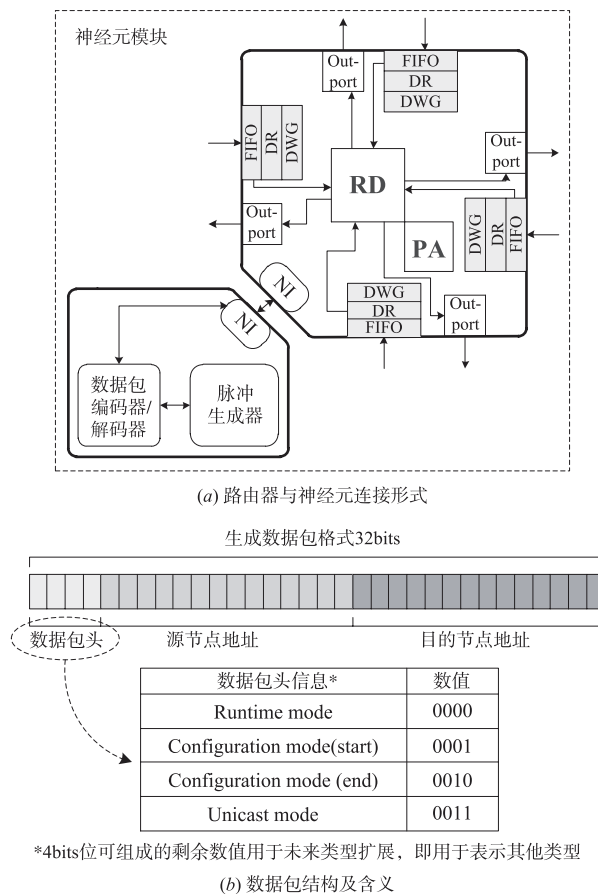


图1 EMBRACE架构中神经元模块及其数据包格式

用类型进行配置.

不同神经元之间通过脉冲进行通讯,脉冲形式可以归纳为常规、反跳、快速和激发脉冲等^[17].不同脉冲形式,其频率差异较大,这种脉冲频率间的差异会对数据包的传输延迟带来较大的影响,而现有常用的固定优先级、轮询仲裁路由器等并不能很好地处理这个问题.例如,当神经元之间频繁地进行数据通信时,如果采用传统固定优先级的仲裁路由器,在网络通讯比较繁忙时,就会导致优先级低请求一直得不到响应,出现“饥饿”现象;而轮询仲裁路由器则以轮询的方式响应每个端口发出的请求,无法区分通信路径优先级,容易产生交通热点,造成数据拥塞和流量负载失衡.鉴于此,

本文提出了一个新颖的基于动态优先级仲裁策略的片上网络路由器来解决这一问题.如图2所示,该片上网络路由器主要包含以下模块:(1)路由算法模块(Routing Decision, RD),用于实现路由算法,采用复杂度较小的XY路由算法;(2)FIFO模块,用于缓存数据包,同时为动态优先级仲裁模块提供交通状态辅助信息;(3)方向寄存器模块(Direction Register, DR),缓存发送给各方向的数据包,同时为动态优先级仲裁模块提供状态信息;(4)方向权值模块(Direction Weight Generator, DWG),用于计算方向权值,并将计算结果送入仲裁器模块以完成路由仲裁过程;(5)动态优先级仲裁器模块(Priority Arbiter, PA),用于实现路由节点的优先级仲裁算法.

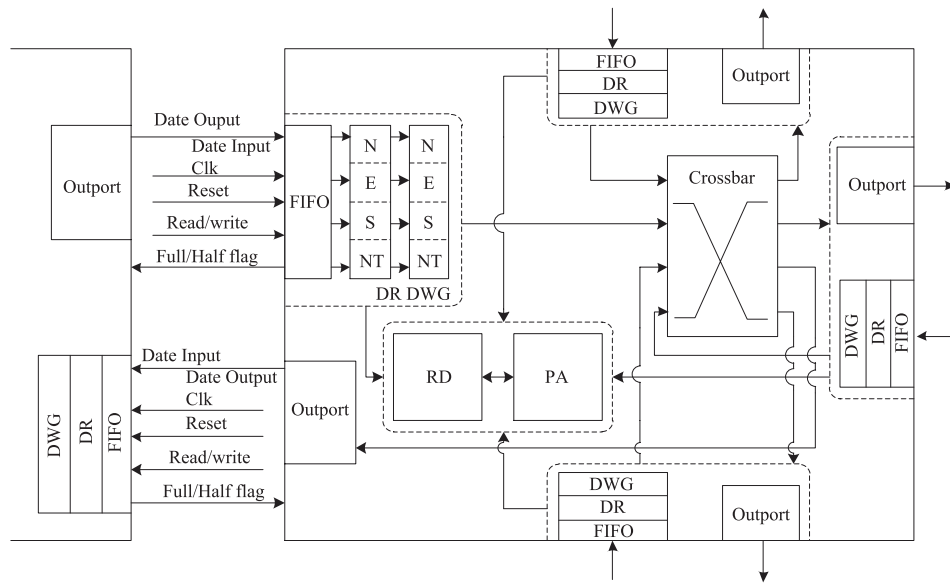


图2 动态优先级路由器基本结构

3.2 优先级仲裁策略的实现

在神经元模块互连结构中,当某一路径存在高频数据请求时,则在该路径所经过的路由器对应端口在此时刻必有较多的数据存储,且数据量与请求频率相

关,即请求频率越高,对应端口数据量越大.基于此,提出设计了一个动态优先级仲裁策略.如图3所示,动态优先级仲裁策略通过路由器中的五个方向FIFO、方向寄存器模块、方向权值生成器、动态优先级

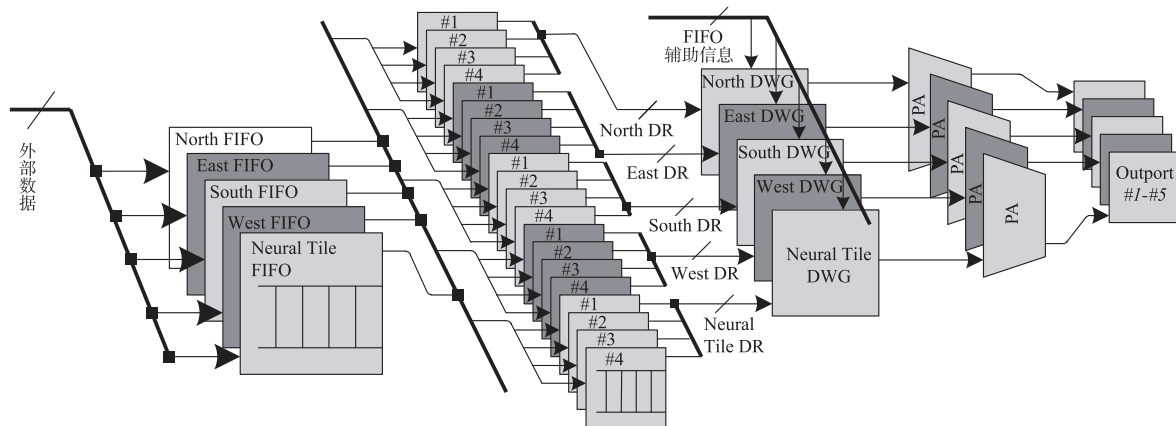


图3 动态优先级仲裁策略

仲裁器共同实现. 其中 FIFO 属于辅助模块, 其它模块为核心模块.

在数据包经过某一路由节点时, 数据首先被存储在相应端口的 FIFO 中. 此时, FIFO 根据数据包中携带的地址信息将其传递给对应的方向寄存器, 方向寄存器在接收到数据包后发送数据传输请求. 当多个方向寄存器同时请求通过同一输出端口发送数据包时, 则需要对这多个方向寄存器的请求进行仲裁, 从而确定发送次序. 仲裁策略各部分的功能及仲裁的具体流程如图 4 所示.

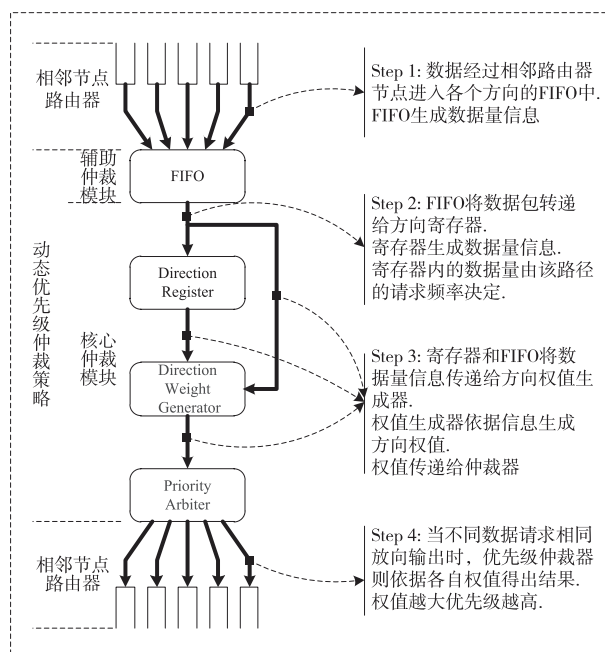


图4 动态优先级仲裁基本流程

在方向寄存器模块存储或发送数据的过程中, 同时生成此方向寄存器模块的数据量信息(6 比特表示), 并将此数据量信息传递给方向权值模块. 方向权值模块则依据数据量信息生成代表各个方向寄存器模块的方向权值. 方向权值与数据量成正比, 权值越大、方向寄存器模块发送数据包的优先级越高. 优先级高的数据包经动态优先级仲裁器模块仲裁后能够得到优先发送. 当存在两个或两个以上数据包的优先级相同时, 则根据数据包来源 FIFO 内的数据信息进行辅助仲裁, 即方向寄存器模块发送数据信息给方向权值模块的同时, FIFO 中的数据量信息同时传输给方向权值模块, 用以生成方向权值. 若此时数据优先级依然相同, 则采用固定优先的方式完成仲裁. 优先级和方向权值之间的具体函数关系表示为

$$P_n = W_n \quad (1)$$

其中 n 表示方向, P_n 是对应的优先级, W_n 是对应的方

向权值. 方向权值和数据信息量之间的关系描述为

$$W_n = R_n^i \& F_n^i \quad (2)$$

其中, R_n^i 表示方向 n 的方向寄存器的 6 比特二进制数据量, i 表示对应的方向寄存器, $\&$ 表示并置运算, 表示 FIFO 的 6 比特二进制数据量.

在路由器工作过程中, 方向寄存器模块与 FIFO 内的数据不断地发送与存储, 对于高频路径, 其根据式 (1)、(2) 所得到的优先级较高, 所以高频路径的数据将优先得到发送, 其数据平均延迟较低; 而在一定时间内低频路径所得到的优先级较低, 其数据平均延迟则较高. 但是, 高优先级的数据包得到发送后, 会降低对应方向寄存器模块的数据优先级; 而低优先级数据包对应的方向寄存器模块内的数据因为初始阶段数据发送缓慢, 经过一定时间的数据存储后, 优先级会升高, 从而使数据得到传送. 这一动态优先级调整过程, 能够使方向寄存器模块内数据包优先级不断变化, 避免低频交通路径及整个系统因动态优先级仲裁策略造成数据“饥饿”、丢包的情况发生.

4 实验及分析

实验基于脉冲神经元模型, 使用基于 SystemC 的片上网络仿真器 Noxim 搭建实验平台, 比较了轮询、固定优先级及动态优先级仲裁策略三种不同方案在面对复杂网络交通模式下的网络平均包延迟、吞吐率、网络平均包延迟等性能指标, 以此对比分析所提出的面向高频数据请求的动态优先级仲裁策略性能. 同时, 使用 Synopsis Design Compiler 在 90nm CMOS 工艺下, 基于 100MHz 的路由器工作频率, 对所提出的动态优先级路由器进行功耗和硬件面积分析, 从而对硬件性能进行评测.

4.1 实验安排及参数设置

图 5 是一个典型的前馈脉冲神经网络结构, 采用全连接方式互连, 具有输入层、隐藏层、输出层互连结构, 共 16 个脉冲神经元节点. 实验中将该一结构映射到硬件片上网络中, 来进行性能的分析与评测.

实验中采用了 Izhikevich 脉冲神经元模型^[18] 构建脉冲神经元节点, 它能够对不同类型的脉冲序列输出情况进行建模. Izhikevich 脉冲神经元模型结合了 Hodgkin-Huxley 模型^[19] 的生物学特性与 integrate-and-fire 模型^[20] 的计算高效性, 比较接近真实生物神经元的特性. 其二维常微分方程描述为

$$v' = 0.04v^2 + 5v + 140 - u + I \quad (3)$$

$$u' = a(bv - u) \quad (4)$$

$$\text{在 } v \geq 30\text{mV} \text{ 时, 则 } \begin{cases} v \leftarrow c \\ u \leftarrow u + d \end{cases} \quad (5)$$

其中, v 是神经元的膜电位, u 是膜恢复变量, I 为突触

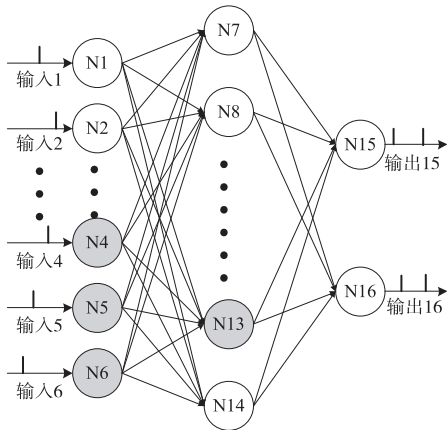


图5 典型前馈脉冲神经网络结构

电流, a 描述了恢复变量 u 的时间范围, b 描述了恢复变量 u 转变到膜电位时, 其阈值波动的灵敏性, c 描述了膜电位 v 的复位值, d 描述了恢复变量 u 的复位值. 通过设定模型参数 a, b, c, d 的值, 能够产生常规、快速脉冲等不同脉冲类型. 在外部刺激电流 I 的大小有变化时, 脉冲频率亦会发生改变. 图 6 给出了实验中所采用的不同类型及频率的神经元脉冲示例.

实验中采用 Noxim 片上网络仿真器构建了的二维网格片上网络系统, 将图 5 中的基本通信互连单元映射到该片上网络硬件系统中, 如图 7 所示. N4、N5、N6、N13 分别连接路由器 6、9、11 和 14. 为了评价不同的仲裁策略性能, 根据图 7 中的映射结果构建了 3 条通信路径 (以路由节点编号表示): 分别由 N4、N5、N6 神经元节点 (源节点) 发送数据到 N13 神经元节点 (目的节点). 同时实验设定 N4 神经元节点具有较高的数据包注入率, N5、N6 神经元节点具有较低的数据包注入率, 则通信路径 6→10→14 为高频通信路径, 通信路径 9→10→14, 11→10→14 为低频通信路径. 在此条件下实验针对轮询、固定及动态优先级仲裁策略进行仿真分析.

在实验中, 脉冲神经元模型中 1ms 对应 Noxim 中的 1 个时钟周期, 在外部刺激即电流 I 有变化时, 高频路径数据注入率会随之变化, 其快速脉冲神经元的脉冲注入率在每组实验中从 0.01 至 0.09 依次递增. 同时常规脉冲神经元所在的低频路径脉冲发放频率保持不变. 数据注入率为每个时钟周期发送的脉冲数据包个数. 表 1 给出了本次实验过程中的具体参数设置情况, 路由器 FIFO 及寄存器深度分别为 2 和 4. 实验共进行 9 组, 每组时长为 10,000 个时钟周期. 同时, 在每次仿真开始时先运行 1,000 个时钟周期使系统达到稳定状态, 随后进行 10,000 个时钟周期的仿真. 显然, 在实验过程中 9 号路由器节点同时需要将来自不同方向、不同发送频率的数据包传递到同一端口, 对此不同的仲裁策

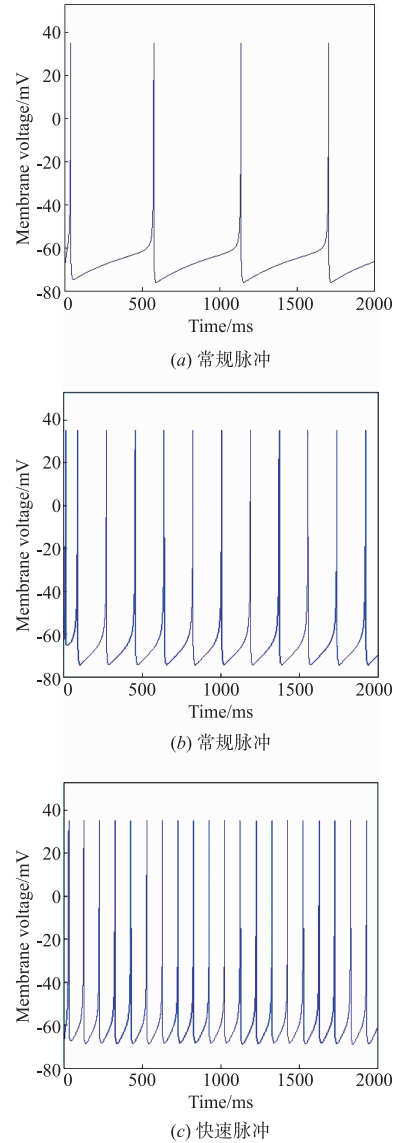


图6 Izhikevich神经元脉冲示例

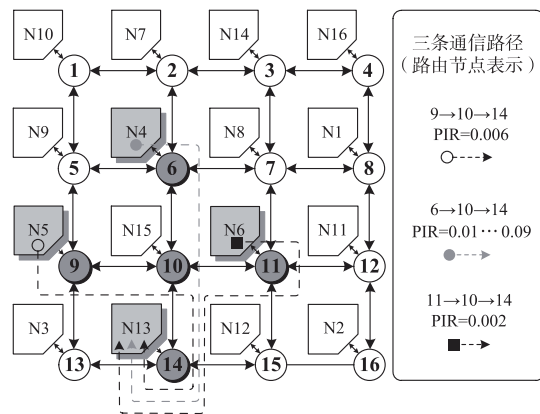


图7 脉冲神经网络基本通信互连结构在 4×4 二维片上网络中的映射
略将会产生不同的仲裁结果, 对系统性能产生不同影响.

表 1 实验相关参数设置

类别	低频通信路径	高频通信路径
实验路径	9→10→14	11→10→14
实验序号	1-9	1-9
实验/稳定周期	10000/1000	10000/1000
FIFO/寄存器深度	2/4	2/4
注入率	0.006	0.002
		0.010-0.090

4.2 性能指标

在测试中,将基于以下四种性能指标来评估不同仲裁方案的性能。

(1) 网络路径延迟比. 它是指具体某条路径的数据延迟占总延迟的比例,是系统注入率、路由算法以及仲裁策略综合作用的结果. 实验中在三种方案下设定了相同的注入率,同时采用了相同的路由算法,故网络路径延迟比主要表征了仲裁策略的性能. 它可以由下面的公式计算求出,

$$R_{npd} = \frac{D_i}{\sum_{i=1}^N D_i} \quad (6)$$

其中, R_{npd} 是系统网络路径延迟比, D_i 是系统单条路径的数据延迟, N 是系统中通信路径的总数量。

(2) 吞吐量. 它是指网络每个周期每个节点平均收到的数据包数量,主要表征了该网络总体传输性能,可以通过下面的公式计算得出,

$$T = \frac{N_p}{N_n \times t_s} \quad (7)$$

其中, T 表示系统吞吐量, N_p 表示系统在整个周期内接受的数据包数量, N_n 表示系统具有的计算节点数量, t_s 表示系统的仿真周期。

(3) 网络平均包延迟. 它指数据包由源节点传输到目的节点所需的平均时间,是网络传输时间和输入通道队列等待时间之和,可由下面的公式得出,

$$D_A = \frac{\sum_{i=1}^N D_p}{N} \quad (8)$$

其中, D_A 是系统的平均包延迟, D_p 是单个数据包由源节点传输到目的节点所需时间, N 是数据包总数量。

(4) 网络总功耗. 它是指发送和接收数据包一系列过程中产生的总功耗。

4.3 实验结果

图 8 显示了在网络高频路径延迟比随注入率的趋势变化情况. 采用轮询及固定优先级仲裁器的片上网络系统的高频路径延迟比,随着注入率的提高不断上升;而采用动态优先级仲裁策略的片上网络系统,因高频路径的数据有着较高的优先级,故高频路径延迟在注入率达到 0.06 之后显著降低. 可以看出,与轮询及固定优先级仲裁器相比,采用动态优先级仲裁器可使高

频路径延迟分别平均下降 32.33% 和 34.69%. 其中,当注入率达到 0.09 时,降幅达到最大值 84.86% 和 86.20%. 因此,动态优先级仲裁器较另外两种仲裁器具有明显优势。

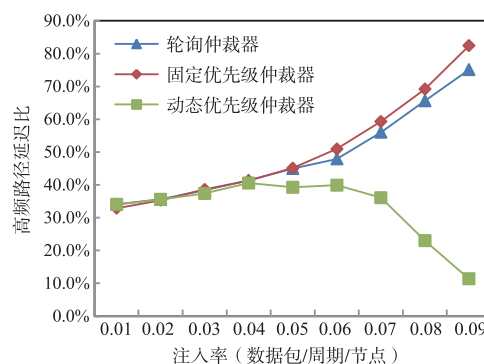


图8 网络高频路径延迟比

图 9(a) ~ (c) 给出了在网络未饱和的情况下,低频路径延迟比、吞吐量、网络平均包延迟随注入率的趋势变化情况. 可以看出随着注入率的增大,与轮询及固定优先级仲裁器相比,采用动态优先级仲裁器使低频路径时延有所增加. 如图 9(a) 所示,在高频路径注入率从 0.06 增加到 0.09 时,低频路径时延上升了 8.01% - 63.76%,时延最高增加了 4.09 μ s. 但因为生物脉冲神经网络神经元间的数据通信传输速率较低(平均在百赫兹左右),所以脉冲数据包能够在脉冲时序允许范围内及时到达目的结点. 同时随着低频路径待转发数据的增加,优先级会不断进行调整,从而使得低频路径能够有机会得到授权并进行数据发送. 图 9(b)、(c) 显示了三种方案的吞吐量、网络平均包延迟数据曲线几乎重叠,即三者在这些方面性能相似,即动态优先级仲裁器虽然增加了低频路径的延迟,但并未损失系统整体数据传输性能. 同时,根据 3.2 节的分析,在网络饱和或阻塞时,也不会因采用本文设计的动态优先级仲裁器对系统整体数据传输性能造成损失. 由以上实验数据可知,采用动态优先级仲裁策略能够大幅降低高频路径的包延迟,降低系统丢包风险,提高通信可靠性. 同时不损失系统在吞吐率和网络平均包延迟方面的性能。

4.4 路由器硬件实现

本文使用 Synopsis Design Compiler 在 90nm CMOS 工艺下,采用 100MHz 的路由器工作频率,对所提出的动态优先级路由器进行功耗和硬件面积分析. 其中 FIFO 深度为 2,各方向寄存器深度为 4,动态优先级路由器面积、总功耗分别为 213,471 μ m²、7.58mW. 表 2 给出了本文设计的路由器与其它典型路由器在面积与功耗上的差异. 与文献[9]中相比较,本文路由器硬件面积略小,但大于文献[17]中 56,000 μ m² 的路由器面积,原因在于本文设

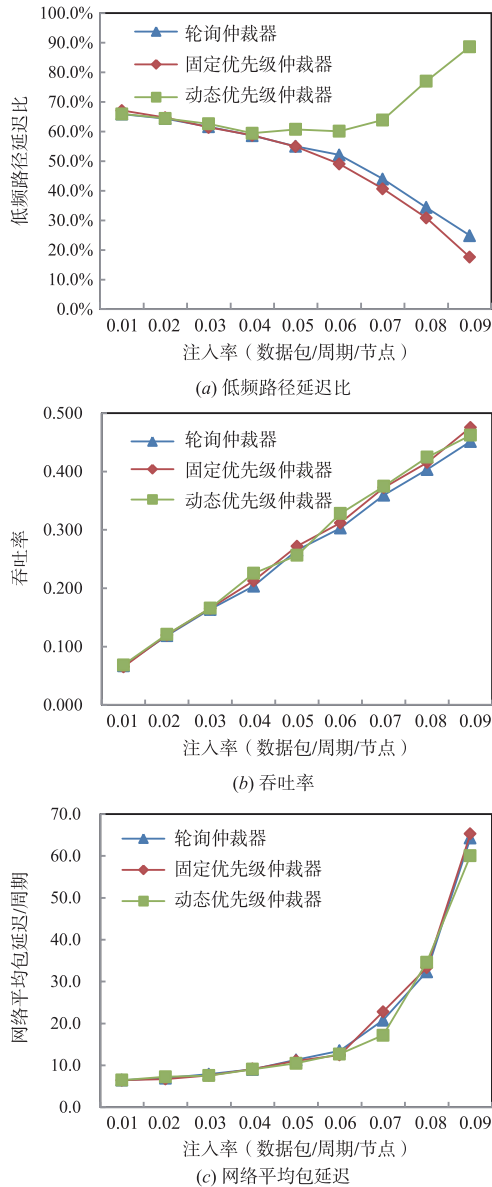


图9 实验结果

计的优先级路由器为了更好地完成方向权重的确定,降低高频路径的延迟,使用了方向寄存器模块,而它占用资源较多(路由器面积的81%)。同时,因权值生成过程中需要进行数据计算,故功耗较文献[17]中所提出的自适应路由器功耗增加较大,但仍明显小于文献[12,13]中所采用路由器的功耗。因此本文设计的动态优先级路由器在资源功耗方面具有一定优势。

表2 不同路由器实现方案比较

参考文献	工艺	面积/ μm^2	功耗/mW
[9]	90nm CMOS	201,000	N/A
[12,13]	130nm CMOS	N/A	27
[17]	90nm CMOS	56,000	1.72
本文	90nm CMOS	213,471	7.58

5 结论

本文提出了一种脉冲神经网络硬件系统中动态优先级仲裁策略,能够使得脉冲神经元高频率数据请求方向的数据包较快得到转发,显著降低高频路径延迟,降低系统丢包风险,提高系统工作稳定性。实验结果表明,和轮询及固定优先级仲裁方案相比,采用所提方案高频路径延迟平均下降32.33%和34.69%。当注入率最大0.09时,其高频路径延迟降幅达到最大值84.86%和86.20%。在接下来的工作中,将对路由结构和仲裁算法进行优化,降低寄存器的使用规模和路由器数据处理量,从而降低系统面积和功耗。同时,改进现阶段所用路由算法,进一步提高系统吞吐率和总体性能。

参考文献

- [1] 蔺想红,王向文,张宁,等. 脉冲神经网络的监督学习算法研究综述[J]. 电子学报,2015,43(3):577-586.
LIN Xiang-hong, WANG Xiang-wen, ZHANG Ning, et al. Supervised learning algorithms for spiking neural networks: A review[J]. Acta Electronica Sinica, 2015, 43(3): 577-586. (in Chinese)
- [2] 马立伟,孙义和. 片上网络拓扑优化:在离散平面上布局与布线[J]. 电子学报,2007,35(5):906-911.
MA Li-wei, SUN Yi-he. Network-on-chip topology optimizations: Floor-plan and routing on discrete plane[J]. Acta Electronica Sinica, 2007, 35(5): 906-911. (in Chinese)
- [3] 杨盛光,李丽,高明伦,等. 面向能耗和延时的NoC映射方法[J]. 电子学报,2008,36(5):937-942.
YANG Sheng-guang, LI Li, GAO Ming-lun, et al. An energy and delay aware mapping method of NoC[J]. Acta Electronica Sinica, 2008, 36(5): 937-942. (in Chinese)
- [4] BENINIL, MICHELID, GIOVANNI. Networks on chips: a new SoC paradigm[J]. Computer, 2002, 35(1): 70-78.
- [5] FIRUZAN A, MODARRESSI M, DANESHTALAB M. Reconfigurable communication fabric for efficient implementation of neural networks[A]. 10th International Symposium on Reconfigurable and Communication-centric Systems-on-Chip[C]. IEEE, 2015.
- [6] CARRILLO S, HARKIN J, MCDAID L J, et al. Scalable hierarchical network-on-chip architecture for spiking neural network hardware implementations[J]. IEEE Transactions on Parallel and Distributed Systems, 2013, 24(12): 2451-2461.
- [7] LIU J, HARKIN J, MCDAID L, et al. Hierarchical Networks-on-Chip interconnect for astrocyte-neuron network hardware[A]. Artificial Neural Networks and Machine Learning[C]. Springer International Publishing, 2016. 382

- 389.
- [8] LIU J, HARKIN J, LIAM P, et al. Scalable Networks-on-chip interconnected architecture for astrocyte-neuron networks[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2016, 63(12): 2290 – 2303.
- [9] HARKIN J, MORGAN F, MCDAID L, et al. A reconfigurable and biologically inspired paradigm for computation using network-on-chip and spiking neural networks[J]. International Journal of Reconfigurable Computing, 2009, 2009: 1 – 13.
- [10] THEOCHARIDES T, LINK G, VIJAYKRISHNAN N, et al. A generic reconfigurable neural network architecture implemented as a network on chip[A]. IEEE International SOC Conference[C]. IEEE, 2004. 191 – 194.
- [11] SCHEMMELE J, FIERES J, MEIER K. Wafer-scale integration of analog neural networks[A]. Proceedings of the International Joint Conference on Neural Networks[C]. IEEE, 2008. 431 – 438.
- [12] FURBER S B, TEMPLE S, BROWNA. High-performance computing for systems of spiking neurons[J]. Engineering, 2006, 2: 29 – 36.
- [13] JIN X, LUJAN M, PLANA L A, et al. Modeling spiking neural networks on SpiNNaker[J]. Computing in Science and Engineering, 2010, 12(5): 91 – 97.
- [14] FURBER S B, LESTER D R, PLANAL A, et al. Overview of the SpiNNaker system architecture [J]. IEEE Transactions on Computers, 2013, 62(12): 2454 – 2467.
- [15] SEO J-S, BREZZO B, LIU Y, et al. A 45nm CMOS neurosdsdsdsdmorphic chip with a scalable architecture for learning in networks of spiking neurons [A]. IEEE Custom integrated Circuits Conference (CICC) [C]. IEEE, 2011. 1 – 4.
- [16] MEROLLA P A, ARTHUR J V, ALVAREZ-ICAZA R, et al. A million spiking-neuron integrated circuit with a scalable communication network and interface [J]. Science, 2014, 345(6197): 668 – 673.
- [17] CARRILLO S, HARKIN J, MCDAID L, et al. Advancing interconnect density for spiking neural network hardware implementations using traffic-aware adaptive network-on-chip routers[J]. Neural Networks, Elsevier Ltd, 2012, 33: 42 – 57.
- [18] IZHIKEVICH E M. Simple model of spiking neurons[J]. IEEE Transactions on Neural Networks, 2003, 14(6): 1569 – 1572.
- [19] A. L. HODGKIN, A. F. HUXLEY. A quantitative description of membrane and its application to conduction and excitation in nerve [J]. Journal of Physiology, 1952, 117(4): 500 – 544.
- [20] 蔺想红, 张田文. 指数突触电导 IF 神经元模型及事件驱动模拟策略[J]. 电子学报, 2008, 36(8): 1495 – 1501.
LIN Xiang-hong, ZHANG Tiang-wen. An integrate and fire neuron model with exponential synaptic conductances for event-driven simulation strategy [J]. Acta Electronica Sinica, 2008, 36(8): 1495 – 1501. (in Chinese)

作者简介



刘俊秀 男, 1984 年生于黑龙江绥化. 博士, 广西师范大学电子工程学院讲师. 研究方向为生物神经网络、类脑系统.



黄星月 男, 1992 年生于河南开封. 广西师范大学电子工程学院硕士研究生. 研究方向为脉冲神经网络大规模互连架构.

罗玉玲(通信作者) 女, 1984 年生于湖北武汉. 博士, 广西师范大学电子工程学院副教授. 研究方向为非线性系统、复杂网络与信息安全.

E-mail: yuling0616@ mailbox. gxnu. edu. cn