

量子元胞自动机全加器的性能分析与设计

孙梦博, 吕洪君, 张永强, 解光军

(合肥工业大学电子科学与应用物理学院, 安徽合肥 230009)

摘 要: 作为一种新型的纳米器件, 量子元胞自动机 (Quantum-dot cellular automata, QCA) 有望取代传统 CMOS 器件. 本文总结了目前已提出的三种全加器 (Full Adder, FA) 架构, 通过概率转移矩阵 (Probabilistic Transfer Matrix, PTM) 分析找出其中最稳定的架构, 进一步地, 利用这三种全加器分别构建串行加法器, 并从复杂度、不可逆功耗、成本等方面进行比较, 结果发现性能最优的全加器架构为 MR Azghadi FA. 随后, 选择该架构提出了一种针对全加器的新型逻辑门和共面 QCA 全加器电路, 并应用此全加器设计了多位串行加法器, 经对比分析表明, 本文所提出的全加器电路在面积、元胞数和功耗等方面均有较大改进, 且具有很好的扩展性.

关键词: 量子元胞自动机; 全加器; 可靠性; 概率转移矩阵

中图分类号: TN402 **文献标识码:** A **文章编号:** 0372-2112 (2018)07-1774-07

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2018.07.034

Performance Analysis and Design of Full Adder in Quantum-dot Cellular Automata

SUN Meng-bo, LÜ Hong-jun, ZHANG Yong-qiang, XIE Guang-jun

(School of Electronic Science and Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China)

Abstract: Quantum-dot cellular automata (QCA), a burgeoning technology at nano-scale range, has the potential to take the important place of CMOS technology to be the next IC technique. In this paper, three existing schemes of QCA full adders (FAs) are analyzed in detail using probabilistic transfer matrix (PTM) to find out the most robust one. Three types of n -bit carry flow adders connected serially by these three FAs respectively are also analyzed in terms of complexity, irreversible power dissipation and cost to find out the corresponding FA scheme with best performance. It turns out that MR Azghadi FA always performs well by these two means. With MR Azghadi FA layout, a new logic gate and coplanar QCA FA are then proposed. Analysis and comparison with previous coplanar FAs demonstrate that the proposed FA has a great optimization with respect to area, cell count and power dissipation and also has favorable scalability.

Key words: quantum-dot cellular automata; full adder; reliability; probabilistic transfer matrix

1 引言

CMOS 器件特征尺寸的持续性减小导致了一些不可避免的问题, 如高漏电流和高功耗. 为了解决这些问题, 纳米技术可能是一个很好的选择. ITRS 总结了几种能够取代 CMOS 的新型纳米器件, 如单电子晶体管 (SET)、共振隧穿二极管 (RTD)、碳纳米管 (CNT)、量子元胞自动机 (QCA) 等^[1]. 其中, QCA 因具有较高的集成度^[2]、较快的运算速度^[3]且能够在室温下稳定工作^[4,5]而更有可能取代 CMOS 器件. 自提出至今, QCA 取得了快速发展. 在实验室环境下, 许多 QCA 电路已经实现且

测试成功^[6-10]. 其中, 加法器作为计算系统的一个重要组成部分, 引起了国内外学者的广泛研究.

第一个 QCA 全加器是由 Tougaw 和 Lent 提出的^[11], 该全加器使用了 5 个三输入择多门和 3 个反相器. 之后, Wang 等人提出了一个新的全加器结构, 只用 3 个三输入择多门和 2 个反相器, 门器件数量显著减少^[12]. 基于 Wang 的全加器结构, Hanninen 和 R Zhang 又分别提出了优化电路^[13,14]. MR Azghadi 则提出用五输入择多门进一步简化逻辑函数, 得到一个新型 QCA 全加器^[15]. V Pudi 对择多门逻辑进行简化, 提出一个只用 3 个三输入择多门和 1 个反相器的加法器^[16]. 在保

证门器件数尽可能少的原则下,这些 QCA 全加器都是基于三种最简形式的架构.对于这三种架构,目前尚未进行深入的分析 and 比较.

本文从全加器架构优劣的角度分析,指导设计高性能的 QCA 全加器电路.针对上述三种架构,一方面通过概率转移矩阵 (PTM) 分析其可靠性^[17];另一方面通过其衍生的多位串行加法器的性能判断全加器的性能.用这两个方法找出性能最优的架构并据此设计新的 QCA 全加器电路.此外,本文还分析了电路组成单元对整体电路可靠性的影响,以判断每个组成单元在电路中的重要程度,这在设计门器件时也尤为必要.

2 基础知识

2.1 QCA 基础

QCA 元胞是 QCA 电路的最基本单元,由两个自由电子和四个位于正方形角落的量子点构成.由于电子间库仑力的作用,两个电子一般呈对角分布,就构成了两种电子排列方式,可分别编码二进制 0 和 1^[18,19].元胞通过电子间的库仑相互作用达到传递信息的目的.设元胞 1 是驱动元胞且极化值 P_1 已固定,那么被驱动元胞 2 的极化率 P_2 满足式 (1).其中, γ 为量子间的势垒高度, $E_k^{1,2}$ 为元胞 1 和元胞 2 之间的扭结能.

$$P_2 = \frac{\frac{1}{2\gamma} P_1 E_k^{1,2}}{\sqrt{1 + \left(\frac{1}{2\gamma} P_1 E_k^{1,2}\right)^2}} \quad (1)$$

QCA 最基本的门器件是三输入择多门 Maj3,即表决器,如图 1(a)所示,其中 A, B, C 表示输入信号, F 表示输出信号(下同).通过将某个输入元胞的极化率固定为 -1 或者 1,就可以实现与门或者或门.图 1(b)为五输入择多门 Maj5,同样能够实现表决器的功能. QCA 反相器也是一个基本门器件,其输出值等于输入值的逻辑取反,如图 1(c)所示.

QCA 时钟可以控制信息流的方向,被划分成四个连续的时钟区域,每个时钟区域与上一个时钟区域相差一个 90° 的相位延迟^[20].

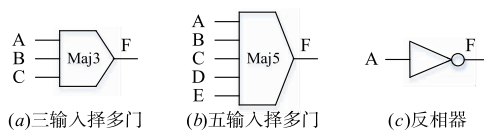


图1 QCA基本门器件

2.2 概率转移矩阵

作为一种评估组合电路可靠性的数学方法,概率转移矩阵以概率门模型为基础,表示门电路出现故障的概率.为了得到一个复杂电路的概率转移矩阵,需要将该电路划分成不含串联结构的多个子电路,并假设

各个门器件之间出现错误的可能性相互独立.于是,整个电路的概率转移矩阵可以由子电路的概率转移矩阵按照一定的运算规则得到.

规则一,假设两个门器件的概率转移矩阵分别是 PTM_1 和 PTM_2 且并联,则整体的概率转移矩阵是两个矩阵的张量积,即 $PTM = PTM_1 \otimes PTM_2$.

规则二,假设两个门器件的概率转移矩阵分别是 PTM_1 和 PTM_2 且串联,则整体的概率转移矩阵是两个矩阵的乘积,即 $PTM = PTM_1 \times PTM_2$.

规则三,假设两个门器件的概率转移矩阵分别是 PTM_1 和 PTM_2 且通过扇出线相联,则整体的概率转移矩阵是两个矩阵的张量积并删除输入值不同的行.

2.3 QCA 电路的不可逆功耗、复杂度和成本函数

根据 Landauer 定理,一个物理系统的熵在运算过程中逐渐减小,所以必然存在能量耗散.不可逆功耗来自信息丢失,存在于不可逆电路中.在 QCA 电路中,不可逆功耗通常用择多门的个数衡量.

QCA 电路的复杂度可以用择多门、反相器和交叉线数量的和衡量,即 $Complexity = M + I + C$.其中, M, I, C 分别是择多门、反相器和交叉线的个数.另外,交叉线与制造复杂度相关,且时钟延迟也关乎电路的性能.基于这些原因,文献[21]中提出了 QCA 电路成本函数 (Cost function) 的概念,成本函数被定义为 $Cost = (M^x + I + C^y) \times L^z$,其中 L 是时钟延迟个数, x, y, z 分别指相应量的指数加权,取值大于等于 1.根据电路研究的侧重点不同,权重的值可以调整.为了将门器件和时钟对电路的影响均匀考虑在内,本文将权重 x, y, z 均取值为 1.

3 全加器架构

3.1 三种全加器架构

对于全加器,输入:操作数为 A 和 B ,进位输入为 C ;输出:和为 S ,进位输出为 Co ,即

$$Co = AB + AC + BC = M(A, B, C) \quad (2)$$

$$S = ABC + \bar{A}BC + A\bar{B}C + A\bar{B}\bar{C} = M(\overline{M(A, B, C)}, M(\bar{A}, B, C), A) \quad (3)$$

$$S = M(\overline{M(A, B, C)}, \overline{M(A, B, \bar{C})}, A, B, C) \quad (4)$$

$$S = M(\overline{M(A, B, C)}, \overline{M(M(A, B, C), B, C)}, A) \quad (5)$$

R Zhang 提出一种减少择多门的方法,并设计了全加器(在本文中简称为 R Zhang FA,下同),表达式如式 (3)所示,电路架构如图 2(a)所示. MR Azghadi 提出用五输入择多门简化逻辑函数,如式 (4)所示,得到的 QCA 全加器 (MR Azghadi FA) 如图 2(b)所示. V Pudi 对全加器逻辑进行简化,如式 (5)所示,得到的全加器架构 (V Pudi FA) 如图 2(c)所示.

为了用概率转移矩阵评估这三种全加器的可靠性,我们将电路划分成若干子电路 S_i ,要求每一个子电

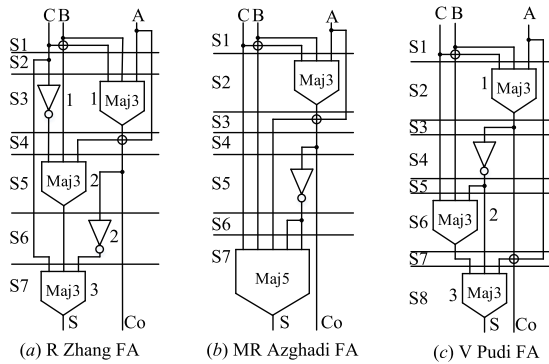


图2 三种全加器架构

路中不含串联的门器件. 虚线圆表示交叉线的位置. 根据 2.2 中介绍的规则, 可以得出 R Zhang FA 的 PTM 表达式为: $PTM = \prod_{i=1}^7 PTM_{si}$, 其中 PTM_{si} 为该子电路中门器件概率转移矩阵的张量积, 以 PTM_{S3} 为例, $PTM_{S3} = PTM_{\text{传输线}} \otimes PTM_{\text{反相器}} \otimes PTM_{\text{传输线}} \otimes PTM_{\text{三输入择多门}} \otimes PTM_{\text{传输线}}$, 这样便可得出 R Zhang FA 整体电路的概率转移矩阵, MR Azghadi FA 和 V Pudi FA 的概率转移矩阵也可同理得到.

图 3 为上述三种架构的可靠性分析结果, 由图 3 (a) 可知, MR Azghadi FA 的可靠性最高, R Zhang FA 次之, 而 V Pudi FA 可靠性最低, 并且三种全加器的出错概率随着门器件出错概率的增加而增加, 并逐渐稳定在 0.75; 由图 3 (b) 可知, R Zhang FA 的出错率最高, 而 MR Azghadi FA 和 V Pudi FA 有基本相等的出错概率且较低; 由于三种全加器的进位输出端 Co 都是由一个三输入择多门产生, 因此拥有相同的出错率, 如图 3 (c) 所示. 通过用概率转移矩阵对三种全加器架构的可靠性分析, 结果表明 MR Azghadi FA 的综合可靠性较高, 占据优势.

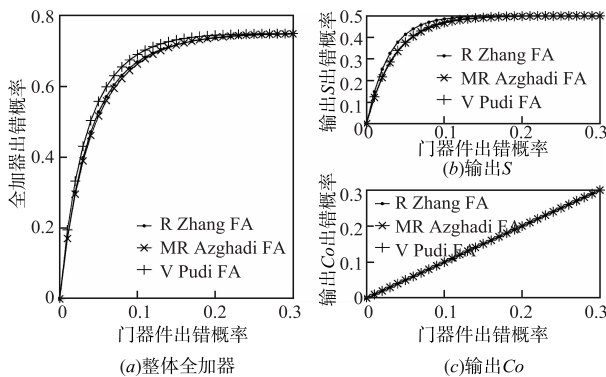


图3 出错率

3.2 由三种全加器架构搭建的 n 位串行加法器

上面从全加器的角度对比分析了三种架构的可靠性, 下面从其应用的角度——由不同全加器构成的 n 位

串行加法器比较三种架构的性能优劣. 图 4、5 和 6 分别是根据上述三种全加器架构搭建的 4 位串行加法器电路, 图中的数字表示该线段所使用的时钟区域, 对每个串行加法器分配最少的时钟延迟.

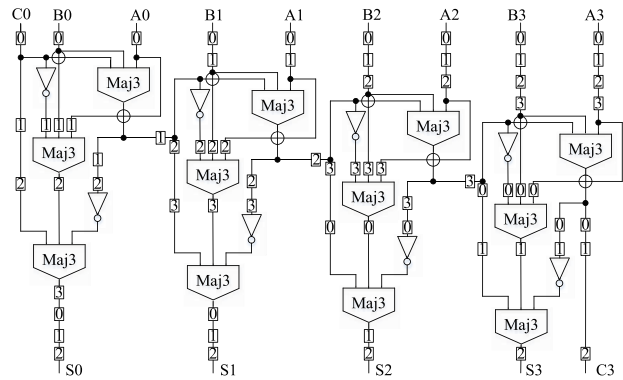


图4 R Zhang FA构成的4位串行加法器

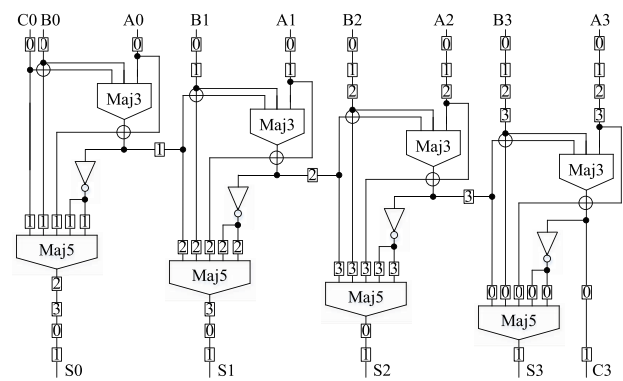


图5 MR Azghadi FA构成的4位串行加法器

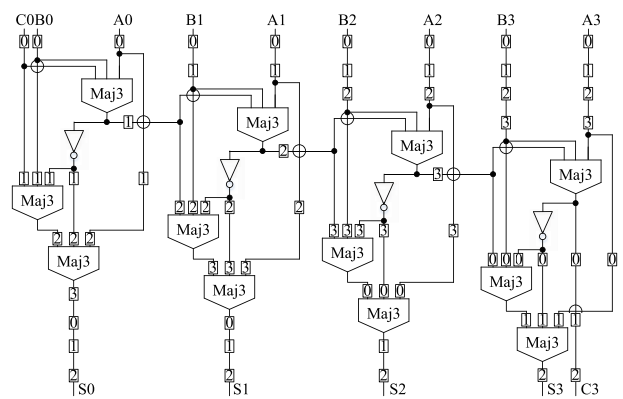


图6 V Pudi FA构成的4位串行加法器

表 1 分别列出了由三种全加器构成的 n 位串行加法器的物理性质. 图 7 分别从复杂度、不可逆功耗和成本函数对三种加法器进行了比较. 由图 7 (a) 可知, MR Azghadi FA 的复杂度最低, 而 R Zhang FA 的最高; 由图 7 (b) 可知, MR Azghadi FA 的不可逆功耗也最低, R Zhang FA 和 V Pudi FA 的不可逆功耗相等且较高; 就成本函数而言, MR Azghadi FA 的依然最低, 如图 7 (c) 所

示. 综合对比来看, 由 MR Azghadi FA 构成的加法器性能最优.

综上所述, 相比于 R Zhang FA 和 V Pudi FA 的架构, MR Azghadi FA 架构的可靠性较高, 由其搭建的 n 位串行加法器的性能也要优于另外两种架构, 因此, 选择 MR Azghadi FA 架构设计 QCA 加法器更具有价值和指导意义.

表 1 全加器构成的 n 位串行加法器的物理性质

加法器	M	I	C	时钟	复杂度	成本
R Zhang FA	$3n$	$2n$	$2n$	$\frac{n+2}{4}$	$7n$	$\frac{7n(n+2)}{4}$
MR Azghadi FA	$2n$	n	$2n$	$\frac{n+2}{4}$	$5n$	$\frac{5n(n+2)}{4}$
V Pudi FA	$3n$	n	$2n$	$\frac{n+3}{4}$	$6n$	$\frac{3n(n+3)}{2}$

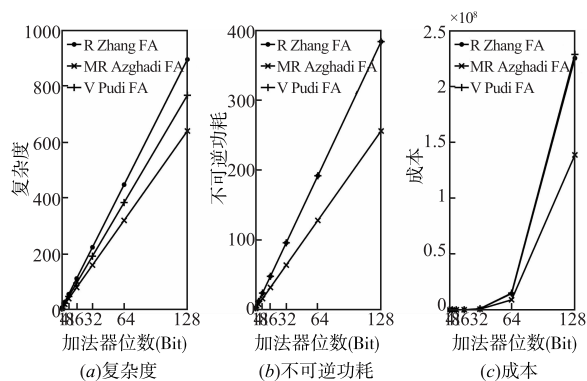


图 7 三种加法器的性能比较

3.3 门器件对全加器电路整体可靠性的影响

图 8 是用概率转移矩阵分析得出的门器件对整体电路可靠性的影响, 在门器件出错概率一样的情况下, Maj3-1 和 Maj3-3 对 R Zhang FA 的影响相同且最大; Maj3 和 Maj5 对 MR Azghadi FA 的影响相同且最大; Maj3-1 和 Maj3-3 对 V Pudi FA 的影响相同且最大. 由图 2 中各个门器件在电路中所处的位置可知, 对整体电路可靠性影响最大的两个门器件分别是直接产生求和输出 S 的择多门和直接产生进位输出 Co 的择多门, 因此在设计全加器电路时, 要特别注重对这两个择多门的设计.

4 新的设计方案

通过上述分析, 在三种全加器架构中, MR Azghadi FA 架构表现得最优, 那么我们就根据这种架构去设计 QCA 加法器电路.

4.1 针对全加器的新型逻辑门

对式(4)分析可知, 该五输入择多门中有两个输入

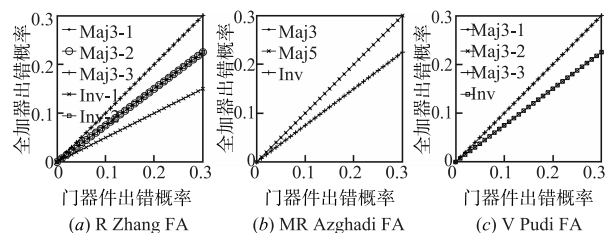


图 8 门器件对全加器可靠性的影响

相同, 且都是式(2)中 Co 的逆. 因此, 在搭建全加器的过程中要用到五输入择多门和反相器. 为了减少门器件个数, 本文针对全加器设计出一种新型逻辑门, 如图 9(a)所示, 其中 A, B, C 是三个输入, Co 位置充当两个输入. 该新型逻辑门的工作原理是先对 Co 进行取反操作, 进而实现 A, B, C 和两个 \overline{Co} 之间的择多, 其仿真结果如图 9(b)所示.

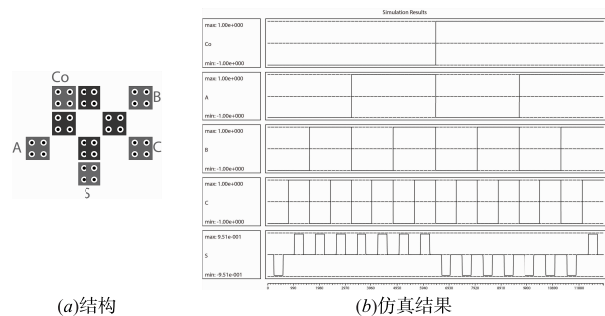


图 9 新型逻辑门

五输入择多门的逻辑表达式为

$$M(A, B, C, D, E) = ABC + ABD + ABE + ACD + ACE + ADE + BCD + BCE + BDE + CDE \quad (6)$$

如果 $D = E = \overline{Co}$, 那么

$$M(A, B, C, \overline{Co}, \overline{Co}) = \overline{Co}(A + B + C) + ABC \quad (7)$$

根据图 9(b) 的仿真结果化简得到逻辑表达式为

$$M(A, B, C, \overline{Co}, \overline{Co}) = \overline{M}(\overline{A}, \overline{B}, \overline{C}, Co, Co) = \overline{Co}(A + B + C) + ABC \quad (8)$$

式(8)与(7)的表达形式一致, 证明了该逻辑门功能的正确性.

4.2 新型共面 QCA 全加器

图 10(a) 为根据 MR Azghadi FA 架构, 利用提出的新型逻辑门设计的 QCA 全加器, 整个电路采用共面布局, 图 10(b) 为其仿真结果. 本文选择对比的全加器[22~26]都是共面结构, 且不包括输入、输出在其结构内部的电路, 因为如果输入、输出在电路结构内部, 在设计多位加法器时, 会用到多层结构或旋转元胞将其引出, 而多层结构和旋转元胞目前在工艺上难以实现.

表 2 列出了全加器物理性质的比较数据(其中 P

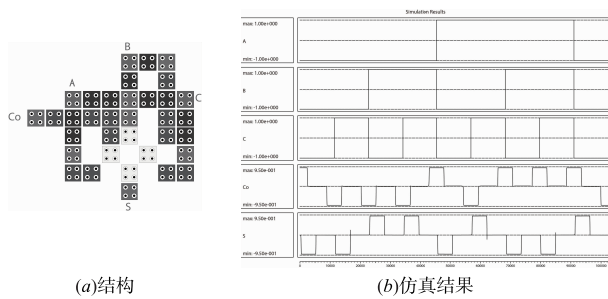


图10 新型QCA全加器

表示我们提出的新型全加器电路,下同). 由表 2 可知, P 拥有最小的面积,比之前面积最小的全加器^[24]减小了 33.62%;从元胞数来看,P 的元胞数也是最少的,只有 35 个元胞,比之前元胞数最少的结构^[22]少了 14 个元胞,相比于文献[22]、[23]、[24]、[25]和[26]分别减少了 28.57%、44.44%、40.68%、59.77%和 49.28%;从功耗来看,P 的功耗也是最低的,比之前具有最低功耗的全加器^[22]在隧穿能为 0.5Ek、1.0Ek 和 1.5Ek 时分别减少了 19.43%、22.83%和 25.17%. 另外,文献[23]、[25]和[26]这三个全加器虽然是共面结构,但是应用了旋转元胞,增加了实现上的困难.

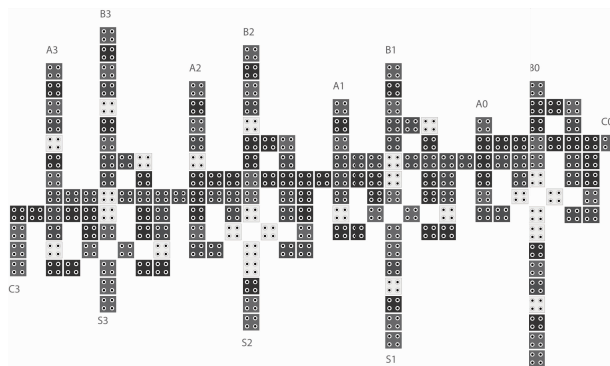
4.3 QCA 全加器应用

本文提出的全加器是共面结构,具有良好的扩展性,图 11(a)是用提出的全加器搭建的四位串行进位加法器,图 11(b)的仿真结果验证了其功能的正确性. 表 3 列出了与文献[22~26]中四位加法器的比较结果,表明 P 具有最小的面积和元胞数,大大节约了制造成本. 另外本文的共面交叉用时钟实现,故使用了 2.5 个时

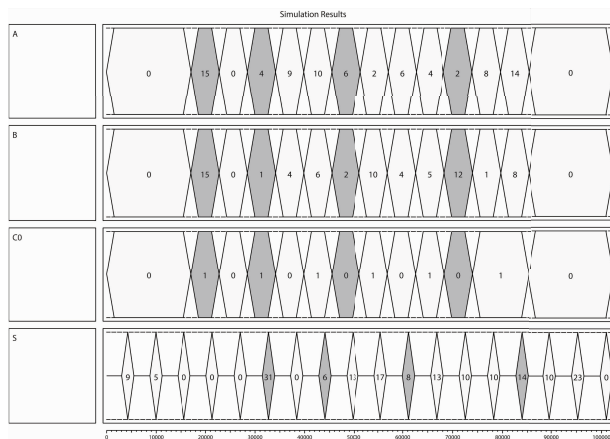
表 2 不同全加器的物理特性比较

全加器	面积 (μm^2)	元胞	时钟	Avg. energy diss. (meV)			Avg. leakage energy diss. (meV)			Avg. switching energy diss. (meV)		
				0.5Ek	Ek	1.5Ek	0.5Ek	Ek	1.5Ek	0.5Ek	Ek	1.5Ek
文献[22]	0.04592	49	1.00	80.49	101.54	127.79	16.98	48.47	83.66	63.51	53.07	44.13
文献[23]	0.04950	63	0.75	99.19	149.40	207.34	37.21	98.50	165.04	61.97	50.90	42.31
文献[24]	0.04236	59	1.00	122.37	143.77	172.20	16.43	51.09	92.60	105.94	92.68	79.61
文献[25]	0.07368	87	1.00	209.51	265.90	336.74	41.81	123.11	216.74	167.70	142.79	120.00
文献[26]	0.08204	69	1.00	164.12	210.48	267.04	35.73	101.14	174.93	128.39	109.33	92.10
P	0.02812	35	1.00	64.85	78.36	95.63	10.66	31.57	55.44	54.19	46.79	40.18

钟. 图 12 是由提出的全加器搭建的 32 位串行进位加法器.



(a)结构



(b)仿真结果

图11 四位串行加法器



图12 提出的32位串行加法器

表 3 四位串行加法器的物理特性比较

四位加法器	面积(μm^2)	元胞数	时钟
文献[23]	0.300	295	1.50
文献[24]	0.208	262	1.75
文献[25]	0.392	373	1.75
文献[26]	0.894	540	4.00
P	0.170	187	2.50

5 结论

根据逻辑表达式最简形式之间的变换,目前全加器的架构可以分为三类.本文利用概率转移矩阵对这三类架构进行了可靠性分析,进一步地,通过分析由这三类全加器分别设计的 n 位串行加法器的复杂度、不可逆功耗和成本可知,由 MR Azghadi FA 搭建的加法器在这三个方面都是最低的.因此综合考虑,MR Azghadi FA 架构性能最优.同时,本文还分析了电路组成单元与电路整体可靠性之间的内在联系.

在此基础上,本文选择 MR Azghadi FA 架构去设计 QCA 加法器电路,分别设计了针对全加器的新型逻辑门和全加器,与同类全加器比较可知,无论在面积、元胞数、功耗还是交叉结构上,该全加器指标最优.再者,该全加器还具有良好的可扩展性,由其搭建的多位加法器功能正确,性能优异.

参考文献

- [1] Cho H, Jr E E S. Adder and multiplier design in quantum-dot cellular automata[J]. IEEE Transactions on Computers, 2009, 58(6): 721 – 727.
- [2] Dehon A, Wilson M J. Nanowire-based sublithographic programmable logic arrays[A]. 2004 ACM/SIGDA, 12th International Symposium on Field Programmable Gate Arrays, FPGA 2004[C]. Monterey, California, USA: ACM, 2004. 123 – 132.
- [3] Seminario J M, Derosa P A, Cordova L E. A molecular device operating at terahertz frequencies: theoretical simulations[J]. IEEE Transactions on Nanotechnology, 2004, 3(1): 215 – 218.
- [4] Cowburn R P, Welland M E. Room temperature magnetic quantum cellular automata[J]. Science, 2000, 287(5457): 1466 – 1468.
- [5] Wang Y, Lieberman M. Thermodynamic behavior of molecular-scale quantum-dot cellular automata (QCA) wires and logic devices[J]. IEEE Transactions on Nanotechnology, 2004, 3(3): 368 – 376.
- [6] Lent C S, Snider G L, Bernstein G. Quantum-dot Cellular Automata [M]. Electron Transport in Quantum Dots, Springer US, 2003. 261 – 263.
- [7] Orlov A O, Amlani I, Toth G. Experimental demonstration of a binary wire for quantum-dot cellular automata[J]. Applied Physics Letters, 1999, 74(19): 2875 – 2877.
- [8] Kummamuru R K, Orlov A O, Ramasubramaniam R. Operation of a quantum-dot cellular automata (QCA) shift register and analysis of errors[J]. IEEE Transactions on Electron Devices, 2003, 50(9): 1906 – 1913.
- [9] Bernstein G H, Imre A, Metlushko V. Magnetic QCA systems [J]. Microelectronics Journal, 2005, 36(7): 619 – 624.
- [10] Wolkow R A, Livadaru L, Pitters J. Silicon Atomic Quantum Dots Enable Beyond-CMOS Electronics [M]. Berlin Heidelberg: Springer-Verlag, 2014. 33 – 58.
- [11] Tougaw P D, Lent C S. Logical devices implemented using quantum cellular automata [J]. Journal of Applied Physics, 1994, 75(3): 1818 – 1825.
- [12] Wang W, Walus K, Jullien G A. Quantum-dot cellular automata adders[A]. The Third IEEE Conference on Nanotechnology (IEEE-NANO 2003) [C]. San Francisco, USA: IEEE, 2003. 461 – 464.
- [13] Hanninen I, Takala J. Robust adders based on quantum-dot cellular automata [A]. IEEE International Conference on Application-Specific Systems, Architectures and Processors (ASAP) [C]. Montreal, Canada: IEEE, 2007. 391 – 396.
- [14] Zhang R, Walus K, Wang W. A method of majority logic reduction for quantum cellular automata[J]. IEEE Transactions on Nanotechnology, 2004, 3(4): 443 – 450.
- [15] Azghadi M R, Kavehei O, Navi K. A novel design for quantum-dot cellular automata cells and full adders[J]. Journal of Applied Sciences, 2007, 7(22): 3460 – 3468.
- [16] Pudi V, Sridharan K. Low complexity design of ripple carry and Brent-Kung adders in QCA[J]. IEEE Transactions on Nanotechnology, 2012, 11(1): 105 – 119.
- [17] Franco D T, Vasconcelos M C, Naviner L. Reliability analysis of logic circuits based on signal probability [A]. IEEE International Conference on Electronics, Circuits and Systems (ICECS 2008) [C]. St Julien's, Malta: IEEE, 2008. 670 – 673.
- [18] Agrawal P, Ghosh B. Innovative design methodologies in quantum-dot cellular automata[J]. International Journal of Circuit Theory and Applications, 2015, 43(2): 253 – 262.
- [19] Tougaw P D, Lent C S. Logical devices implemented using quantum cellular automata [J]. Journal of Applied Physics, 1994, 75(3): 1818 – 1825.
- [20] Tougaw P D, Lent C S. Dynamic behavior of quantum cellular automata [J]. Journal of Applied Physics, 1996, 80(8): 4722 – 4736.

- [21] Liu W Q, Lu L. A first step towards cost functions for quantum-dot cellular automata designs [J]. IEEE Transactions on Nanotechnology, 2014, 13 (3): 476 - 487.
- [22] Sasamal T N, Singh A K, Mohan A. An optimal design of full adder based on 5-input majority gate in coplanar quantum-dot cellular automata [J]. Optik-International Journal for Light and Electron Optics, 2016, 127 (20): 8576 - 8591.
- [23] Labrado C, Thapliyal H. Design of adder and subtractor circuits in majority logic-based field-coupled QCA nano-computing [J]. Electronics Letters, 2016, 52 (6): 464 - 466.
- [24] Abedi D, Jaberipur G, Sangsefidi M. Coplanar full adder in quantum-dot cellular automata via clock-zone-based crossover [J]. IEEE Transactions on Nanotechnology, 2015, 14 (3): 497 - 504.
- [25] Sen B, Sahu Y, Mukherjee R. On the reliability of majority logic structure in quantum-dot cellular automata [J]. Microelectronics Journal, 2016, 47: 7 - 18.
- [26] Kianpour M, Sabbaghi-Nadooshan R, Navi K. A novel design of 8-bit adder/subtractor by quantum-dot cellular automata [J]. Journal of Computer and System Sciences, 2014, 80 (7): 1404 - 1414.

作者简介



孙梦博 女, 1990 年生于河南平顶山. 合肥工业大学电子科学与应用物理学院硕士研究生. 研究方向为量子电路设计和物理教育.



吕洪君 男, 1958 年生于安徽宿县. 合肥工业大学电子科学与应用物理学院副教授. 研究方向为量子光学、量子信息与量子电路设计.



张永强 男, 1991 年生于安徽阜阳. 合肥工业大学电子科学与应用物理学院博士研究生. 研究方向为集成电路设计、量子电路设计及其可靠性建模.



解光军(通信作者) 男, 1970 年生于安徽合肥. 合肥工业大学电子科学与应用物理学院教授. 研究方向为微纳电路与系统和集成电路设计.

E-mail: gxie8005@hfut.edu.cn