

# 基于矩阵变换的线性最近邻量子 线路综合与优化

鹿 玉<sup>1</sup>, 管致锦<sup>2,1</sup>, 程学云<sup>1,2</sup>, 谈莹莹<sup>2</sup>, 张宗源<sup>2</sup>

(1. 南通大学电子信息学院, 江苏南通 226019; 2. 南通大学计算机科学与技术学院, 江苏南通 226019)

**摘 要:** 为了构造线性最近邻量子线路, 降低线性量子可逆线路的量子代价, 提出了一种基于矩阵变换的线性量子线路综合与优化方法. 该方法给出了线路的矩阵表示和基于矩阵的近邻 CNOT (Controlled NOT Gate) 门判定, 并提出矩阵分组的最佳方案, 保证了线路综合中 CNOT 门数量最优. 为了实现量子线路近邻化, 提出了 swap 门的矩阵表示及线路近邻化规则, 证明了两种 swap 门添加方式的等效性; 提出了不同情况下 swap 门的消除规则, 降低了近邻化后量子线路的量子代价. 选择 benchmark 例题库中具有代表性的线路进行实验, 与已有的量子线路近邻化算法相比, 线路量子代价平均优化率为 34.31%.

**关键词:** 量子线路; 矩阵变换; 线性最近邻; 线路综合; 优化; 量子代价

**中图分类号:** TP302 **文献标识码:** A **文章编号:** 0372-2112 (2017)03-0688-07

**电子学报 URL:** <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2018.03.026

## Linear Nearest Neighbor Quantum Circuit Synthesis and Optimization Based on the Matrix

LU Yu<sup>1</sup>, GUAN Zhi-jin<sup>2</sup>, CHENG Xue-yun<sup>1,2</sup>, TAN Ying-ying<sup>2</sup>, ZHANG Zong-yuan<sup>2</sup>

(1. College of Electronics and Information, Nantong University, Nantong, Jiangsu 226019, China;

2. College of Computer Science and Technology, Nantong University, Nantong, Jiangsu 226019, China)

**Abstract:** In order to construct linear nearest neighbor (LNN) quantum circuit and reduce its total quantum cost, a matrix-based synthesis and optimization method is proposed. The linear reversible circuit is represented by matrix, and the CNOT (Controlled NOT Gate) analysis based on the matrix is put forward. The best strategy of matrix partition is given, which ensures the number of CNOT gate used in the circuit synthesis is optimal. The matrix representation of swap gate and the NN (Nearest Neighbor) rules are proposed to realize the LNN circuits. The equivalence of two insertion methods of swap gates is proven. Deletion rules of swap gates which are used to make gates adjacent to NN in different cases are proposed, and they can reduce the quantum cost. Experimental results on typical benchmark circuits and comparison against previous algorithms for LNN quantum circuit optimization, the average optimization rate in quantum cost is 34.31%.

**Key words:** quantum circuit; matrix transformation; linear nearest neighbor; circuit synthesis; optimization; quantum cost

## 1 引言

量子门的物理实现需要两个或更多个量子位之间相互作用, 根据每个量子位在一个物理系统中与其他量子位进行交互的方式, 建立不同架构下量子计算方案. 这些方案中大多使用线性最近邻 LNN<sup>[1]</sup> 线路架构.

此架构下, 量子位以阵列形式排列并且仅在相邻的量子位与其他量子位彼此交互.

在量子线路近邻综合研究中, 主要目标就是要在不同的综合方法中尽可能使最近邻代价和量子代价达到较好的折衷. 对线性量子线路综合方法的研究, 已有一些相关算法<sup>[2-5]</sup> 被提出. 文献[2]中采用高斯消元法,

收稿日期: 2016-08-11; 修回日期: 2017-03-01; 责任编辑: 覃怀银

基金项目: 国家自然科学基金 (No. 61402244); 江苏省基础研究计划 (自然科学基金) 面上项目 (No. BK20151274); 符号计算与知识工程教育部重点实验室开放基金项目 (No. 93K172016K03); 南通大学研究生科技创新计划项目 (No. KYC15016)

该方法可以看作是一个行操作序列发生器,其中每个行操作序列直接映射到一个 CNOT 门序列.此方法速度快,但会导致线性量子线路综合中 CNOT 门数不是最少.文献[3~5]中使用可逆量子门对线性量子线路进行综合,其中涉及到多量子位量子门的分解.这种综合方法适用范围较广,但量子门的分解可能会导致线路量子代价增加.文献[6]中使用 LU 分解算法,本质上是高斯消元法另一种表达形式,分解过程计算量小,但所需存储单元较多.

本文将线性量子线路综合问题转换为矩阵初等变换,通过矩阵分组减少 CNOT 门数量;提出基于矩阵的可逆线路近邻化方法,通过矩阵乘法使单个非近邻 CNOT 门达到最近邻,并对重复 swap 门进行消除,降低线性量子线路的量子代价.

## 2 相关理论

量子门是组成量子线路的基础,CNOT 门是最具代表性的量子门.如果量子线路中量子门的控制位和目标位是相邻的则称该量子门是最近邻的,在 LNN 线路中所有量子门都是近邻的.一个量子门控制位和目标位之间的距离称为最近邻代价<sup>[1]</sup>(NNC, Nearest Neighbor Cost),量子线路最近邻代价为该线路中所有可逆门的 NNC 总和.设线路中量子门目标位所在的位置为  $i$ ,控制位所在的位置为  $j$ ,则该量子门最近邻代价为  $|j - i| - 1$ .量子门的量子代价与门的类型有关,通常情况下一个 CNOT 门的量子代价为 1,一个 swap 门<sup>[8]</sup>的量子代价为 3,量子线路代价<sup>[7]</sup>是指线路中各个量子门代价的总和.

### 2.1 CNOT 门的分类、表示及其判定

如果已知一个 CNOT 门的矩阵表示<sup>[8,9]</sup>,则可以通过非对角线上非零元素的位置得到 CNOT 门两个量子位位置,NNC 可以通过 CNOT 门的矩阵表示来计算,其值记为  $N_i$ .设矩阵同一列中有两个元素 1,其所在行分别记为  $a, b$ ,则其  $N_i = |b - a| - 1$ .矩阵两个操作行分别对应 CNOT 门的控制位和目标位<sup>[1]</sup>.为了区分两个量子位顺序不同的 CNOT 门,本文对 CNOT 门进行了分类.

**定义 1** 如果 CNOT 门的目标位在控制位下方,则对应的 CNOT 门称为 CNOT-down 门,否则称为 CNOT-up 门.

**定理 1** 如果量子线路中 CNOT 门矩阵表示中同一列上有两个非零元素 1,且这两个 1 出现在相邻行,则该 CNOT 门为近邻 CNOT 门,否则为非近邻 CNOT 门.

**证明** 在量子线路中,设 CNOT-down、CNOT-up 门的控制位和目标位线分别为  $i, j$  和  $j, i$ ,且  $|j - i| = 1$ ,则

CNOT-down 门矩阵表示为单位矩阵的  $i$  列  $j$  行元素为 1,其同列上对角线元素位于  $i$  列  $i$  行( $i$  列  $j - 1$  行). CNOT-down 门矩阵表示为

$$G_1 = \begin{bmatrix} 1 & 0 & 0 & \cdots & 0 \\ 0 & 1 & 0 & \cdots & 0 \\ \cdots & \cdots & \cdots & \cdots & \cdots \\ 0 & 0 & \boxed{1} & \cdots & 0 \\ 0 & 0 & \boxed{1} & \cdots & 0 \\ 0 & 0 & 0 & \cdots & 1 \end{bmatrix} \quad (1)$$

从式(1)可得出,矩阵中存在同一列上有两个元素 1,且这两个元素 1 出现在相邻行.

同理,CNOT-up 门的矩阵表示为

$$G_2 = \begin{bmatrix} 1 & 0 & \cdots & 0 & 0 \\ 0 & 1 & \cdots & 0 & 0 \\ \cdots & \cdots & \cdots & \cdots & \cdots \\ 0 & 0 & \cdots & \boxed{1} & 0 \\ 0 & 0 & \cdots & \boxed{1} & 0 \\ 0 & 0 & \cdots & 0 & 1 \end{bmatrix} \quad (2)$$

从式(2)可得出,矩阵中存在同一列上有两个元素 1,且其出现在相邻行.

综上,定理 1 得证.

这里可以直接把 CNOT 门分为近邻与非近邻 CNOT-down 门和近邻与非近邻 CNOT-up 门.

**定义 2** 在量子线路中,设两个 CNOT 门  $G_1$  和  $G_2$  中编号小的量子位分别为低位  $k_1$  和  $k_2$ ,编号大的分别为高位  $t_1$  和  $t_2$ .如果满足  $k_1 = k_2$  且  $t_1 = t_2$ ,则称为同构 CNOT 门.从  $G_1$  的  $k_1$  出发,到  $t_1$  结束,则  $k_1$  与  $t_1$  之间跨越的线称为共同线  $R$ (不包括  $t_1$ ), $R$  的数量为  $t_1 - k_1$ .

由定义 2 可知, $R = t_1 - k_1$ .又因为 CNOT 门的  $N_i = t_1 - k_1 - 1$ ,因此  $N_i = R - 1$ .

**定义 3** 设线路中有两个位置相邻的非近邻 CNOT 门  $G_1$  和  $G_2$ ,编号小的量子位分别为低位  $k_1$  和  $k_2$ ,编号大的量子位分别为高位  $t_1$  和  $t_2$ ,有以下三种情况.

- (1)  $|k_1 - t_2| = 1$ ,或  $|t_1 - k_2| = 1$ .
- (2)  $t_1 = t_2$ ,且  $|k_1 - k_2| = 1$ .
- (3)  $k_1 = k_2$ ,且  $|t_1 - t_2| = 1$ .

若满足(1)、(2)、(3)中任意一条,则称两个 CNOT 门为重叠 CNOT 门.(1)中从  $G_1$  的  $k_1, t_1$  到  $G_2$  的  $t_2, k_2$ , $k_1$  和  $t_2$  或  $k_2$  和  $t_1$  之间包含的线称为两端重叠线  $W$ (包括  $k_1$  和  $t_2$  或  $k_2$  和  $t_1$ ),两端重叠线数为  $t_2 - k_1 + 1$  或  $t_1 - k_2 + 1$ ;(2)中两个 CNOT 门的高位相同,从任意一个门高位开始到编号大的低位结束,将编号大的低位和高位之间包含的线称为高位重叠线(不包括高位),重叠线数为高位与低位之差;(3)中两个 CNOT 门的低位相同,从任意一个门的低位开始到编号小的高位结束,

将低位和高位之间包含的线称为低位重叠线(不包括低位),重叠线数为高位与低位之差.

从定义 3 可知,重叠 CNOT 门为两个矩阵表示中分别存在有两个元素 1 的某列,且此列在两个矩阵中相邻或相同.

## 2.2 线性量子线路及其矩阵表示

运用一系列 CNOT 门进行线性量子线路综合等效于通过一系列初等矩阵去左乘输入向量.因此,线性量子线路综合问题可以转换为矩阵初等变换来解决.还原线路综合中所使用的 CNOT 门,要将初等矩阵转换为单位矩阵,将这一过程称为矩阵化简.

**定义 4** 将矩阵中每  $m$  列划分为一个模块  $p$ ,每个  $p$  称为一个分组,每个分组中的行称为矩阵的子行.若经过  $k$  个分组后剩余列数  $< m$ ,则将剩余列为一个分组.

因为行操作数量影响 CNOT 门的数量,而行操作数量由分组的方法决定,因此分组方法影响线路综合的效果.

**定理 2** 对一个  $N \times N$  阶二元非奇异矩阵  $M$  ( $N$  为  $i \geq 2$  的整数), $M$  的分组数量减少,会使重复子行的概率降低.如果选择每两列为一个分组,则子行之间重复概率提高到  $P = \frac{N}{8} + \frac{1}{4}(N \% 2)$ .

**证明** 设  $i$  为二元非奇异矩阵  $M$  每一分组的列数.因为  $i \geq 2$ ,则全部分组中子行重复概率为

$$P = \left(\frac{1}{2}\right)^i \left(\frac{N}{i} + N \% i\right) \quad (3)$$

由式(3)可知,当  $N$  给定时, $i$  越小,则  $P$  越大.当  $i = 2$  时, $P_1 = \frac{N}{8} + \frac{1}{4}(N \% 2)$ ;  $i = 3$  时, $P_2 = \frac{N}{24} + \frac{1}{8}(N \% 3)$ ,所以  $P_1 > P_2$ ,即选择将每两列分为一组时子行重复率最高,且概率为

$$P_1 = \frac{N}{8} + \frac{1}{4}(N \% 2)$$

由定理 2 可知,子行重复率的提高可以降低矩阵化简过程中对子行查找的搜索次数;选择每两列为一个分组可以最大化减少行操作的数量(即降低 CNOT 门的使用数量).

## 2.3 线性量子线路的近邻化

通过 CNOT 门的矩阵表示可间接得到 swap 门的矩阵表示.

**定理 3** 一个 swap 门可以用三个门  $G_1 = \text{CNOT-down}$ ,  $G_2 = \text{CNOT-up}$  和  $G_3 = \text{CNOT-down}$  级联表示,且 swap 门可表示为一个对称矩阵

$$B = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}$$

**证明** 设量子线路输入为  $a, b$ ,每个  $\rightarrow$  后的结果是经过一个 CNOT 门后的输出结果.  $a, b$  经过三个 CNOT

$$\begin{aligned} |a, b\rangle &\rightarrow |a, b \oplus a\rangle \\ \text{门的过程为} &\rightarrow |a \oplus (b \oplus a), b \oplus a\rangle = |b, b \oplus a\rangle \\ &\rightarrow |b, (b \oplus a) \oplus b\rangle = |b, a\rangle \end{aligned}$$

因此,一个 swap 门等价  $G_1 = \text{CNOT-down}$ ,  $G_2 = \text{CNOT-up}$  和  $G_3 = \text{CNOT-down}$  的级联.

又

$$\begin{aligned} A &= G_3 \cdot G_2 \cdot G_1 \\ &= \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix} \cdot \begin{bmatrix} 1 & 1 \\ 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \quad (4) \end{aligned}$$

所以,swap 门可表示为一个对称矩阵  $B = A = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix}$ .

**定理 4** 在  $n$  线( $n \geq 3$ )线路中,swap 门可以表示成一个  $2 \times 2$  对称矩阵  $M$  ( $M$  的副对角线元素为 1)和除了  $M$  所在行与列外对角线上元素为 1 的矩阵.矩阵  $M$  所在的行、列与 swap 门两个量子位所在线的编号一致.

**证明** 因为 swap 门的两个量子位近邻,所以除了其量子位所在线,其余线可能在 swap 门上方,也可能在 swap 门下方.这时,如果 CNOT 门位于  $i, i+1$  两行,等效 swap 门也位于  $i, i+1$  两行,则有

$$A' = G_3 \cdot G_2 \cdot G_1 = \begin{bmatrix} 1 & \cdots & 0 & 0 & 0 \\ 0 & \cdots & 0 & 0 & 0 \\ \cdots & \cdots & \cdots & \cdots & \cdots \\ 0 & \cdots & \boxed{0} & \boxed{1} & 0 \\ 0 & \cdots & \boxed{1} & \boxed{0} & 0 \\ 0 & \cdots & 0 & 0 & 1 \end{bmatrix} \quad (5)$$

线路中 swap 门的矩阵表示为

$$B_n = \begin{bmatrix} 1 & \cdots & 0 & 0 & 0 \\ 0 & \cdots & 0 & 0 & 0 \\ \cdots & \cdots & \cdots & \cdots & \cdots \\ 0 & \cdots & \boxed{0} & \boxed{1} & 0 \\ 0 & \cdots & \boxed{1} & \boxed{0} & 1 \\ 0 & \cdots & 0 & 0 & 1 \end{bmatrix} \quad (6)$$

由式(6)可知,矩阵  $M$  是元素位于  $i, j$  两行和  $i, j$  两列的对称方阵.由于  $1 < i < n - 1$ ,定理 4 得证.

**定理 5** 对于三线线路,从第一条线由上向下和从第三条线由下向上依次进行 swap 门添加,只要添加的 swap 门数相同,则这两种 swap 门添加方法等效.

**证明** 设 CNOT 门  $G$  的控制位和目标位分别分布于第一线 and 第三线,则矩阵表示为

$$G = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 1 & 0 & 1 \end{bmatrix} \quad (7)$$

式(7)中第一列存在两个非零元素,要使得  $G$  的两个量

子位近邻,需要在  $G$  的两侧分别添加 swap 门  $G_1$  和  $G_2$ , 线性作用为

$$A = G_3 \cdot G_2 \cdot G_1 = \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 1 & 1 \end{bmatrix} \begin{bmatrix} 0 & 1 & 0 \\ 1 & 0 & 0 \\ 0 & 0 & 1 \end{bmatrix} \\ = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 1 & 0 & 1 \end{bmatrix} \quad (8)$$

或

$$B = G_3 \cdot G_2 \cdot G_1 = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 1 \\ 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} 1 & 0 & 0 \\ 1 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & 0 & 0 \\ 0 & 0 & 1 \\ 0 & 1 & 0 \end{bmatrix} \\ = \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 1 & 0 & 1 \end{bmatrix} \quad (9)$$

由式(8)和(9)可知,两种添加 swap 门的方式等效,定理 5 得证.

定理 5 可以推广到  $n$  线线路中.

### 3 基于矩阵化简的线性量子线路综合算法

基于矩阵化简的线性量子线路综合算法包括实现线路中 CNOT 门确定算法和线路综合算法.

#### 3.1 量子线路 CNOT 门确定算法

对于一个给定原始线性量子线路的非奇异二元矩阵,矩阵化简过程中操作行的序号和 CNOT 门的两个量子位对应,以此确定其包含的每个 CNOT 门.

此算法的初始阶段是将给定的初始线路转换为一个二元矩阵,判断矩阵的奇异性.如果矩阵非奇异,将矩阵转化为上三角矩阵,否则结束操作.

矩阵转化为上三角矩阵步骤中有四个主要步骤.

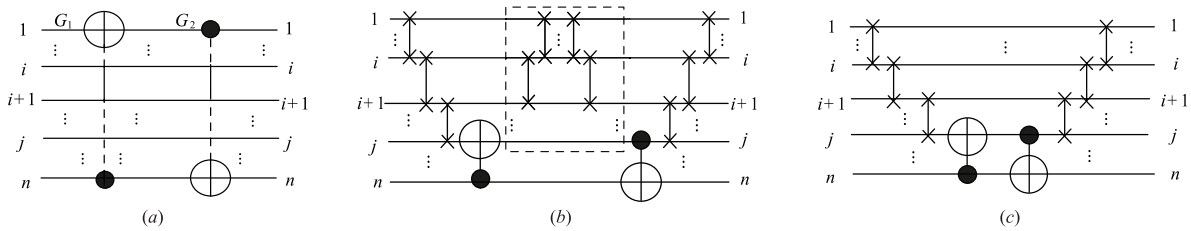


图1 同构门的swap门添加与消除

对  $G_1$ 、 $G_2$  分别实施添加交换门算法后为图 1(b),  $G_1$  和  $G_2$  的共同线数  $R = n - 1$ , 每两条线可添加一个 swap 门, 则  $G_1$  右侧和  $G_2$  左侧分别可添加  $n - 2$  个 swap 门. 由于两个相邻 swap 门可以消除, 则方框中位于 1、2 线间的两个 swap 门消除; 此时位于 2、3 线间的两个 swap 门成为相邻门, 仍可消除. 最终可消除 swap 门总数为  $(n - 2) \times 2$ . 即位于两个 CNOT 门中间的 swap 门都可消除, 可消除数为  $(R - 1) \times 2 = N_i \times 2$ .

即将矩阵按每两列为一组进行分组, 对每个分组进行去除重复行、对角线置 1 操作和消除对角线以下非 0 元素的操作, 此时会得到一个上三角矩阵. 对其进行转置, 并对转置后的矩阵重复上述四个主要操作, 直至得到单位矩阵.

在算法实施过程中, 需要记录转置前矩阵异或操作中涉及到的两个子行, 存入数组  $a$ , 转置后矩阵异或操作中涉及到的两个子行进行顺序交换后存入数组  $b$ .

#### 3.2 线性量子线路综合算法

线性量子线路综合算法是对通过矩阵化简得到的 CNOT 门进行综合, 得到和初始矩阵等价的线路.

此算法首先要查找  $a$  中两个行操作序号, 根据定义 1, 确定矩阵转置前每个 CNOT 门的类型. 同理, 查找  $b$  中两个行操作序号, 调换序号顺序, 确定矩阵转置后每个 CNOT 门的类型.

接着将矩阵转置前行操作对应的 CNOT 门从右往左进行级联, 将矩阵转置后行操作对应的 CNOT 门从左往右进行级联, 从而得到综合后的量子线路.

### 4 基于矩阵的量子线路近邻化算法

为了减少线路近邻<sup>[10]</sup>过程中冗余的 swap 门, 需要对 swap 门进行消除.

**定理 6** 线路中位置相邻的同构 CNOT 门在添加交换门时存在可消除的 swap 门. 可消除 swap 门数  $N_u$  和共同线数  $R$  (或任意一个 CNOT 门的  $N_i$ ) 之间的关系为:

$$N_u = (R - 1) \times 2 = N_i \times 2 \quad (10)$$

**证明** 如图 1(a) 所示,  $G_1$  和  $G_2$  为同构门,  $R - 1 = n - 2$  ( $N_i$  也为  $n - 2$ ).

**定理 7** 定义 3 中满足情况(1)、(2)的重叠 CNOT 门在添加交换门后, 存在一对 swap 门可消除; 满足情况(3)的重叠门添加交换门后, 可消除的 swap 门数  $N'_u$  和重叠线数  $W$  的关系为:

$$N'_u = (W - 1) \times 2 \quad (11)$$

**证明** 设两个相邻的重叠 CNOT 门  $G_1$ 、 $G_2$ , 其高低位分别为  $k_1$ 、 $t_1$  和  $k_2$ 、 $t_2$ .

(a) 如果  $k_2 < t_1 < t_2$ , 且  $k_1 < k_2$ , 则  $G_1$  从下到上添加

swap 门,如图 2;如果  $k_2 < k_1 < t_2$ ,且  $k_1 > k_2$ ,如图 3,则  $G_1$  从上到下添加 swap 门.上述两种情况  $G_2$  都相反顺序添加 swap 门,两端重叠线的数量  $R'$  为 2.由定理 6 可知,可消除的 swap 门数为  $(R' - 1) \times 2 = 2$ .

(b) 如果  $t_1 = t_2$ ,且  $k_1 < k_2$ ,则  $G_1$  从下到上添加 swap 门, $G_2$  按相同顺序添加 swap 门.此时高位重叠线数为  $W = n - i$ .由定理 6 可知,可消除 swap 门数为  $(W$

$- 1) \times 2$ .

(c) 如果  $k_1 = k_2$ ,且  $t_1 > t_2$ ,则  $G_1$  从上到下添加 swap 门, $G_2$  按相同顺序添加 swap 门.此时低位重叠线数为  $W = n - 1$ .由定理 6 可知,可消除 swap 门数为  $(W - 1) \times 2$ .

综上,定理 7 得证.

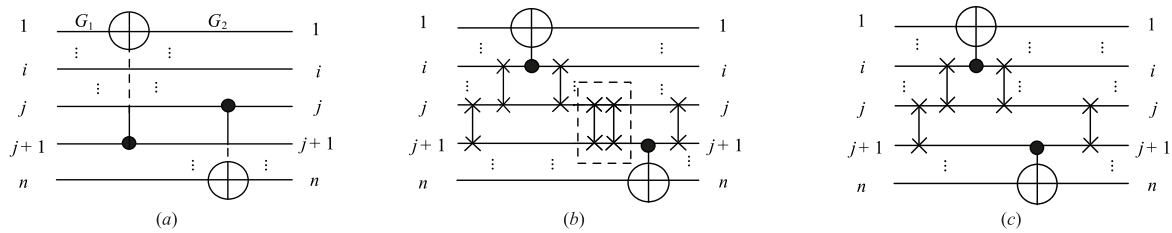


图2  $k_2 < t_1 < t_2$ 且  $k_1 < k_2$ , 重叠门的swap门添加与消除

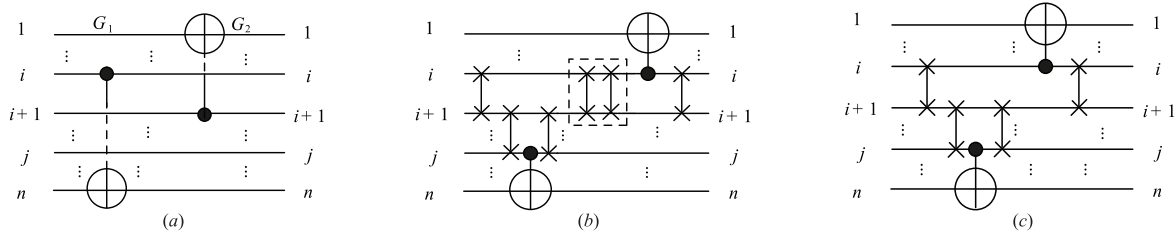


图3  $k_2 < k_1 < t_2$ 且  $k_1 > k_2$ , 重叠门的swap门添加与消除

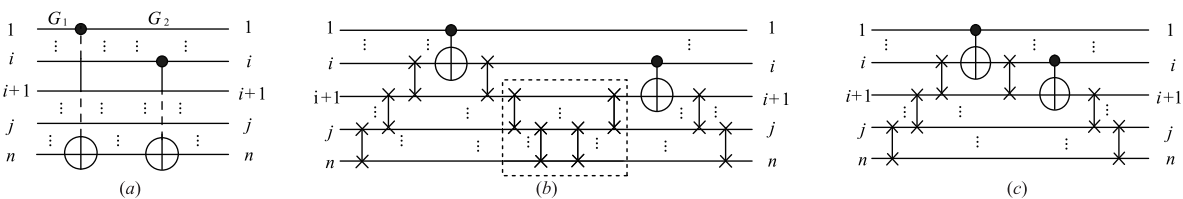


图4  $t_1 = t_2$ 且  $k_1 < k_2$ , 重叠门的swap门添加与消除

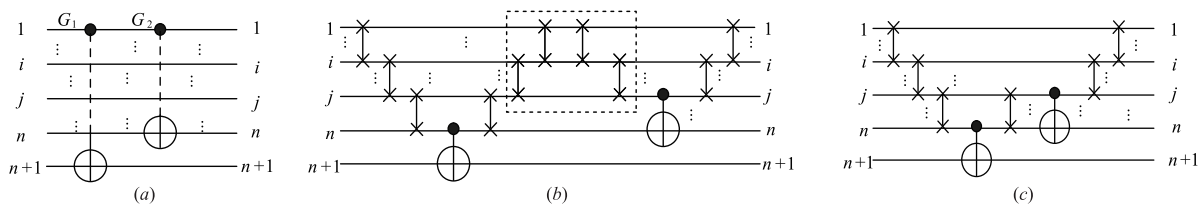


图5  $k_1 = k_2$ 且  $t_1 > t_2$ , 重叠门的swap门添加与消除

#### 4.1 基于矩阵的可逆线路近邻化算法

根据 CNOT 门和 swap 门的矩阵表示,使用矩阵变换实现线路的最近邻操作.

首先要将线路中的每个 CNOT 门转换为相应的矩阵.随后根据定理 1 判断每个矩阵对应 CNOT 门的近邻性.如果近邻,则不进行任何操作,否则计算每个门的 NNC.为了添加 swap 门,判断两个相邻 CNOT 门的类型(同构、重叠或其它)并按照定理 5 进行添加.为了减少 swap 门的数量,消除两个相邻且位置相同的 swap 门矩

阵,得到剩余矩阵.最后将矩阵  $B_{1n}$ ,  $A$ ,  $B_{1n}$  转化为相应的 swap 门和 CNOT 门,并按从左向右的顺序级联成等价线路,从而得到近邻后的优化线路.

#### 5 实验结果及分析

提出的解决方案均采用标准 C++ 实现.选择量子线路 benchmark 例题库中具有代表性的线路进行实验,量子门的数量在 0 ~ 400 之间.为了使实验结果具有可比性,采用文献[11,12]提供的工具和方法将可逆线路

分解为二量子位量子门线路。

图 6 表明,随着矩阵规模(线路规模)的增加,线性最近邻综合所需的 CNOT 门数整体效果较佳,没有呈现一直上升的趋势. 10 线线路最多需要 23 次化简,对应的线性量子线路综合需 23 个 CNOT 门。

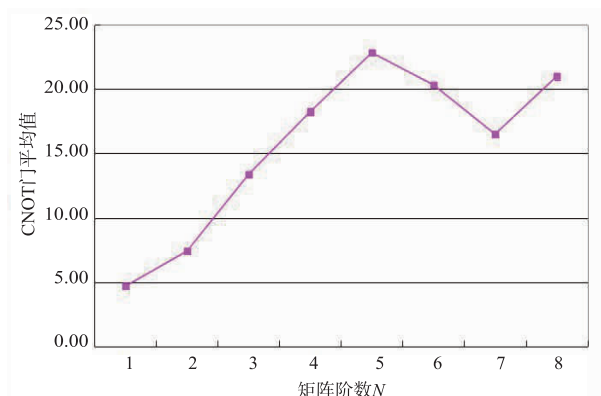


图6 线性量子线路综合结果图

表 1 中可以看出,当线路中同构门和重叠门数较多的情况下,基于矩阵的量子线路近邻化算法具有很好的优势. 只有少数情况下,此算法所需添加的 swap 门数等于或多于文献[9]的数量. 本文线路量子代价(Matrix\_qc)较之文献[9](Original\_qc)平均优化率(Ave\_qc)为 34.31%,意味着使用本文提出的算法可使线路量子代价(见优化率 Qc\_optimization)有一定程度的降低。

表 1 量子代价对比表

| benchmark     | n | Original_qc | Old_qc[10] | Matrix_qc | Qc_optimization |
|---------------|---|-------------|------------|-----------|-----------------|
| 3_17_13       | 3 | 14          | 26         | 22        | 15.38%          |
| hwb4_52       | 4 | 23          | 63         | 47        | 25.40%          |
| deco124_v3_46 | 4 | 9           | 21         | 23        | 0               |
| 4_49_17       | 4 | 32          | 92         | 50        | 45.65%          |
| 4gt5_75       | 5 | 21          | 70         | 56        | 20%             |
| 4gt11_84      | 5 | 7           | 14         | 21        | 0               |
| 4gt10_v1_81   | 5 | 34          | 120        | 100       | 16.67%          |
| 4gt13_v1_93   | 5 | 16          | 74         | 34        | 54.05%          |
| hwb5_55       | 5 | 104         | 335        | 180       | 46.27%          |
| 4mod5_v1_23   | 5 | 24          | 72         | 40        | 44.44%          |
| 4mod7_v0_95   | 5 | 38          | 121        | 56        | 53.72%          |
| aj_e11_165    | 5 | 45          | 160        | 96        | 40%             |
| alu_v4_36     | 5 | 31          | 98         | 90        | 8.16%           |
| 4gt4_v0_80    | 6 | 34          | 132        | 80        | 39.39%          |
| 4gt12_v1_89   | 6 | 42          | 141        | 150       | 0               |
| hwb6_58       | 6 | 142         | 542        | 200       | 63.10%          |
| mod5adder_128 | 6 | 83          | 330        | 200       | 39.39%          |
| mod8_10_177   | 6 | 88          | 317        | 210       | 33.75%          |
| ham7_104      | 7 | 83          | 327        | 102       | 68.81%          |
| rd53_135      | 7 | 77          | 303        | 156       | 48.51%          |
| hwb7_62       | 8 | 2325        | 12853      | 5430      | 57.75%          |
| Ave_qc        |   |             |            |           | 34.31%          |

## 6 结论

本文通过对矩阵和线性量子可逆线路之间关系的研究,提出使用矩阵化简来实现线性量子线路综合的方法,减少了 CNOT 门的数量,降低了线路的量子代价. 基于矩阵的量子线路近邻化算法,使线路中每个非近邻量子门的控制位和目标位形成最近邻形式,在不改变原始线路功能的基础上使得线路的 NNC 达到 0. 并且通过 swap 门的消除进一步降低线路的量子代价. 在下一步工作中,将进一步扩展算法的适用范围。

## 参考文献

- [1] B Schaeffer, M Perkowski. Linear reversible circuit synthesis in the linear nearest-neighbor model[J]. IEEE International Symposium on Multiple-Valued Logic, 2012, 19(10):157-160.
- [2] Z Sasanian, R Wille, DM Miller. Realizing reversible circuits using a new class of quantum gate[J]. Design Automation Conference, 2012, 8(8):36-41.
- [3] O Golubitsky, D Maslov. A study of optimal 4-bit reversible Toffoli circuits and their synthesis[J]. IEEE Transactions on Computers, 2011, 61(6):1341-1353.
- [4] VV Shende, SS Bullock, IL Markov. Synthesis of quantum-logic circuits[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2006, 25(6):1000-1010.
- [5] AlFailakawi M, AlTerkawi L, Ahmad I, et al. Line ordering of reversible circuits for linear nearest neighbor realization[J]. Quantum Information Processing, 2013, 12(10):3319-3339.
- [6] K Patel, I Markov, J Hayes. Optimal synthesis of linear reversible circuits[J]. Quantum Information and Computation, 2008, 8(3):282-294.
- [7] P Yu, Y Yan, J Lin, H Huang, W Wu. An efficient method to synthesize reversible logic by using positive-davio decision diagrams[J]. Circuits, Systems, and Signal Processing, 2014, 33(7):3107-3121.
- [8] R Wille, R Drechsler. The SyReC hardware description language: Enabling scalable synthesis of reversible circuits[A]. 2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)[C]. Boise: IEEE, 2013. 1063-1066.
- [9] M Saeedi, R Wille, R Drechsler. Synthesis of quantum circuits for linear nearest neighbor architectures[J]. Computer Science, 2012, 10(3):355-377.
- [10] Abhoy Kole, Kamalika Datta, Indranil Sengupta. A heuristic for linear nearest neighbor realization of quantum circuits by swap gate insertion using N-gate lookahead[J].

IEEE Journal on Emerging and Selected Topics in Circuits and Systems, 2016, 6(1): 62 – 72.

- [11] Lye A, Will R, Drechsler R. Determining the minimal number of swap gates for multi-dimensional nearest neighbor quantum circuits [A]. Design Automation Conference (ASP-DAC), 2015 20th Asia and South Pacific

[C]. Austin: IEEE, 2015. 178 – 183.

- [12] Md. Mazder Rahman, Gerhard W. Dueck, Anupam Chattopadhyay. Integrated synthesis of linear nearest neighbor ancilla-free MCT circuits [A]. 2016 IEEE 46th International Symposium on Multiple-Valued Logic (ISMVL) [C]. Japan: IEEE, 2016. 144 – 149.

#### 作者简介



鹿玉女, 1991 年生于江苏徐州. 现为南通大学电子信息学院研究生. 主要研究方向为线性可逆逻辑综合.

E-mail: luyu102591@163.com



管致锦 男, 1962 年生, 江苏连云港人. 博士, 教授, 博士生导师. 主要研究方向为逻辑综合、智能计算与信息安全.

E-mail: guan\_zj617@163.com



程学云 女, 1978 年出生于江苏南通. 现为南通大学副教授、博士生. 主要研究方向为可逆计算和可逆电路优化.

E-mail: chen.xy@ntu.edu.cn