

# 两类阻变机理及性能改善方法的研究

王 玮, 陈 晋, 余林峰, 薛群虎, 杨春利

(西安建筑科技大学材料与矿资学院, 陕西西安 710055)

**摘 要:** 在新型非易失性存储领域, 结构简单、高速低耗的阻变存储器具有巨大优势和很强的竞争力. 简要介绍了阻变存储器的结构及其两个电阻转变行为. 总结了两类阻变机理, 探讨了阻变存储器性能优化的方法, 以及优化方法在阻变性能与器件的可靠性和稳定性之间如何取得平衡统一的问题, 并展望了其前景.

**关键词:** 阻变存储器; 阻变机理; 性能优化

**中图分类号:** TP333

**文献标识码:** A

**文章编号:** 0372-2112 (2017)04-0989-11

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2017.04.031

## A Research of Two Kinds of Mechanism and Performance Improvement of Resistive Switching Access Memory

WANG Wei, CHEN Jin, YU Lin-feng, XUE Qun-hu, YANG Chun-li

(College of Material and Mineral Resources, Xi'an University of Architecture and Technology, Xi'an, Shaanxi 710055, China)

**Abstract:** In the field of new type of nonvolatile memory, the simple-structured RRAM with high speed and low consumption has manifested great advantages and competitiveness. In this review, a brief introduction to the structures of RRAM and two kinds of resistive switching behaviors are made. And then, a summary of two kinds of resistive mechanisms is also given. With discussing the performance optimization of RRAM, how the optimized methods achieve balance and unification between the resistive performance and the reliability and stability of the devices is simply demonstrated. In the end, the future of RRAM is also prospected.

**Key words:** RRAM; resistive switching mechanism; performance optimization

### 1 引言

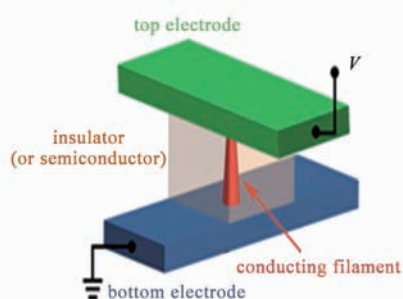
几十年来,随着 DRAM, SRAM 和 Flash 等主流存储器的发展,这种通过改变电荷所处的状态来存储数据的存储器尺寸不断缩小,并且成功获得了较高的擦写速度,增加了存储密度.然而,随着这些非易失性存储器的尺寸缩小至 20nm 范围内<sup>[1]</sup>,器件面临着物理尺寸极限,为了满足物联网信息化智能化的海量信息服务<sup>[2]</sup>以及摩尔定律在存储器中的持续应用<sup>[3]</sup>,其改进的技术路线主要有纳米晶存储器<sup>[4,5]</sup>、电荷捕获型存储器<sup>[6]</sup>和 FRAM、MRAM、PCM 以及 RRAM 等革新性的存储器<sup>[7]</sup>.其中具有“三明治”结构的阻变存储器(RRAM)得到了广泛的关注和研究. RRAM 存储器具有一些极其优越的性能,比如超高的堆积密度<sup>[8]</sup>使得器件具有高的存储密度、长时间擦写后良好的非易失性、超快的阻

变速度<sup>[9]</sup>、超低的能耗和多级转变能力<sup>[10]</sup>等.这些优良的性能,对于高性能的计算设备来说尤为重要.因此,RRAM 被认为最有可能成为下一代非易失性存储器.

### 2 阻变行为

阻变存储器具有简单的 M-I-M (金属-绝缘体-金属)结构(如图 1 所示),绝缘氧化层在外电场的作用下,引发电阻在高阻态(HRS)和低阻态(LRS)之间转变,外电场移除后,器件将保持最后的阻态<sup>[11,12]</sup>.

根据器件测试的电压-电流( $I-U$ )特性,电阻转变过程是否与电压极性相关,将阻变存储器的阻变行为分为单极性电阻转变和双极性电阻转变<sup>[13-15]</sup>:在单极性电阻开关中,无论是在正电压条件下还是在负电压条件下,电阻形态都会经历高低阻态之间的循环转变,这种转变取决于外加电压的大小,与外加电压的极性无

图1 RRAM的基本结构单元<sup>[12]</sup>

关<sup>[14]</sup>(如图2(a)所示);在双极性电阻转变过程中,阻态转变除了与外加电场的强度有关外,还和外加电场的极性有关<sup>[13]</sup>(如图2(b)所示).

单极性转变和双极性转变各有特点.一般而言,具有单极性转变的器件,是由焦耳热引发的导电细丝的氧化还原反应,SET转变过程是由于阻变氧化物的局部化学还原反应形成的,而RESET则为导电细丝的再氧化过程,普遍认为还原/再氧化行为是SET和RESET过程中不同温度决定的<sup>[16]</sup>.与RESET过程相比,SET过程更高的操作电压跟高的局部温度.因此,高的SET转变温度以及RESET操作电流,使得器件的能耗过大.双极性电阻转变是通过电场作用下离子的迁移(主要是氧空位的迁移)改变导电细丝的形状和导电性实现的.SET过程中,利用限制电流控制导电细丝的尺寸.研究表明<sup>[17]</sup>,随着限制电流的减小, $I_{\text{RESET}}$ 也随着减小,而 $R_{\text{LRS}}$ 则随之增大,也就是说,在SET过程中,限流值越大时,导电细丝尺寸会越大,由此则会导致更小的 $R_{\text{LRS}}$ 值和更大的 $I_{\text{RESET}}$ 值.

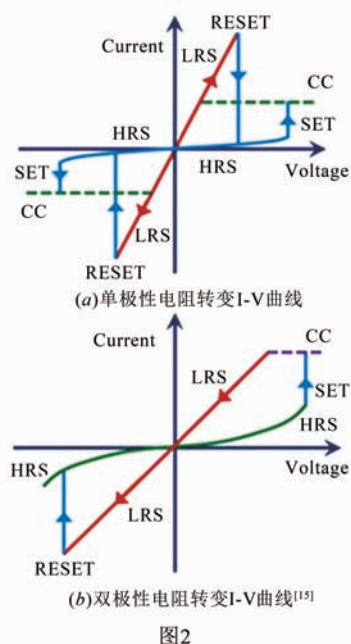


图2

### 3 阻变机理

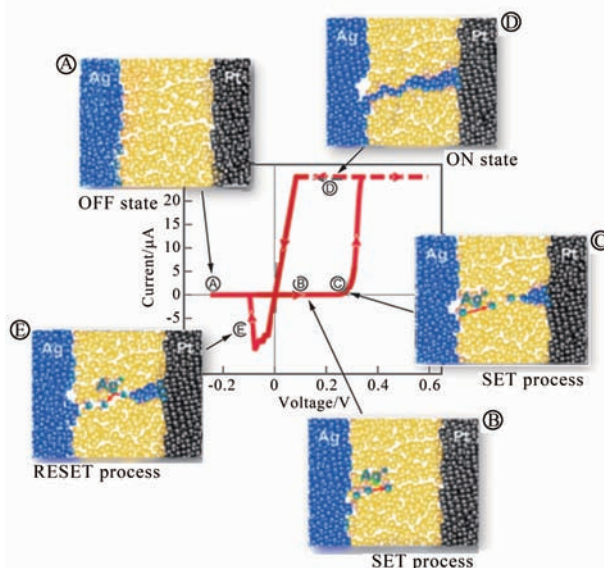
虽然电介质材料在电场作用下诱发的电阻转变现象早在四十年前就已经被发现,但是直到现在,电阻转变的微观机制仍在讨论中.为了研究这种电阻转变行为,研究人员已经提出了几种不同的电阻转变机理,在此简要概括两类机理:导电细丝模型<sup>[18]</sup>和电场诱导下的界面肖特基势垒模型<sup>[19]</sup>.

#### 3.1 导电细丝理论

导电细丝的理论机制认为,器件在外加电压下,在阻变材料内部可以形成导电细丝通道,一旦导电通道在上下电极间形成,器件表现为低阻态,当细丝断裂时,器件变恢复到高阻态.导电细丝主要包括金属导电细丝和氧离子迁移氧空位型导电细丝两类.

##### 3.1.1 金属导电细丝

这类器件其电极通常是由一个容易发生电化学反应的活性电极(Ag或者Cu),一个惰性电极(Pt、Au、Ir、W等)组成,电阻转变就是通过外电场作用下活性电极的氧化还原反应来实现<sup>[12]</sup>.在此类阻变机理中,阻变层材料通常为 $\text{GeS}_x$ <sup>[20]</sup>、 $\text{GeSe}$ <sup>[21]</sup>、 $\text{AgI}$ <sup>[22]</sup>等,或者是 $\text{Ta}_2\text{O}_5$ <sup>[23]</sup>等二元过渡金属氧化物,一般而言阻变层材料充当了离子导电层的作用.以Ag/Insulator/Pt器件<sup>[24]</sup>的阻变机理为例(如图3所示):在Ag顶电极施加正电压,Ag原子被氧化成 $\text{Ag}^+$ , $\text{Ag} \rightarrow \text{Ag}^+ + e^-$ .当施加的电场足够强时,这些Ag离子向Pt电极移动,到达Pt电极时得到电子被还原为Ag原子,被还原的Ag离子在Pt电极上不断堆积,金属Ag细丝最终到达Ag电极,形成金属导电通道.与此同时,器件的阻值急剧降低,器件到达低阻态(ON state),此过程称为SET过程.需要指出的是,可以

图3 Ag/Insulator/Pt器件中Ag细丝的生长,形成和断裂过程的动态图<sup>[24]</sup>

通过调节 SET 过程中的限制电流,得到不同的 LRS,适当的增大限流,会得到更小的低阻态阻值,这种低阻态阻值的减小,可以致使金属导电细丝直径的增大<sup>[25]</sup>.当施加在顶电极的电压极性反转,随着阻变层薄膜里的金属 Ag 细丝在相反方向的氧化还原反应的作用下断裂或溶解,器件重新回到高阻态(OFF state),此为 RESET 过程.由此可见,此类机理下的阻变存储单元,其金属导电细丝的形成和断裂所引起的电阻转变,需要在相反极性电压下发生,显示出典型的双极性转变特点.此外,很多研究表明,金属导电细丝的断裂除了在外加电场的作用下外,还和焦耳热有关.

### 3.1.2 氧离子迁移氧空位型导电细丝

这类阻变机理主要是基于氧离子在电场作用下的迁移实现的.在电场作用下,氧离子向阳极运动,并且在原来的位置形成带正电的氧空位,氧空位在电场作用下再分布,形成导电通道,这种氧空位形成的导电细丝,在电化学氧化还原反应的作用下重复的断开和联通,使得器件在高低阻态间循环转变(如图 4 所示),这是一个在阻变材料中同时发生复杂氧化还原反应的过程.在阳极处,氧气从绝缘层中被引出,随之留下带正电的氧空位,而氧化反应表现为阳极金属的氧化或是氧气的释放,相应的还原反应通过金属阳离子亚晶格中

局部价态的改变发生<sup>[12]</sup>.

一般而言,这类阻变机制大都需要电初始化过程使得器件具有电阻转变特性.电初始化过程的作用,就是在本身不导电的阻变材料中生成局部的导电通道或者导电细丝<sup>[26]</sup>.

综上,对于金属离子导电细丝模型,金属活性电极均发生一定反应,且其偏大的操作电压和焦耳热增加了器件封装难度.大数据时代海量数据的骤升对操作速度和频率高要求会使得金属离子的迁移率和反应次数将急速升高,必将面临热量显著提升、损耗剧烈增加、耐受性下降的问题,使得器件寿命和数据保持性下降,同时还增加了高操作电压和高焦耳热.因此,在使用金属活性电极时要更谨慎,要在器件性能和耐受性之间平衡好.

而氧空位导电细丝模型往往需要高电场的激活,这对器件会造成一定的物理伤害从而影响器件的耐久性,而且氧空位的随机性难以控制,使得器件参数离散性偏大.此外,高电场的激活会降低器件良率,增加了工艺复杂度.所以在选择基于氧空位导电细丝模型的 RRAM 时要考虑降低器件的激活电压和降低氧空位的随机性来改善器件的性能.

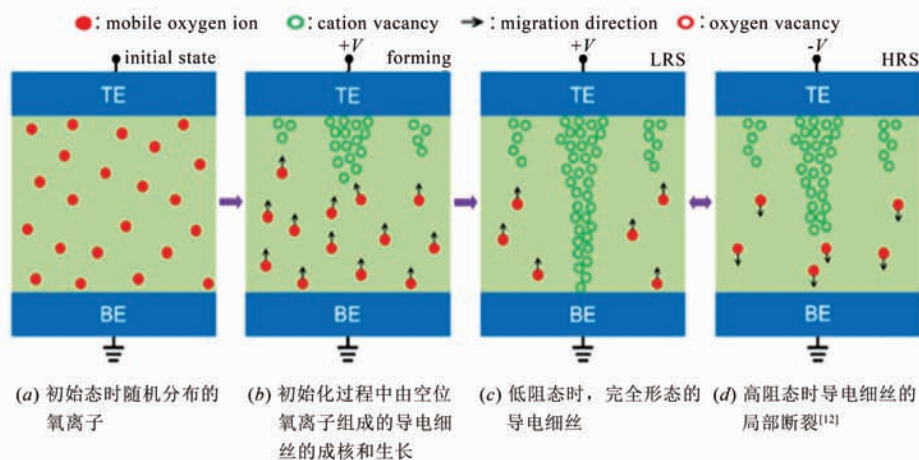


图4 氧空位导电细丝的形成过程

### 3.2 界面肖特基势垒模型

与导电细丝的局部导电机理不同的是,肖特基势垒的导电机理是在整个界面进行的.一般而言,金属功函数和氧化物电子亲和能的不同,这使得金属与氧化物的接触界面形成肖特基势垒. YAN Z B 等人<sup>[19]</sup>研究了 Au/DyMnO<sub>3</sub>/Nb:SrTiO<sub>3</sub>/Au、In/Nb:SrTiO<sub>3</sub>/Au、Au/DyMnO<sub>3</sub>/Nb:SrTiO<sub>3</sub>/In 和 In/Nb:SrTiO<sub>3</sub>/In 四种结构的阻变特性时发现,只有具有 Nb:SrTiO<sub>3</sub>/Au 结构的器件具有阻变特性,且非易失性阻变行为只发生在 Nb:SrTiO<sub>3</sub>/Au 界面(如图 5 所示).

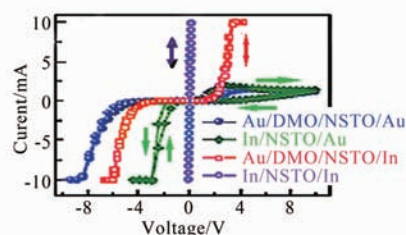


图5 四种不同结构的  $I-V$  曲线图<sup>[19]</sup>

在电场的诱发下,金属与氧化物界面处的氧空位的移动或载流子的捕获和释放,可以均匀或者局部地

调节界面处的势垒曲线,从而导致非易失性的电阻转变.此外,在金属与铁电材料的肖特基接触界面,由于铁电薄膜材料的自发极化转变,使得界面连接处的电荷重新分布,调节了界面处的肖特基势垒,也可引发非易失性的电阻转变<sup>[27]</sup>.

在此,以 In/Nb:SrTiO<sub>3</sub>/Au 结构为例来说明界面肖特基势垒模型的阻变机理<sup>[19]</sup>.如图 6(a)和(b)所示.当在 Au 电极上施加正向电压后,电子被释放并且通过界面向 Au 电极流动,在界面处留下了带正电荷的空穴陷阱使得界面附近形成了附加的电势,为了维持 Nb:SrTiO<sub>3</sub> 和 Au 之间费米能量的平衡,使得界面处固有的电势降低,耗尽层宽度减小,肖特基势垒降低,这样就导致了器件到达 LRS.与此过程相反,LRS 时,给 Au 电极施加反向负压,界面处的电子被阻挡通过界面,原先释放出去的电子重新注入到界面,与空穴陷阱复合,使得界面处陷阱回到中性状态,耗尽层宽度重新恢复,器件回到 HRS.这一过程如图 5(c)所示.这一过程是在界面处载流子的捕获和释放下完成的.

可见,肖特基势垒模型往往不需要电初始化过程,这对于工业化生产具有重要意义.并且其作为双极性转变往往具有比单极性转变更低的操作电压、更容易获得高的开关比及其更稳定的阻态转变.重要的是可以试图通过工艺的优化、阻变材料层的改善以及电极的优化来构建肖特基结,这对于阻变功能的改善以及阻变参数的优化具有重要的意义.因此肖特基势垒模型在 RRAM 中具有较大的优势.

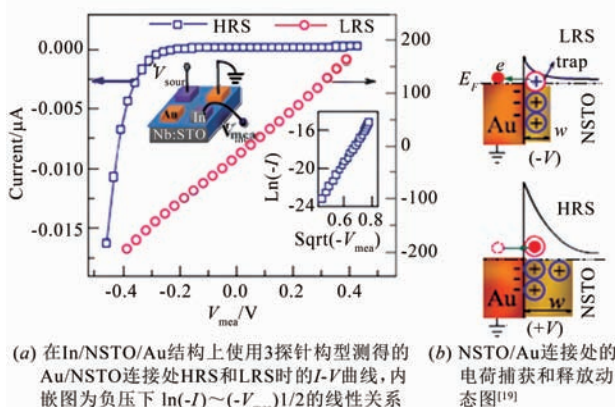


图6

#### 4 RRAM 性能优化的几种措施

近年来,研究人员报道了各种具有突出性能的阻变存储器器件.尽管如此,并非每个器件都能够将各个优异的性能参数整合在同一个器件中,为了使器件的各项性能都达到相对平衡的状态,就需要优化存储器的性能.

#### 4.1 阻变层掺杂

掺杂是改善材料性能常用的方法,与未掺杂的介质层相比,掺杂之后的介质材料能消除电初始化过程、降低操作电压以及提高导电均匀性<sup>[28]</sup>.也有研究认为导电细丝最初是在掺杂离子处开始形成的,对于氧离子迁移导致的氧空位导电细丝型以及界面肖特基势垒调节型的阻变存储器件,掺杂对于阻变层氧化物材料的最有效控制,就是调控其中氧空位的迁移率和浓度,从而改善器件的电阻转变性能<sup>[29]</sup>.CHENG C H 等人<sup>[30]</sup>研究了 N 掺杂的 Ta<sub>2</sub>O<sub>5</sub> 器件的 Ni/GeO<sub>x</sub>/Ta<sub>2</sub>O<sub>5-y</sub>N<sub>y</sub>/TaN 结构,并与未掺杂的 Ni/GeO<sub>x</sub>/Ta<sub>2</sub>O<sub>5</sub>/TaN 结构的性能对比.结果显示,阻变层的 Ta<sub>2</sub>O<sub>5</sub> 掺杂 N 后,器件不再需要初始化过程以及大尺寸的晶体管来限流以防止其击穿.掺杂后器件本身已经具有自限流的特性,并且阻变特性变得更加均匀,阻变窗口增大,转变能耗降到 0.6pJ,拥有 30ns 的转变速度和 10<sup>6</sup>s 的耐受度(如图 7 所示).ZHAO Jian-wei 等人<sup>[3]</sup>在研究掺杂 Ga 的 ZnO 的性能时也发现了类似的现象.LEE 等<sup>[31]</sup>研究了 Al 掺杂 ZnO、Cu 掺杂 MoO<sub>x</sub> 和 Cu 掺杂 Al<sub>2</sub>O<sub>3</sub> 的阻变器件的耐受性,与未掺杂的相比,掺杂后器件的耐受性都得到提高,甚至高达 100%,均匀性和数据保持性得到很大提

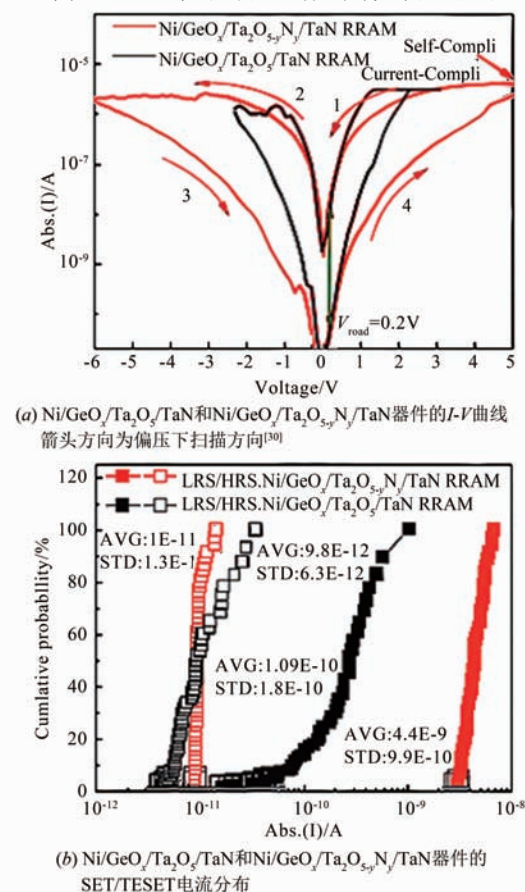


图7

升.此外,刘明等人<sup>[32]</sup>通过离子注入技术,研究了不同金属离子掺杂对  $ZrO_2$  基阻变存储器的电阻转变性能的影响,发现掺杂能消除  $ZrO_2$  薄膜器件的电初始化过程、降低操作电压、减小  $ZrO_2$  基阻变器件电阻转变参数的离散程度,提高了器件的稳定性和可靠性.

因此,对于阻变层氧化物的掺杂,主要有以下几个作用:(1)引入活性金属(Cu或Ag)离子,电阻转变主要是由于金属离子在电化学反应引起,消除了一些氧化物的电初始化过程,减低功耗;(2)引入氧空位,利用氧空位导电细丝产生阻变行为,但是氧空位导电细丝的形成过程需要和外界需要氧离子交换,此类器件一般都显示出了双极性电阻转变特性<sup>[33]</sup>;(3)引入晶格缺陷<sup>[12]</sup>,例如前文提到的N掺杂的  $Ta_2O_5$  器件,掺杂后引入的电荷陷阱缺陷,通过对电荷的捕获和释放来调节界面处的肖特基势垒,达到电阻转变的目的,器件的均一性和稳定性更好.

#### 4.2 电极的选取

对于RRAM器件来说,上下电极除了构成基本的组成单元外,对器件的阻变性能有重要的影响.研究表明,金属/氧化物界面是导电细丝开始形成的地方<sup>[34]</sup>,电极的类型和性能,尤其是电极与介电材料间接界面的性质很大程度上影响着器件的功能.WALCZYK D等人<sup>[35]</sup>在研究顶电极对  $HfO_2$  的阻变特性时,分别用Al,Cu,Hf,Pt和Ti作为顶电极,发现不同的顶电极会导致不同的电阻转变(如表1所示).因此,电极材料在RRAM器件的阻变过程中扮演着重要的角色.

表1 使用不同顶电极材料阻变特性<sup>[35]</sup>

Behavior	Al	Cu	Hf	Pt	Ti
	Bipolar	Nonpolar	Bipolar	Nonpolar	Bipolar
Cycling	200	120	200	150	200
$V_{set}$ [V]	-0.9	-0.8	1.2	1.4	0.9
$V_{reset}$ [V]	1.4	1.2	-1.3	-1.8	-1.6
$I_{on}$ [ $\mu A$ ]	84	79	24	250	120
$I_{off}$ [ $\mu A$ ]	14	26	9.9	120	31
$R_{off/on}$	$\approx 5$	$\approx 2$	$> 2$	$\approx 2$	$\approx 4$

另外,他们还研究了不同的金属氧化物形成焓对阻变特性的影响,发现形成氧化物时热焓低的金属(Pt,Cu)会导致电阻的单级转变,金属氧化物形成焓高的金属电极(Al,Hf,Ti)导致双极转变.也有研究发现,氧化物形成焓高的金属顶电极对于获得稳定的阻变行为更有利<sup>[36]</sup>.CHANG<sup>[37]</sup>等在研究Pt/ZnO/Pt器件时改变上电极(Cr,Al,Pt)发现Cr,Al做上电极其阻变参数(如转变电压和高低阻态比)分布更集中.CHANG将其归功于活性电极(Cr,Al,Ti等)能与氧离子生成氧化层或者界面层起到贮存氧离子的作用,而在Reset过程中

又能释放氧离子,使得氧离子损失下降,Reset过程更加充分,器件均匀性、耐受性提高.而对于以固体电解液作为阻变材料的器件,活性电极电激活产生的金属离子(Ag,Au,Cu等)更是在其中充当导电细丝的作用,可见电极对阻变性能的影响更为显著.

除了金属电极的氧化物形成焓和电活性以外,电极的功函数也对RRAM器件的阻变特性有很大影响.KUYYADI P等人<sup>[8]</sup>分别用W,Al,Pt作为顶电极,比较了这三种金属的功函数,其中,Al,W,Pt的功函数分别为4.28eV,4.55eV和5.65eV,发现功函数大的Pt电极,可以和  $TiO_2$  介电材料在两者之间的界面上形成肖特基势垒,使得器件具有整流特性,而其他两个电极未发现此种特性.CHEN Dongxia等人<sup>[38]</sup>研究了底电极的功函数对器件性能的影响,发现功函数大的底电极和阻变材料形成肖特基连接,而功函数小的底电极和阻变材料形成欧姆连接.由此可见,电极材料的性能对器件的阻变特性影响甚大.而对电极材料的选取,并不能单一依靠电极材料某一方面的优越性能就认为会对器件的性能有大的提升,除了考虑材料的电活性,功函数和形成氧化物的热焓等因素外,还应考虑电极材料与阻变层材料的界面连接状态.只有综合各方面的影响因素,找到与阻变层材料最优契合的电极材料,才能制备出性能更加平衡稳定的阻变器件.

#### 4.3 界面处理

对于多膜结构的阻变存储器而言,界面状态对器件的影响是决定性的.器件电阻的变化大多通过界面发生作用,界面势垒,界面氧化物,界面厚度等参数都是决定阻变器件性能的关键因素<sup>[12]</sup>,通过调节介质材料和两个电极的界面状态就能对阻变器件的电阻转变特性进行调控,主要是在电极和阻变介质之间嵌入一个插入层来实现.这种插入层结构,最直接的作用就是整体增加了器件的电阻,就相当于在电路中额外串联了一个电阻,大大减小了器件的操作电流.SEO等人<sup>[39]</sup>通过引入由NiO组成的多层阻变材料,不仅使得器件Reset电流减小了两个数量级,并且使得器件获得了多个阻态.ZHAO等人<sup>[3]</sup>在  $Ga_2O_3$  与电极之间插入ZnO缓冲层,使得器件的存储窗口值达到  $2 \times 10^3$ .很多研究表明,这种缓冲层除了起到增加器件电阻外,还有一个很重要的用途就是起到储存氧离子的作用<sup>[40-43]</sup>.由于其额外的储氧层,氧离子能在正负电场的作用下分别提供和容纳阻变层中的氧离子,使得器件的存储窗口值和阻变的均匀性有了明显的改善.

除此之外,嵌入单质金属层也可以对阻变特性起到很好的作用.MAIKAP S<sup>[44]</sup>等人Cu/TaO<sub>x</sub>界面嵌入Ti纳米层,很好的控制了Cu纳米细丝在Cu/TaO<sub>x</sub>界面的形成和溶解.

与未插入 Ti 纳米层的 Al/Cu/TaO<sub>x</sub>/W 结构相比, Al/Cu/Ti/TaO<sub>x</sub>/W 结构其高低阻态的阻值在多次擦写后分布更加均一,且高低阻态的比值为 10<sup>4</sup>,远远大于前者的比值(10),如图 8(a)和(b)所示.

此外,加入 Ti 纳米层后,器件的擦写循环耐受性也显著提高,如图 9(a)和(b)所示.可见,界面处理就是在阻变层中加入插层结构或者纳米颗粒层,通过插层结构或者外来结构提高阻变层导电细丝或者缺陷和杂质的均一性,减少其随机性可以显著减低器件参数离散性过大和以及耐受性,可以极高的改善阻变性能.

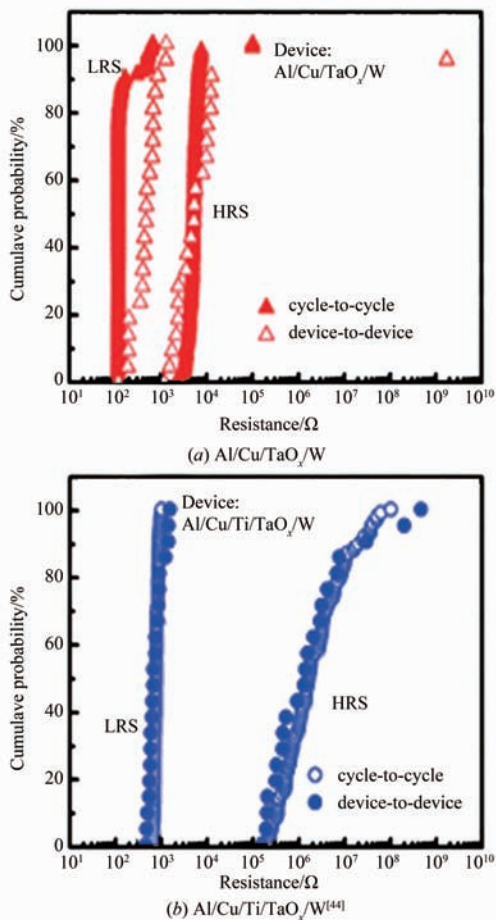


图8 高阻态和低阻态下两器件的阻值累计概率分布图

#### 4.4 结构优化

存储器件的存储密度越高越好,阻变存储器由于其简单的三明治结构,可以采用理论上最高集成度(4F<sup>2</sup>)的十字交叉阵列结构<sup>[45]</sup>实现三维空间的多级存储单元的堆叠,克服了基于电荷存储器件面临的物理和技术上的限制,使得器件在最小的尺寸下实现了数据存储的最大化,阻变存储器集成化进一步提高.尽管它是一个比较理想的存储结构,但是十字交叉阵列中,寄生的潜行电流显著地影响了数据的读取,这是因为在交叉阵列中,每个字线和位线是正交连接的<sup>[46]</sup>.这种

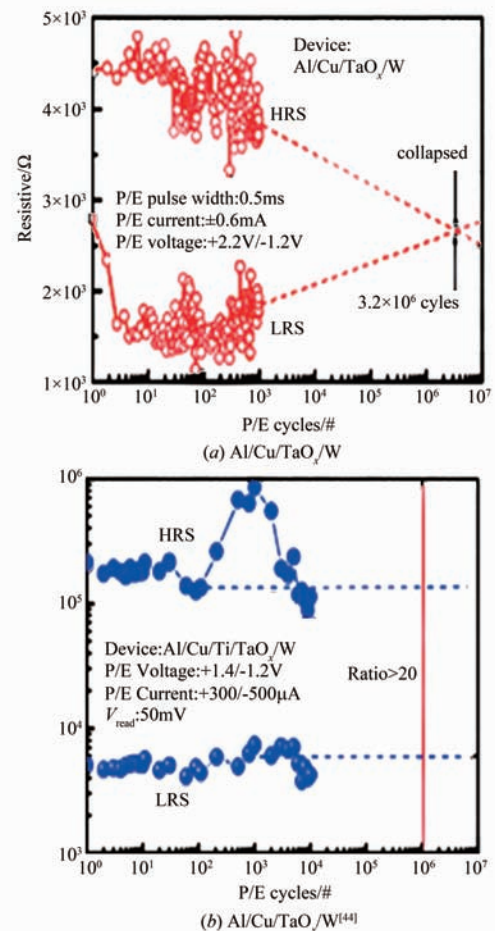


图9 高阻态和低阻态下两器件擦写耐受特性

连接,使得相邻阵列间在潜行电流的作用下发生串扰现象<sup>[47]</sup>,如图 10 所示.

为了解决这种串扰问题,提出了三种结构:1T1R, 1D1R 和具有自整流特性的 1R 结构,图 11 所示为此三种结构的 3D 示意图<sup>[49,50]</sup>. 1T1R 结构单元的最小尺寸是由选择晶体管的尺寸来决定,这种集成结构的单元面积大,可缩小性受到晶体管的限制,并且这种平面集成方式不利于 3D 的堆叠,而 1D1R 结构和 1R 结构都没有这样的缺陷,被认为是解决串扰现象理想的结构.因此,选用适当的堆叠结构,再利用其他改善性能的方法,可以制备出性能优越的阻变存储器器件.

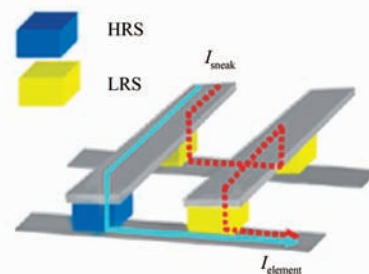


图10 十字交叉阵列结构中发生电流串扰示意图<sup>[48]</sup>

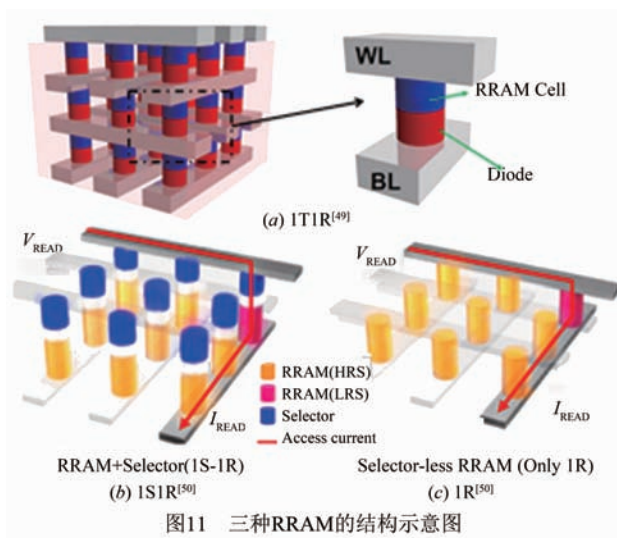


图11 三种RRAM的结构示意图

## 5 RRAM 产业化面临的问题

阻变存储器表现出了相对优越的高性能,表 2 列出了阻变存储器与其他非易失性存储器以及传统的易

失性存储器的主要性能对比表<sup>[51]</sup>. 尽管阻变存储器在性能方面表现良好,但阻变器件的发展仍存在一些亟待解决的问题. 这些问题如果未能得到很好地解决,将直接阻碍阻变存储器的产业化进程.

### 5.1 器件存在的可靠性问题

#### 5.1.1 导电细丝的不稳定性

尽管近十年来对阻变器件阻变机理的研究层出不穷,但是仍然缺少能够直接说明导电细丝与阻态间关系的证据,尤其是对 VCM(可变价存储器)器件而言<sup>[52]</sup>. 对于器件的产业化来说,最大的问题是导电细丝的不稳定性和阻值的多变性,这将直接影响器件的稳定性和可靠性. 一般而言,可以通过控制 SET 过程中的限制电流来调节低阻态的阻值<sup>[17]</sup>,但是不能利用此法来实现对微观尺度的原子/离子构型(导电细丝)更精细的控制,导电细丝的形成,在本质上是一个随机性的问题. 因此,即使对于单个存储单元的编写,获得的阻值也显示出了周期性差异<sup>[53]</sup>. 这种差异,会造成相对较宽的阻值分布状态,无法得到理想的可被接受的操作窗口值( $R_{HRS}/R_{LRS} > 10$ ).

表 2 各种类型存储器的性能对比<sup>[51]</sup>

Type	Volatile memory	Non-volatile memory		Emerging non-volatile memory			
	DRAM	NOR-FLASH	NAAD-FLASH	MRAM	PRAM	FRAM	RRAM
Cell elements	1T1C	1T	1T	1T1R	1T1R or 1D1R	1T1C	1T1R or 1D1R or 1R
Cell	Stack/ trench capacitor	Floating gate/ charge trap	Floating gate/ charge trap	Magneto-resistance	Phase-change	Polarization-change	Resistance-change
Minimum cell size	6F <sup>2</sup>	10F <sup>2</sup>	5F <sup>2</sup>	20F <sup>2</sup>	4.8F <sup>2</sup>	22F	4F <sup>2</sup>
Write/erase time	<10ns/ <10ns	1ms/10ms	1ms/0.1ms	10ns/10ns	20ns/50ns	10ns/10ns	5ns/5ns
Endurance (cycles)	>3 × 10 <sup>16</sup>	>10 <sup>5</sup>	>10 <sup>5</sup>	>3 × 10 <sup>16</sup>	10 <sup>8</sup>	10 <sup>14</sup>	10 <sup>10</sup>
Application	Main memory	Storage	Storage	Storage	Storage	Storage	Storage/ Main memory

在短时间范围内,导电细丝中离子或缺陷的随机性逃离和复位,会造成导电细丝的不稳定性;在较大的时间尺度上,热力学的推动可能使缺陷通过扩散通道被永久性移除,造成导电细丝的阻值增大<sup>[54]</sup>. WANG<sup>[55]</sup>等人利用三终端结构使得金属细丝更加稳定可靠,同时还大大降低了损耗. 然而,与导电细丝的不稳定性相比,基于肖特基势垒调节的界面效应的阻变器件,展现出更好的阻变均一性和稳定性. 这是因为界面势垒调节导致的电阻转变发生在整个接触界面,高低电阻变化时具有均匀的电流分布,得益于这种可扩展的编写电流和均匀的阻变行为,使得此类器件的能耗更低,更有利于三维空间的交叉阵列的堆叠<sup>[56,57]</sup>. 并且,此类电阻转变还具有自限流的特点,在进行结构设计时,无需再额外加入具有限流作用的选通管或者晶体管.

而由导电细丝主导的阻变行为,电流主要通过细丝流动,而细丝的分布很不均匀,即使在高阻态时,导电细丝也不会完全消失,这些残留的细丝也会导致电流的分布不均匀. 因此,研发基于此类机理的阻变器件,会有更好的前景.

#### 5.1.2 电流损耗问题

对于阻变存储器件而言,由电流引起的耗损是一个关键性的问题<sup>[58]</sup>:操作电流过大增加了功耗,易使器件发生热击穿而失效,可以通过给定一个最小限流,来限制导电细丝的物理尺寸而实现;然而,尽管电流的减小改善了交叉阵列的电路操作和器件的能耗,但是由于导电细丝尺寸的减小,导致器件的可靠性问题更加突出,主要是数据保持特性和电阻转变的差异性问题. 数据的保持特性主要是由导电细丝中沿上下电

极间的垂直方向和沿径向上的缺陷扩散来控制,由于径向上存在着更多的缺陷聚集,其缺陷扩散使得导电细丝的尺寸减小,使得数据的保持时间越短且不稳定,直接影响了器件保持数据的安全性和可靠性<sup>[58-60]</sup>.此外,尽管给定一个限制电流,但是由于电子的迁移是随机进行的,使得每一个 SET 操作都可能导致不同的阻值,造成电阻转变的差异性.因此,如何在降低电流损耗的同时,保证器件稳定的性能,是一个仍需研究解决的课题.

除了导电细丝引起阻变器件的稳定性和可靠性问题外,VCM 器件需要较大的电压实现电初始化过程,形成导电细丝.这种大的电压会直接造成器件功耗的增大.并且,即使与 SET 电压相近的初始电压,也会导致器件在每个 SET 循环过程中生成新的导电细丝,而多重细丝的阻变行为是很不稳定的<sup>[61]</sup>.与 VCM 阻变行为不同的是,ECM 器件不需要这种电初始化过程,就可直接在相反极性的电压下生成金属细丝,阻变稳定性也更好.

## 5.2 构型的选择问题

为了解决基于电荷存储的非易失性存储器的存储密度问题,研究人员利用 3-D 垂直 NAAD 技术,成功获得了超高字节密度的 flash 存储器<sup>[62]</sup>.将此技术利用在 RRAM 器件中(3D V-RRAM),该构型与 2D-RRAM 相比,除了高存储密度,还使得期间的尺寸达到最小化<sup>[63]</sup>.尽管 3D V-RRAM 是最理想的阻变存储构型,但是基于交叉阵列堆叠而成的结构,都会存在寄生潜流的问题,值得注意的是,即使 1D1R 和 1S1R 的 3D V-RRAM 构型,能够有效地抑制电流串扰,同时还能保持十字交叉阵列的高密度集成<sup>[50]</sup>.但由于二极管的选通作用,无法使反向电流通过,使其无法负向对阻变器件进行编写操作,直接限制了器件的应用<sup>[12]</sup>.此外,由于整流二极管和选通管的加入,使得器件的装配变得更加复杂,不利于大规模生产.而将 1R 结构独立集成在十字交叉阵列中,可以直接抑制串扰电流问题,不必引入额外的整流器件,使得器件制备的复杂程度大大降低,节约成本.且具有自整流作用的器件,保持了阻变存储器简单紧凑的三明治结构并对高密度存储更加有利.因此,具有自整流特性的阻变层材料(1R)直接制备 3D 构型的阻变存储器件,应用潜力巨大.

## 6 结语

RRAM 在海量数据处理下要求的高速低耗以及器件微型化等方面展现巨大潜力.但 RRAM 的机理研究中,不论金属导电细丝还是氧空穴导电细丝模型均存在一定的缺陷.金属导电细丝模型的阻变器件损耗更高,数据保持性和耐受性面临考验,需要谨慎的使用活

性电极并综合好器件阻变性能和耐久性之间的平衡.而氧空位导电细丝模型的器件其高电场激活会对器件造成物理伤害并影响器件的耐久性、降低器件良率以及增加工艺复杂度,应考虑降低器件的激活电压和氧空位随机性来改善器件的性能.而无需电初始化过程的肖特基势垒模型由于其较低的操作电压、更易获得高开关比及更稳定的阻态转变使其在 RRAM 中更具优势,且肖特基结的构建具备一定可控性,这对于阻变功能的改善以及阻变参数的优化具有重要的意义.

此外,无论是阻变层掺杂、电极优化、界面处理以及结构优化等性能优化措施都能一定程度上解决 RRAM 存在的导电细丝不稳定、电流损耗过高以及不合理构型带来的低存储密度等问题并极大改善 RRAM 的阻变性能.尽管提出的措施明显改善了阻变器件的阻变性能,但至今并没有一个统一的评价标准对提出的改善措施做一个准确的判断和合理的评价,这制约了 RRAM 的商业化及其工业化进程.因此,应在进一步探究 RRAM 阻变机理的同时基于其存在的主要问题并结合现有的性能优化措施,不再一味只顾提高器件的阻变性能而忽略器件的整体稳定性和可靠性,尽快的形成成熟的评价体系,追求各项性能指标达到一个稳定的平衡状态,这能为改善阻变性能和控制生产提供理论支持和技术指导,极大的加速 RRAM 的工业化和商业化进程.

## 参考文献

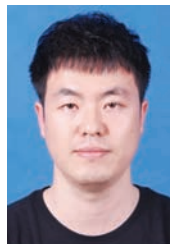
- [1] AN H-M, KIM H-D, KIM T G. Analysis of the energy distribution of interface traps related to tunnel oxide degradation using charge pumping techniques for 3D NAND flash applications [J]. *Materials Research Bulletin*, 2013, 48 (12): 5084 - 5087.
- [2] 田野,袁博,李廷力. 物联网海量异构数据存储与共享策略研究[J]. *电子学报*, 2016, 44(2): 247 - 257.  
TIAN Ye, YUAN Bo, LI Ting-li. A massive and heterogeneous data storage and sharing strategy for internet of things [J]. *Acta Electronica Sinica*, 2016, 44 (2): 247 - 257. (in Chinese)
- [3] ZHAO J-W, SUN J, HUANG H-Q, et al. Effects of ZnO buffer layer on GZO RRAM devices [J]. *Applied Surface Science*, 2012, 258(10): 4588 - 4591.
- [4] 施毅,袁晓利,吴军,等. 硅纳米晶粒基 MOSFET 存储器的荷电特征研究[J]. *电子学报*, 2001, 29(2): 145 - 147.  
SHI Yi, YUAN Xiao-li, WU Jun, YANG Hong-guan, GU Shu-lin, HAN Ping, ZHENG You-dou. Charging characteristics of MOSFET memory based on Si nanocrystals [J]. *Acta Electronica Sinica*, 2001, 29(2): 145 - 147. (in Chinese)

- [5] TIWARI S, RANA F, CHAN K, et al. Single charge and confinement effects in nano-crystal memories [J]. *Applied Physics Letters*, 1996, 69(9): 1232 – 1234.
- [6] KUND M, BEITEL G, PINNOW C-U, et al. Conductive bridging RAM (CBRAM): An emerging non-volatile memory technology scalable to sub 20nm [A]. *Proceedings of the IEEE International Electron Devices Meeting (Technical Digest)* [C]. USA: IEEE, 2005. 754 – 757.
- [7] JEONG D S, THOMAS R, KATIYAR R, et al. Emerging memories: resistive switching mechanisms and current status [J]. *Reports on Progress in Physics*, 2012, 75(7): 076502.
- [8] BIJU K P, LIU X, SHIN J, et al. Highly asymmetric bipolar resistive switching in solution-processed Pt/TiO<sub>2</sub>/W devices for cross-point application [J]. *Current Applied Physics*, 2011, 11(4, Supplement): S102 – S106.
- [9] KIM S K, KIM K M, JEONG D S, et al. Titanium dioxide thin films for next-generation memory devices [J]. *Journal of Materials Research*, 2013, 28(03): 313 – 325.
- [10] ROZENBERG M J, INOUE I H, S NCHEZ M J. Nonvolatile memory with multilevel switching: a basic model [J]. *Physical Review Letters*, 2004, 92(17): 178302.
- [11] YANG Y, LU W, YAO Y, et al. In situ TEM observation of resistance switching in titanate based device [J]. *Scientific Reports*, 2014, 4: 3890.
- [12] PAN F, GAO S, CHEN C, et al. Recent progress in resistive random access memories: Materials, switching mechanisms, and performance [J]. *Materials Science and Engineering: R: Reports*, 2014, 83: 1 – 59.
- [13] JOUSSEAUME V, FANTINI A, NODIN J, et al. Comparative study of non-polar switching behaviors of NiO- and HfO<sub>2</sub>-based oxide resistive-RAMs [J]. *Solid-State Electronics*, 2011, 58(1): 62 – 67.
- [14] LONG S, PERNIOLA L, CAGLI C, et al. Voltage and power-controlled regimes in the progressive unipolar RESET transition of HfO<sub>2</sub>-based RRAM [J]. *Scientific Reports*, 2013, 3: 2929.
- [15] PRAKASH A, JANA D, MAIKAP S. TaOx-based resistive switching memories: prospective and challenges [J]. *Nanoscale Research Letters*, 2013, 8(1): 1 – 17.
- [16] RUSSO U, IELMINI D, CAGLI C, et al. Self-accelerated thermal dissolution model for reset programming in unipolar resistive-switching memory (RRAM) devices [J]. *IEEE Transactions on Electron Devices*, 2009, 56(2): 193 – 200.
- [17] WASER R, DITTMANN R, STAIKOV G, et al. Redox-based resistive switching memories-nanoionic mechanisms, prospects, and challenges [J]. *Advanced Materials*, 2009, 21(25 – 26): 2632 – 2663.
- [18] JO Y, JANG B, KIM J, et al. Multi-valued resistive switching characteristics in WO<sub>x</sub>/AlO<sub>y</sub> heterojunction resistive switching memories [J]. *Journal of the Korean Physical Society*, 2014, 64(2): 173 – 176.
- [19] YAN Z B, LIU J M. Coexistence of high performance resistance and capacitance memory based on multilayered metal-oxide structures [J]. *Scientific Reports*, 2013, 3: 2482.
- [20] JAMESON J R, GILBERT N, KOUSHAN F, et al. One-dimensional model of the programming kinetics of conductive-bridge memory cells [J]. *Applied Physics Letters*, 2011, 99(6): 063506.
- [21] SONI R, MEUFFELS P, PETRARU A, et al. Rate limiting step for the switching kinetics in Cu doped Ge<sub>0.3</sub>Se<sub>0.7</sub> based memory devices with symmetrical and asymmetrical electrodes [J]. *Journal of Applied Physics*, 2013, 113(12): 124504.
- [22] TAPPERTZHOFEN S, VALOV I, WASER R. Quantum conductance and switching kinetics of AgI-based micro-crossbar cells [J]. *Nanotechnology*, 2012, 23(14): 145703.
- [23] MENZEL S, B TTGER U, WIMMER M, et al. Physics of the Switching Kinetics in Resistive Memories [J]. *Advanced Functional Materials*, 2015, 25(40): 6306 – 6325.
- [24] MENZEL S, B TTGER U, WIMMER M, et al. Physics of the switching kinetics in resistive memories [J]. *Advanced Functional Materials*, 2015, 25(40): 6306 – 6325.
- [25] MENZEL S, B TTGER U, WASER R. Simulation of multilevel switching in electrochemical metallization memory cells [J]. *Journal of Applied Physics*, 2012, 111(1): 014501.
- [26] DEARNALEY G. Electronic conduction through thin unsaturated oxide layers [J]. *Physics Letters A*, 1967, 25(10): 760 – 761.
- [27] BLOM P, WOLF R, CILLESSEN J, KRIJN M. Ferroelectric schottky diode [J]. *Physical Review Letters*, 1994, 73(15): 2107 – 2110.
- [28] YUAN X-C, TANG J-L, ZENG H-Z, et al. Abnormal coexistence of unipolar, bipolar, and threshold resistive switching in an Al/NiO/ITO structure [J]. *Nanoscale Research Letters*, 2014, 9(1): 1 – 5.
- [29] JANOUSCH M, MEIJER G I, STAUB U, et al. Role of oxygen vacancies in Cr-doped SrTiO<sub>3</sub> for resistance-change memory [J]. *Advanced Materials*, 2007, 19(17): 2232 – 2235.
- [30] CHENG C H, CHEN P C, WU Y H, et al. Highly uniform low-power resistive memory using nitrogen-doped tantalum pentoxide [J]. *Solid-State Electronics*, 2012, 73: 60 – 63.
- [31] LEE D, SEONG D-J, CHOI H J, et al. Excellent uniformity and reproducible resistance switching characteristics of doped binary metal oxides for non-volatile resistance

- memory applications [A]. Proceedings of International Electron Devices Meeting[C]. USA:IEEE,2006. 1-4.
- [32] 刘琦. 高速, 高密度, 低功耗的阻变非挥发性存储器研究[D]. 安徽: 安徽大学, 2010.
- [33] JEONG D S, SCHROEDER H, BREUER U, et al. Characteristic electroforming behavior in Pt/TiO<sub>2</sub>/Pt resistive switching cells depending on atmosphere[J]. Journal of Applied Physics, 2008, 104(12):3716.
- [34] PHARK S H, JUNG R, CHANG Y J, et al. Interfacial reactions and resistive switching behaviors of metal/NiO/metal structures [J]. Applied Physics Letters, 2009, 94(2):022906.
- [35] BERTAUD T, WALCZYK D, WALCZYK C, et al. Resistive switching of HfO<sub>2</sub>-based metal-insulator-metal diodes: Impact of the top electrode material[J]. Thin Solid Films, 2012, 520(14):4551-4555.
- [36] OH S C, JUNG H Y, LEE H. Effect of the top electrode materials on the resistive switching characteristics of TiO<sub>2</sub> thin film [J]. Journal of Applied Physics, 2011, 109(12):124511.
- [37] CHANG W-Y, HUANG H-W, WANG W-T, et al. High uniformity of resistive switching characteristics in a Cr/ZnO/Pt device[J]. Journal of the Electrochemical Society, 2012, 159(3):G29-G32.
- [38] CHEN D, LI A, WU D. Resistive switching in  $\text{BiFeO}_3$ -based heterostructures due to ferroelectric modulation on interface Schottky barriers[J]. J Mater Sci: Mater Electron, 2014, 25(8):3251-3256.
- [39] HEINONEN O, SIEGERT M, ROELOFS A, et al. Correlating structural and resistive changes in Ti/NiO resistive memory elements [J]. Applied Physics Letters, 2010, 96(10):103103.
- [40] LEE D, SUNG Y, SOHN H, et al. Change of resistive-switching in TiO<sub>2</sub> films with additional HfO<sub>2</sub> thin layer [J]. Journal of the Korean Physical Society, 2012, 60(9):1313-1316.
- [41] LIM K, PARK J, KIM S, et al. Effect of oxygen content on resistive switching memory characteristics of TiO<sub>x</sub> films [J]. Journal of the Korean Physical Society, 2012, 60(5):791-794.
- [42] PRAKASH A, MAIKAP S, BANERJEE W, et al. Impact of electrically formed interfacial layer and improved memory characteristics of IrO<sub>x</sub>/high- $\kappa$ /W structures containing AlO<sub>x</sub>, GdO<sub>x</sub>, HfO<sub>x</sub>, and TaO<sub>x</sub> switching materials [J]. Nanoscale Research Letters, 2013, 8(1):1-12.
- [43] WANG L-G, QIAN X, CAO Y-Q, et al. Excellent resistive switching properties of atomic layer-deposited Al<sub>2</sub>O<sub>3</sub>/HfO<sub>2</sub>/Al<sub>2</sub>O<sub>3</sub> trilayer structures for non-volatile memory applications [J]. Nanoscale Research Letters, 2015, 10(1):1-8.
- [44] RAHAMAN S, MAIKAP S, TIEN T-C, et al. Excellent resistive memory characteristics and switching mechanism using a Ti nanolayer at the Cu/TaO<sub>x</sub> interface [J]. Nanoscale Research Letters, 2012, 7(1):1-11.
- [45] CHEN B, WANG X, GAO B, et al. Highly compact (4F2) and well behaved nano-pillar transistor controlled resistive switching cell for neuromorphic system application [J]. Scientific Reports, 2014, 4:6863.
- [46] LEE M-J, PARK Y, KANG B-S, et al. 2-stack 1D-1R cross-point structure with oxide diodes as switch elements for high density resistance RAM applications [A]. Proceedings of the IEEE International Electron Devices Meeting[C]. USA:IEEE,2007. 771-774.
- [47] LEE M J P Y, SUH D S. Two series oxide resistors applicable to high speed and high density nonvolatile memory [J]. Advanced Materials, 2007, 19:(22) 3919-3923.
- [48] YAN X, HAO H, CHEN Y, et al. Self-rectifying performance in the sandwiched structure of Ag/In-Ga-Zn-O/Pt bipolar resistive switching memory [J]. Nanoscale Research Letters, 2014, 9(1):1-6.
- [49] SUN P, LU N, LI L, et al. Thermal crosstalk in 3-dimensional RRAM crossbar array [J]. Scientific Reports, 2015, 5:13504.
- [50] WOO J, LEE D, CHOI G, et al. Selector-less RRAM with non-linearity of device for cross-point array applications [J]. Microelectronic Engineering, 2013, 109:360-363.
- [51] JEONG D S, THOMAS R, KATIYAR R S, et al. Emerging memories: resistive switching mechanisms and current status [J]. Reports on Progress in Physics, 2012, 75(7):076502.
- [52] CHEN J-Y, HUANG C-W, CHIU C-H, et al. Switching kinetic of VCM-based memristor: evolution and positioning of nanofilament [J]. Advanced Materials, 2015, 27(34):5028-5033.
- [53] WOUTERS D J, WASER R, WUTTIG M. Phase-change and redox-based resistive switching memories [J]. Proceedings of the IEEE, 2015, 103(8):1274-1288.
- [54] CHEN Y Y, DEGRAEVE R, CLIMA S, et al. Understanding of the endurance failure in scaled HfO<sub>2</sub>-based 1T1R RRAM through vacancy mobility degradation [A]. Proceedings of the IEEE International Electron Devices Meeting[C]. USA:IEEE,2012. 20.3.1-20.3.4.
- [55] WANG Q, ITOH Y, TSURUOKA T, et al. Ultra-low voltage and ultra-low power consumption nonvolatile operation of a three-terminal atomic switch [J]. Advanced Materials, 2015, 27(39):6029-6033.
- [56] CHUNG-WEI H, YU-FEN W, CHIA-CHEN W, et al. Homogeneous barrier modulation of TaO<sub>x</sub>/TiO<sub>2</sub> bilayers

- for ultra-high endurance three-dimensional storage-class memory[J]. *Nanotechnology*, 2014, 25(16):165202.
- [57] JIN L, SHUAI Y, ZENG H Z, et al. Interface-related resistive switching in BiFeO<sub>3</sub> thin films[J]. *Journal of Materials Science: Materials in Electronics*, 2015, 26(3):1727 – 1731.
- [58] IELMINI D, WEBSTER J G. Resistive-switching memory [A]. *Wiley Encyclopedia of Electrical and Electronics Engineering* [M]. USA: John Wiley & Sons, Inc, 2014.
- [59] PARK J, JO M, BOURIM E M, et al. Investigation of state stability of low-resistance state in resistive memory [J]. *IEEE Electron Device Letters*, 2010, 31(5):485 – 487.
- [60] IELMINI D, NARDI F, CAGLI C, et al. Size-dependent retention time in NiO-based resistive-switching memories [J]. *IEEE Electron Device Letters*, 2010, 31(4):353 – 355.
- [61] DEGRAEVE R, ROUSSEL P, GOUX L, et al. Generic learning of TDDB applied to RRAM for improved understanding of conduction and switching mechanism through multiple filaments[A]. *Proceedings of the IEEE International Electron Devices Meeting* [C]. USA: IEEE, 2010. 28.4.1 – 28.4.4.
- [62] LUE H-T, DU P-Y, CHEN W-C, et al. A novel dual-channel 3D NAND flash featuring both N-channel and P-channel NAND characteristics for bit-alterable flash memory and a new opportunity in sensing the stored charge in the WL space[A]. *Proceedings of the IEEE International Electron Devices Meeting* [C]. USA: IEEE, 2013. 3.7.1 – 3.7.4.
- [63] MELOSH N A, BOUKAI A, DIANA F, et al. Ultrahigh-density nanowire lattices and circuits [J]. *Science*, 2003, 300(5616):112 – 115.

#### 作者简介



王 玮 男, 1989 年出生, 陕西人, 硕士研究生. 主要从事阻变存储器件及巨介电陶瓷材料方面的研究.

E-mail: hmily0719@qq.com



陈 晋 男, 副教授, 1978 年生, 江苏人. 主要从事铁电电压陶瓷材料及厚膜制备, 计算机模拟材料制备工艺, 金属纳米材料, 光电子功能纳米材料等方面的研究工作.



余林峰 男, 1989 年出生, 广西玉林人, 西安建筑科技大学硕士研究生, 主要研究方向为二氧化物阻变存储器.

E-mail: lfy0818@126.com