

# 一种低功耗双重测试数据压缩方案

陈田<sup>1,2</sup>, 易鑫<sup>1,2</sup>, 王伟<sup>1,2</sup>, 刘军<sup>1,2</sup>, 梁华国<sup>1,3</sup>, 任福继<sup>2,4</sup>

(1. 合肥工业大学计算机与信息学院, 安徽合肥 230009; 2. 合肥工业大学情感计算与先进智能机器安徽省重点实验室, 安徽合肥 230009; 3. 合肥工业大学电子科学与应用物理学院, 安徽合肥 230009; 4. 德岛大学, 日本德岛 770-8506)

**摘要:** 随着集成电路制造工艺的发展, VLSI (Very Large Scale Integrated) 电路测试面临着测试数据量大和测试功耗过高的问题. 对此, 本文提出一种基于多级压缩的低功耗测试数据压缩方案. 该方案先利用输入精简技术对原测试集进行预处理, 以减少测试集中的确定位数量, 之后再行第一级压缩, 即对测试向量按多扫描划分为子向量并进行相容压缩, 压缩后的测试向量可用更短的码字表示; 接着再对测试数据进行低功耗填充, 先进行捕获功耗填充, 使其达到安全阈值以内, 然后再对剩余的无关位进行移位功耗填充; 最后对填充后的测试数据进行第二级压缩, 即改进游程编码压缩. 对 ISCAS89 基准电路的实验结果表明, 本文方案能取得比 golomb 码、FDR 码、EFDR 码、9C 码、BM 码等更高的压缩率, 同时还能协同优化测试时的捕获功耗和移位功耗.

**关键词:** 测试向量相容; 低功耗测试; 测试数据压缩; 双重压缩

**中图分类号:** TP391.76 **文献标识码:** A **文章编号:** 0372-2112 (2017)06-1382-07

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2017.06.015

## Low Power Multistage Test Data Compression Scheme

CHEN Tian<sup>1,2</sup>, YI Xin<sup>1,2</sup>, WANG Wei<sup>1,2</sup>, LIU Jun<sup>1,2</sup>, LIANG Hua-guo<sup>1,3</sup>, REN Fu-ji<sup>2,4</sup>

(1. School of Computer and Information, Hefei University of Technology, Hefei, Anhui 230009, China;

2. Anhui Province Key Laboratory of Affective Computing and Advanced Intelligent Machine, Hefei University of Technology, Hefei, Anhui 230009, China;

3. School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei, Anhui 230009, China;

4. The University of Tokushima, Tokushima 770-8506, Japan)

**Abstract:** With the development of the integrated circuit (IC) manufacturing technology, very large scale integrated (VLSI) circuits test is faced with the problems of over large test data volume and high test power consumption. This paper presents a low-power multistage test data compression scheme to address these two problems. Firstly, the proposed scheme preprocesses the original test set with the input reduction technology so as to reduce the volume of specified bits; secondly, the scheme compresses test patterns shifted in multi-scan chains according to their compatibilities and uses shorter code to demonstrate compatible test patterns, namely the first stage of compression; thirdly, the low power X-filling is conducted; X-filling for capture power reduction is first conducted for the unspecified bits to keep the capture power under the given threshold and then the remaining unspecified bits are filled for shift power reduction; finally, the proposed scheme further compresses test patterns using modified run-length coding. Experimental results for ISCAS89 benchmark circuits demonstrate that, compared with golomb, FDR, EFDR, 9C, BM code, etc., the proposed scheme achieves better compression rate while reducing both the capture power and the shift power.

**Key words:** test vector compatible; low power test; test data compression; multistage compression

## 1 引言

随着集成电路制造工艺的发展, 芯片集成度和复杂度越来越高, 使得超大规模集成电路测试面临着测

试数据量大测试功耗高和测试时间长等多重挑战. 测试数据量过大不仅对测试仪的传输带宽、存储、频率提出了更高的要求, 而且也增加了测试时间. 此外, 在测试时产生过高的测试功耗会导致芯片结构损坏、可靠性

收稿日期: 2015-11-05; 修回日期: 2016-03-07; 责任编辑: 覃怀银

基金项目: 国家自然科学基金 (No. 61204046, No. 61474035, No. 61306049); 国家自然科学基金重点项目 (No. 61432004); 高等学校博士学科点专项科研新教师基金 (No. 2013JYXJ0650)

下降、成品率降低等许多问题,从而测试成本越来越高.因此探索协同优化测试数据量和测试功耗的技术是十分必要的.

测试数据压缩技术能够有效地解决测试数据量问题<sup>[1,2]</sup>.基于编码的压缩方案是一种行之有效的测试数据压缩技术.常见的编码压缩方案有:基于游程的编码方案,如: golomb 码<sup>[3]</sup>、FDR 码<sup>[4]</sup>、EFDR 码<sup>[5]</sup>、ERLC 码<sup>[6]</sup>、MDPRC 码<sup>[7]</sup>、交替连续长度码<sup>[8]</sup>、混合定变长码<sup>[9]</sup>等,这些方案中除 golomb 码和 FDR 码仅对 0 游程进行编码外,其余方案都对 0 游程和 1 游程进行编码进而提高了压缩率;基于 huffman 的编码方案,如:SHC 码<sup>[10]</sup>、VIHC 码<sup>[11]</sup>等,这些方案针对 huffman 方案解压器复杂的问题进行了改进,从而减少了面积开销、提高了编码效率;此外还有 9C 码<sup>[12]</sup>、BM<sup>[13]</sup> 码等,9C 码是将测试集划分为等长的数据块,然后再根据数据块的特征(全 1 或全 0 或 1,0 共存)而表示成 9 种不同的代码字. BM 码也是将测试集划分为等长的数据块,然后合并连续的相容数据块,最后根据相容后数据块的特征进行编码.

在多数针对测试编码压缩的研究中,测试向量中的无关位  $X$  要么被用来解决测试压缩问题<sup>[3-5,7-13]</sup>,要么被用来解决扫描测试中的移位功耗或捕获功耗问题,而对测试数据量和测试功耗协同优化的研究还存在不足<sup>[5,14,15]</sup>.这是由于通过  $X$  位来同步提高压缩率和降低测试功耗本身存在一定的矛盾,如果不能进行协

同优化设计,利用测试向量中的  $X$  位,很难达到测试压缩率、移位功耗以及捕获功耗的平衡优化.本文提出一种能够协同优化测试数据量和测试功耗的测试数据压缩方案.该方案先利用部分输入精简技术对测试集进行预处理,以减少测试集中的确定位数量,然后再进行双重压缩,并在压缩过程中做低功耗处理,以达到降低测试数据量和测试功耗的目的.

## 2 低功耗双重测试数据压缩方案

### 2.1 基于部分输入精简的测试集预处理

输入精简<sup>[16]</sup>是一种通过合并被测电路相容或反相容输入达到减少输入数量的技术.也就是说,通过输入精简技术,可以减少测试立方集的位数.图 1 所示为测试集输入精简示例.图 1(a)所示为原测试集,输入  $i_1$  与  $i_4, i_{15}$  相容,与  $i_8, i_{12}$  反相容;输入  $i_{11}$  与  $i_{16}, i_{17}, i_{20}$  相容,与  $i_6$  反相容;剩余的全无关位列可与其他任何列相容.因此可得相容集  $\{i_1, i_2, i_3, i_4, i_5, i_7, i_8, i_9, i_{10}, i_{12}, i_{13}, i_{14}, i_{15}\}$  和  $\{i_6, i_{11}, i_{16}, i_{17}, i_{18}, i_{19}, i_{20}, i_{21}, i_{22}\}$ ,对应结果如图 1(b)所示,测试集得到了极大压缩.其扫描测试结构如图 1(d)所示,测试数据通过扇出线 and 反向器送到相应的扫描单元中,通过相容集可知,送入 1 号扫描单元的数据通过 13 条扇出线送到相应 13 个扫描单元中,送入 2 号扫描单元的数据通过 9 条扇出线送到相应 9 个扫描单元中.

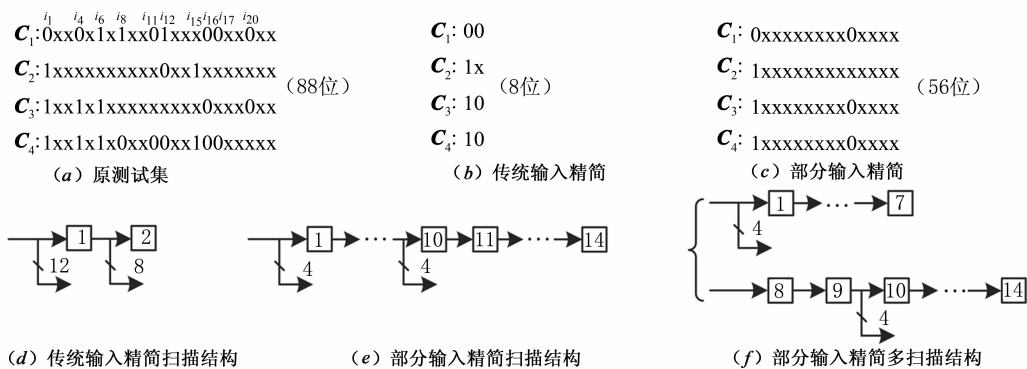


图1 输入精简示例及其扫描测试结构

传统的输入精简技术能够取得良好的压缩效果,但是存在电路布线难度高和测试功耗高的问题.输入精简技术的压缩率与电路布线难度呈正相关性,即压缩率越高布线难度越大.为了权衡压缩率和布线工作量,并为了有利于后续的压缩处理和功耗处理,本文方案在利用输入精简技术对测试集进行压缩时,尽可能多地保留了测试集中的  $X$  位,仅对测试集中包含有确定位的列进行输入精简.采取这种策略的好处是既可以降低电路布线难度,同时也可以减少测试集中的确

定位数量,保留更多的  $X$  位.根据该原理对图 1(a)中原测试集进行压缩,得到相容集  $\{i_1, i_4, i_8, i_{12}, i_{15}\}$  和  $\{i_6, i_{11}, i_{16}, i_{17}, i_{20}\}$ ,对应结果如图 1(c)所示,其扫描测试结构如图 1(e)所示.由于单扫描测试结构会消耗更多的测试应用时间,因此本文建议将单扫描测试结构改为多扫描测试结构,如图 1(f)所示,同时,后续压缩也是在多扫描结构的基础上进行的.该例中,原测试集位数为 88 位,经部分输入精简预处理后为 56 位,减少了 32 位.

## 2.2 双重测试数据压缩方案

### 2.2.1 基于多扫描链的测试向量相容压缩

对于两条测试向量来说,如果任意对应位置的值相同或者其中之一是无关位,那么就称这两个测试向量相容.通过 ATPG 得到的确定测试集中含有大量无关位  $X$ ,对这些测试向量进行相容压缩,将在一定程度上降低测试数据量.由相容性定义可知,减少测试向量中的确定位可以提高向量之间相容的概率.原测试集经部分输入精简预处理之后减少了其中的确定位,提高了测试向量相容概率,更有利于减少测试数据量.

设测试集  $T_D$  由  $n$  条长度为  $l$  的测试向量组成,  $T_D = \{C_1, C_2, \dots, C_n\}$ , 每条测试向量  $C_i (i = 1, 2, \dots, n)$  根据多扫描测试可划分为  $m$  条子向量:  $S_{i1}, S_{i2}, \dots, S_{ij}, \dots, S_{im} (j = 1, 2, \dots, m)$ , 每条子向量的长度为  $k = \lfloor l/m \rfloor$  (即扫描链长度为  $k$ ).这里假定每条扫描链长度都相等,也即每条子向量的长度相等,最后一条子向量可通过添加  $X$  位补齐.在扫描测试过程中,假设移入每条扫描链的子向量先后顺序为:  $S_{1j}, S_{2j}, \dots, S_{nj}$  (可称为向量移入顺序).由于测试集经过预处理,子向量中存在大量的无关位,因此移入每条扫描链的前后子向量有可能会相容的情况,针对这种情况,将前后子向量进行相容压缩,达到降低测试数据量的目的.假定子向量  $S_{ij}$  与  $S_{(i+1)j}$  相容,压缩后将子向量  $S_{ij}$  看作参考子向量,并在其前面添加标志 1,而对于子向量  $S_{(i+1)j}$  则用标志 0 代替.

### 2.2.2 改进游程编码

观察发现,在测试向量相容压缩过程中,由于相容的测试向量用标志 0 表示,所以压缩后会出现一定长度的 0 序列,若对该序列再次进行压缩则将进一步提高压缩率.本文利用一种改进游程编码对其进行压缩,表 1 为改进游程编码的编码表.对于一个不含  $X$  位的测试集,一定包含两类测试序列,即交替序列和连续序列.因此测试集可以看作是 00、11 连续序列和 01、10 交替序列的集合.

表 1 改进游程编码表

编码数据	前缀	尾部	编码字
00 数据块	00	$t$ 位表示	00---
11 数据块	11	$t$ 位表示	11---
01 数据块或 10 数据块	无	无	保持不变

测试向量相容压缩后测试集中连续序列较多,而交替序列相对较少,若对少量的交替序列进行编码,反而会造成测试数据冗余,因此本文方案只对 00 和 11 连续序列进行编码,01 和 10 交替序列保持不变.00 和 11 连续序列可由两位前缀加  $t$  位尾部表示,其中前缀表示类型,尾部表示数据块的游程长度, $t$  的取值可根据连续序列的长度动态确定.

### 2.2.3 编码示例

图 2 所示为编码示例.图 2(a) 所示为测试向量相容压缩过程,先将图 1(c) 所示结果按扫描输入方式排列,然后再对移入同一扫描链的测试子向量进行相容压缩,假如移入第一条扫描链的向量移入顺序为:  $S_{11}, S_{21}, S_{31}, S_{41}$ .  $S_{11}$  不与其他子向量相容,则把  $S_{11}$  当做参考子向量并在其前面添加标志 1;而  $S_{21}, S_{31}, S_{41}$  相容,因此  $S_{31}, S_{41}$  可用标志 0 表示,把  $S_{21}$  作为参考子向量并在其前面添加标志 1.图 2(b) 所示为编码压缩过程,将图 2(a) 所示结果按向量移入顺序排列数据,本例中将  $X$  位全填充为 0 且取  $t = 2$ ,编码时为每条扫描链生成单独的压缩数据.值得注意的是,若编码到最后还剩余一位数据,则添加一位数据,其逻辑值与剩余位相反.图 2(b) 中加粗的 '1' 为添加的一位数据,其被视作测试数据一同被编码.

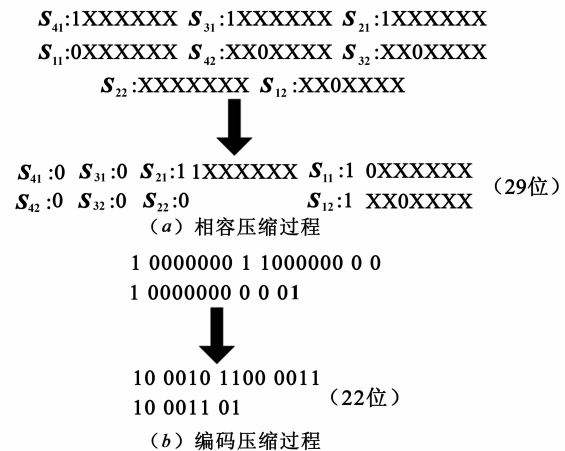


图2 编码示例

## 2.3 测试功耗优化流程

测试向量被送入扫描链之前需对其中的  $X$  位进行填充, $X$  位的赋值不影响测试结果.观察发现,利用本文方案对测试集进行测试向量相容压缩后,测试集中还存在大量的  $X$  位,若对  $X$  位进行合理的赋值,可有效降低测试功耗.测试功耗优化的步骤为:先进行捕获功耗填充,使捕获功耗降低到安全阈值以内,然后再进行移位功耗填充.

捕获功耗的优化目标是使捕获阶段电路节点的翻转不超过安全阈值,若捕获功耗已经处在安全阈值以内,则可不必要进行捕获功耗优化.捕获功耗是由于捕获前后相同扫描单元中的逻辑值不同而引起的,根据此原因本文采用一种基于测试响应的  $X$  填充方案将捕获功耗控制在安全阈值以内.该方案可描述为:首先通过对测试立方  $C_i$  进行故障模拟,产生含有关键位的测试响应  $R_i$ .然后根据测试响应中的确定位对  $C_i$  中对应的无关位进行填充.该方案可行的原因是:响应中的确定

位只与测试立方中的确定位有关,而且测试立方中的确定位很少,测试响应中的确定位也相对较少,一般不会因填充造成测试立方中确定位激增.最后对剩下的  $X$  位进行邻位填充<sup>[17]</sup>,以降低移位功耗.图 3 所示为本文方案测试流程.

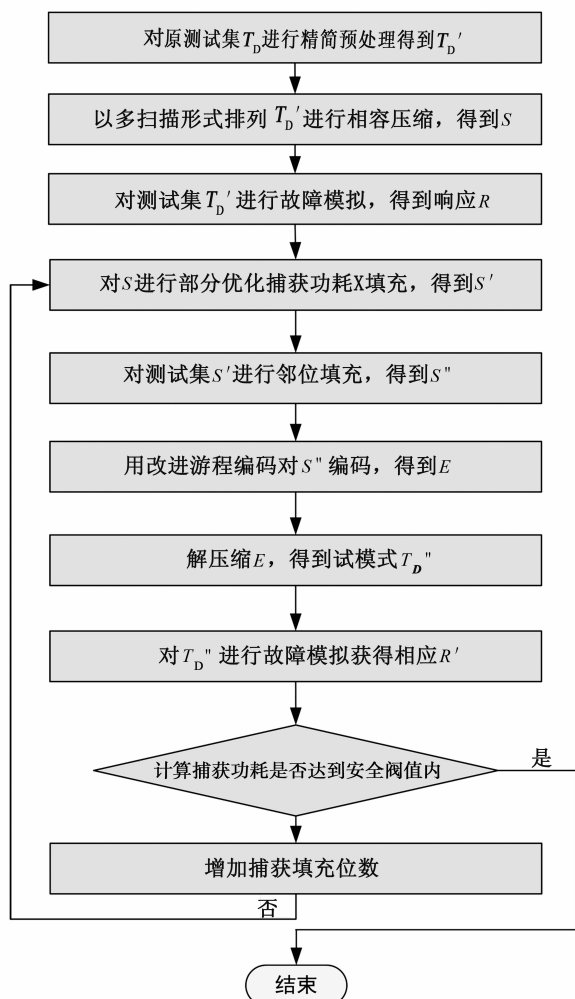


图3 低功耗双重压缩测试流程

### 3 解压结构

图 4 是本文方案的解压结构. FSM<sub>1</sub> 用于改进游程编码解码, 解码后的数据通过 data\_in 或 MUX 送入 FSM<sub>2</sub>, FSM<sub>2</sub> 用于测试向量相容压缩解码, 解码后的数据送入 CSR. bit\_in 为编码数据输入通道. en<sub>1</sub> 和 en<sub>2</sub> 为使能信号, 输出 1 时接收编码数据. con 是 FSM<sub>1</sub> 向  $t+1$  位计数器输入代码字尾部的通道. shift 用来控制 con. dec<sub>1</sub>、dec<sub>2</sub>、dec<sub>3</sub> 和 dec<sub>5</sub> 分别用来控制各自的计数器进行减 1 操作. dec<sub>4</sub> 为  $\log_2^m$  位计数器的计数脉冲, dec<sub>4</sub> 置 1 一次, 计数器减 1 计数一次. rs<sub>1</sub>、rs<sub>2</sub>、rs<sub>3</sub>、rs<sub>4</sub> 和 rs<sub>5</sub> 是计数器的复位信号. 2 位暂存器用于存储代码字前缀. mux\_en 为 MUX 的使能信号. sel 用于控制 FSM<sub>2</sub> 的时

钟. c\_out<sub>1</sub> 输出代码字前缀比较结果, 若 c\_out<sub>1</sub> 为 1 表示代码字前缀为 11 或 00, 反之则表示代码字前缀为 10 或 01. mark 为子向量相容标志信息, 值为 1 表示当前子向量为参考子向量, 值为 0 表示当前子向量与参考子向量相容. c\_out<sub>2</sub> 为 mark 与 1 进行数值比较后的输出结果. sg 为 FSM<sub>2</sub> 给 FSM<sub>1</sub> 的反馈信号. 每条扫描链前面用一个 CSR<sub>i</sub> 用来存储参考子向量, c\_out<sub>2</sub> 和译码器共同决定 data\_out 的输出数据是否移入 CSR<sub>i</sub>, 若 c\_out<sub>2</sub> 和译码信号均为 1, 则 CSR<sub>i</sub> 使能, 接收 data\_out 的数据更新参考子向量, 否则 CSR<sub>i</sub> 保持不变.

(1) FSM<sub>1</sub>、FSM<sub>2</sub> 发出信号 en<sub>1</sub>、en<sub>2</sub> 为 1, bit\_in 开始读取一条扫描链的压缩数据.

(2) FSM<sub>1</sub> 开始解码, dec<sub>3</sub> 置 1, 2 位计数器开始减一计数, 并将两位改进游程编码代码字前缀通过 data\_in 送入暂存器. 同时, sel 置 1, 前缀信息也通过 data\_in 送入 FSM<sub>2</sub>. 比较器 1 将两位前缀比较结果通过 c\_out<sub>1</sub> 输出.

(3) c\_out<sub>1</sub> 为 1, 则 shift 和 dec<sub>2</sub> 置 1,  $\log_2^t + 1$  计数器减一计数, 代码字尾部通过 con 送入  $t+1$  位计数器, 最后 FSM<sub>1</sub> 再向  $t+1$  位计数器移入一个“0”(代码字尾部乘 2). dec<sub>1</sub>、mux\_en 和 sel 置 1,  $t+1$  位计数器开始减一计数, MUX 使能, 暂存器中的前缀信息控制 MUX 开始输出数据到 FSM<sub>2</sub>. 直到 rs<sub>1</sub> = 1, 表示 11 或 00 代码字解码结束. 若 c\_out<sub>1</sub> 为 0, 则表示 10 或 01 代码字解码结束.

(4) FSM<sub>1</sub> 进行解码的同时, FSM<sub>2</sub> 也在同步进行解码. FSM<sub>2</sub> 接收数据, mark 输出第一位数据(相容标志), 其余数据通过 data\_out 输出到 CSR. 若 c\_out<sub>2</sub> 为 1, 则表示当前解码数据为参考向量. c\_out<sub>1</sub> 与译码器使能当前 CSR<sub>i</sub>, dec<sub>5</sub> 置 1,  $\log_2^t$  位计数器开始减 1 计数, 直到 rs<sub>5</sub> = 1, 表示 CSR<sub>i</sub> 数据更新完成, 即参考向量更新完成. 若 c\_out<sub>2</sub> 为 0, 则表示当前标志为相容向量标志, CSR<sub>i</sub> 保持不变. 当前 CSR<sub>i</sub> 更新完成后, dec<sub>4</sub> 置 1,  $\log_2^m$  位计数器减 1 一次. sg 置 1, 表示告诉 FSM<sub>1</sub> 当前 CSR<sub>i</sub> 填充完成, 转入 CSR<sub>i+1</sub>.

(5) FSM<sub>1</sub> 接收到 sg 信号, 若当前代码字解码已完成, 则进入下一条扫描链的压缩数据解码. 若当前代码字解码未完成, 则继续解码, 剩余的解码数据放入 RAM 暂存, 解码完成后进入下一条扫描链的压缩数据解码. bit\_in 读取下一条扫描链的压缩数据之前, 先检测下一条扫描链上一次解码暂存在 RAM 中的剩余数据, 若上一次暂存数据不为空, 则先将 RAM 数据读出送入 FSM<sub>2</sub>, 然后 bit\_in 再读取数据; 若上一次暂存数据为空, 则 bit\_in 读取数据. 转(2).

(6) 若 FSM<sub>1</sub> 和 FSM<sub>2</sub> 接收到 rs<sub>4</sub> = 1 信号, 则表示 CSR 更新完成, 可进入扫描测试模式.

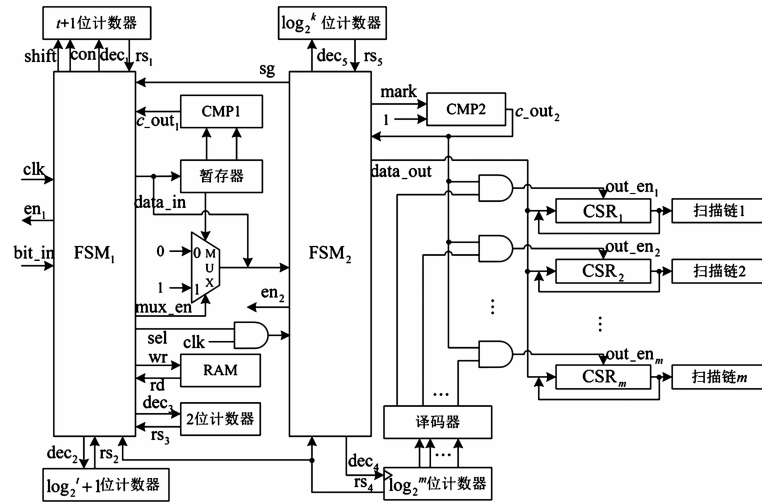


图4 解压结构

### 4 实验结果与分析

为了验证本文方案的有效性,本文对 ISCAS-89 基准电路中的部分电路进行了实验,确定测试集采用 Mintest 集<sup>[18]</sup>. 测试压缩程序用 C++ 程序设计语言实现,并在 Core i3 3.5GHz CPU,4GB 内存 PC 机上执行压缩程序. 表 2 所示为实验电路信息.

表 3 所示为压缩率比较结果,最后一列是本文方案选取的最优扫描链长度和码字尾部长度组合及压缩率. 可以看出,除 s15850 电路压缩率略低于 MDPRC 外,本文方案压缩率明显好于其他方案. 本文方案取得较高压缩率的原因如下:本文方案在进行双重压缩之前,对原测试集进行了部分输入精简预处理,预处理过程也能够减少测试数据量. 而通过预处理后的测试集包

含了较多的  $X$  位和较少的确定位,对测试向量相容压缩有益,再经游程编码压缩,所以得到了良好的压缩效果. 导致压缩率变坏的原因如下:若在输入精简过程中测试集中列相容或反向相容的数量较少,也就是说测试集经过输入精简还存在较多的确定位,确定位较多时会造成相容测试向量数量减少,从而影响压缩率.

表 2 实验电路信息

电路	扫描单元数	测试向量数	$X$ 位比率	测试数据量
s5378	214	111	72.6	23754
s9234	247	159	73.0	39273
s13207	700	236	93.2	165200
s15850	611	126	83.6	76986
s38417	1664	99	68.1	164736
s38584	1464	136	82.3	199104

表 3 压缩率比较 (%)

电路	Golomb <sup>[3]</sup>	FDR <sup>[4]</sup>	EFDR <sup>[5]</sup>	ERLC <sup>[6]</sup>	MDPRC <sup>[7]</sup>	文献 [8]	文献 [9]	SHC <sup>[10]</sup>	VIHC <sup>[11]</sup>	9C <sup>[12]</sup>	BM <sup>[13]</sup>	本文方案		
												$k$	$t$	压缩率
s5378	37.11	47.98	51.93	47.84	54.63	45.12	53.29	55.10	51.78	51.64	54.98	10	2	57.76
s9234	45.25	43.61	45.89	43.45	53.20	42.79	53.80	54.20	47.25	50.91	51.19	6	2	56.21
s13207	79.74	81.30	81.85	80.60	86.01	80.43	83.95	77.00	83.51	82.31	84.89	12	3	86.32
s15850	62.82	66.21	67.99	66.43	69.99	65.13	67.41	66.00	67.94	66.38	69.49	8	2	69.68
s38417	28.37	43.37	60.57	58.73	55.38	56.52	58.15	59.00	53.36	60.63	59.39	8	2	64.98
s38584	57.17	60.93	62.91	61.59	67.73	60.57	65.06	64.10	62.28	65.53	66.86	8	2	68.68
平均	51.74	57.23	61.86	62.79	64.49	58.43	63.61	62.57	60.29	62.90	64.47			67.27

表 4 捕获功耗比较

电路	Max. WCT	Ran. (%)	0-Fill (%)	1-Fill (%)	本文方案 (%)
s5378	2219	-1.8	-5.9	-27.1	20.5
s9234	3822	5.8	22.4	5.3	23.4
s13207	5238	10.2	19.8	0.4	20.9
s15850	4438	1.6	20.6	-15.4	20.4
s38417	14183	2.8	12.4	4.4	21.7
s38584	14324	3.9	25.8	21.9	22.4
平均		3.8	15.9	-1.8	21.6

表 4 所示为捕获功耗优化结果比较. 本文采用 WCT<sup>[19]</sup> (Weighted Capture Transition count) 对捕获功耗进行度量,并将捕获功耗安全阈值设置为相对原始最大 WCT 的降低率不少于 20%. 可以看出,本文方案捕获功耗平均降低了 21.6%,好于其他填充方案,且本文方案的捕获功耗均在安全阈值以内. 表 5 所示为平均移位功耗优化结果比较. 本文采用 WTM (Weighted Transitions Metric) 对移位功耗进行度量. 可以看出,除

s9234 稍显不足外,本文方案整体好于其他方案.这是由于测试集预处理可以减少确定位数量和缩短测试向量长度,再经过合适的移位功耗填充,那么确定位越少所能引起跳变的可能性就越低,同时较短的测试向量可以缩短移入过程的时间,也可以降低跳变发生的可能性.而出现移位功耗较差的原因则是由于低功耗填充过程中,若捕获功耗填充数量过多时,会引起确定位数量增加,从而引起移位功耗上升.

表 6 所示为解压结构面积开销比较.本文利用 Synopsys 公司的 DC 工具对解压结构以及相对应的基准电路进行了综合和分析,面积开销计算公式为:面积开销 = 解压结构面积/基准电路面积 × 100%.与传统方案解压结构相比,本文方案解压结构增加了一个 FSM,因此导致硬件开销有所增加.但是本文方案的硬件开销并不会大量增加,虽然与传统方案相比本文方案多出

一个 FSM 的硬件开销,但是,对于 CSR 的硬件开销,由于前期经过对测试集的精简预处理,能够使测试向量长度缩短,因此与 Golomb、FDR 码等传统方案的 CSR 开销相比,本文方案 CSR 开销更小.目前,用少量的硬件开销换取更高的测试压缩率和更低的测试功耗,对超大规模集成电路测试来说是可以接受的.

表 5 平均移位功耗比较

电路	Min-test <sup>[17]</sup>	OC-SP <sup>[15]</sup>	FDR <sup>[4]</sup>	EF-DR <sup>[5]</sup>	ER-LC <sup>[6]</sup>	本文方案
s9234	14630	8132	5692	3469	3500	3699
s13207	122031	17809	12416	8016	8155	7854
s15850	90899	24850	20742	13394	13450	12980
s38417	601840	578450	172665	117834	120775	115682
s38584	535875	108050	136634	89138	89356	88632
平均	273055	147458	69630	46370	47039	45769

表 6 面积开销比较 (%)

电路	Golomb <sup>[3]</sup>	FDR <sup>[4]</sup>	EFDR <sup>[5]</sup>	MDPRC <sup>[7]</sup>	SHC <sup>[10]</sup>	VIHC <sup>[11]</sup>	9C <sup>[12]</sup>	BM <sup>[13]</sup>	本文方案
s5378	4.0	7.8	8.3	10.3	16.0	5.8	8.2	12.8	12.6
s9234	3.2	5.9	6.3	8.1	13.0	4.6	6.2	9.7	11.8
s13207	4.1	3.5	3.7	4.6	5.7	2.2	3.7	5.8	8.2
s15850	2.0	3.6	3.8	4.7	6.5	2.3	3.8	5.9	7.8
s38417	0.5	1.4	1.5	1.9	2.0	0.7	1.5	2.3	4.5
s38584	0.7	1.5	1.6	2.0	2.0	0.7	1.6	2.5	3.2

## 5 结论

针对目前超大规模集成电路测试领域面临的高测试数据量和高测试功耗的多级挑战,本文提出了一种能够协同优化测试数据量和测试功耗的方案.该方案将多级压缩同捕获、移位功耗协同优化相结合,给出了一个完整的测试框架.测试压缩和测试功耗优化原本是一对矛盾体,因为高压缩率往往会造成更高的测试功耗,本文方案在协同优化测试框架下,对测试集采取多步压缩,并在压缩的过程中进一步对捕获功耗和移位功耗进行优化.实验结果表明,该方案以增加少量硬件开销为代价,不仅显著提高了压缩率,而且还协同优化了移位功耗和捕获功耗.

### 参考文献

- [1] YUAN H, MEI J, SONG H, et al. Test data compression for system-on-a-chip using count compatible pattern run-length coding [J]. Journal of Electronic Testing: Theory and Applications, 2014, 30(2): 237-242.
- [2] HAN Y, HU Y, LI X, et al. Embedded test decompressor to reduce the required channels and vector memory of tester for complex processor circuit [J]. IEEE Transactions on Very Large Scale Integration Systems, 2007, 15(5): 531-540.

- [3] CHANDRA A, CHAKRABARTY K. System-on-a-chip test-data compression and decompression architectures based on Golomb codes [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2001, 20(3): 355-368.
- [4] CHANDRA A, CHAKRABARTY K. Frequency-directed run-length (FDR) codes with application to system-on-a-chip test data compression [A]. Proceedings of the 19th IEEE VLSI Test Symposium [C]. Piscataway: IEEE Press, 2001. 42-47.
- [5] EL-MALEH A H. Test data compression for system-on-a-chip using extended frequency-directed run-length code [J]. IET Computer and Digital Techniques, 2008, 2(3): 155-163.
- [6] ZHAN W, EL-MALEH A. A new collaborative scheme of test vector compression based on equal-run-length coding (erlc) [A]. Proceedings of the 13th International Conference on Computer Supported Cooperative Work in Design [C]. Piscataway: IEEE Press, 2009. 21-25.
- [7] TSENG W D, LEE L J. Test data compression using multi-dimensional pattern run-length codes [J]. Journal of Electronic Testing: Theory and Applications, 2010, 26(3): 393-400.
- [8] 梁华国, 蒋翠云. 基于交替与连续长度码的有效测试数据压缩和解压 [J]. 计算机学报, 2004, 27(4): 548-554.

- LIANG Hua-guo, JIANG Cui-yun. Efficient test data compression and decompression based on alternation and run length codes [J]. Chinese Journal of Computers, 2004, 27(4): 548 - 554. (in Chinese)
- [9] 詹文法, 梁华国, 时峰, 等. 一种混合定变长虚拟块游程编码的测试数据压缩方案 [J]. 电子学报, 2009, 37(8): 1837 - 1841.
- ZHAN Wen-fa, LIANG Hua-guo, SHI Feng, et al. A test data compression scheme based on mixed fixed and variable run-length coding in virtual block [J]. Acta Electronica Sinica, 2009, 37(8): 1837 - 1841. (in Chinese)
- [10] JAS A, GHOSH-DASTIDAR J, NG M E, et al. An efficient test vector compression scheme using selective Huffman coding [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2003, 22(6): 797 - 806.
- [11] GONCIARI P T, AL-HASHIMI B M, NICOLICI N. Variable-length input Huffman coding for system-on-a-chip test [J]. IEEE Transactions on Computer-aided Design of Integrated Circuits and Systems, 2003, 22(6): 783 - 796.
- [12] TEHRANIPOOR M, NOURANI M, CHAKRABARTY K. Nine-coded compression technique for testing embedded cores in SoCs [J]. IEEE Transactions on Very Large Scale Integration Systems, 2005, 13(6): 719 - 731.
- [13] EL-MALEH A H. Efficient test compression technique based on block merging [J]. IET Computers and Digital Techniques, 2008, 2(5): 327 - 335.
- [14] SIVANANTHAM S, PADMAVATHY M, GOPAKUMAR G, et al. Enhancement of test data compression with multi-stage encoding [J]. Integration, the VLSI Journal, 2014, 47(4): 499 - 509.
- [15] BHAVSAR K A, MEHTA U S. Analysis of don't care bit filling techniques for optimization of compression and scan power [J]. International Journal of Computer Applications, 2011, 18(3): 887 - 975.
- [16] CHEN C A, GUPTA S K. Efficient BIST TPG design and test set compaction via input reduction [J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 1998, 17(8): 692 - 705.
- [17] BUTLER K M, SAXENA J, FRYARS T, et al. Minimizing power consumption in scan testing: pattern generation and DFT techniques [A]. Proceedings of International Test Conference [C]. Piscataway: IEEE Press, 2004. 355 - 364.
- [18] HAMZAOGLU I, PATEL J H. Test set compaction algorithms for combinational circuits [A]. Proceedings of IEEE/ACM International Conference on Computer-Aided Design [C]. Piscataway: IEEE Press, 1998. 283 - 289.
- [19] WEN X, MIYASE K, SUZUKI T, et al. A highly-guided X-filling method for effective low-capture-power scan test generation [A]. Proceedings of the 24th International Conference on Computer Design [C]. Piscataway: IEEE Press, 2006. 251 - 258.

#### 作者简介



陈 田 (通讯作者) 女, 1974 年生于安徽合肥. 现为合肥工业大学计算机与信息学院副教授、硕士生导师. 主要研究方向为 VLSI/SoC 低功耗测试和可测性设计.  
E-mail: ct@hfut.edu.cn



易 鑫 男, 1991 年生于贵州遵义. 现为合肥工业大学计算机与信息学院硕士研究生. 主要研究方向为 VLSI/SoC 低功耗测试和可测性设计.  
E-mail: yixin@mail.hfut.edu.cn



王 伟 男, 1979 年生于安徽合肥. 现为合肥工业大学计算机与信息学院副教授、硕士生导师. 主要研究方向为 VLSI/SoC 低功耗测试和可测性设计.  
E-mail: wangwei\_hfut@hfut.edu.cn