

一个用于背板通信的 24Gb/s 高速 自适应组合均衡器

张明科, 胡庆生

(东南大学射频与光电集成电路研究所, 江苏南京 210096)

摘 要: 本文介绍了应用于背板通信系统中均衡器的设计与实现. 该均衡器采用连续时间线性均衡器 (Continuous Time Linear Equalizer, CTLE) 和 2 抽头判决反馈均衡器 (Decision Feedback Equalizer, DFE) 的组合结构来消除信道码间干扰中的前标分量和后标分量. 在设计中, CTLE 采用双路均衡器结构补偿信道不同频率的损耗, 减小了电路的面积和功耗; DFE 采用半速率预处理结构来缓解传统 DFE 结构中关键反馈路径的时序限制, 并采用模拟最小均方 (Least Mean Square, LMS) 算法电路控制 DFE 系数的自适应. 电路采用 IBM 0.13 μm BiCMOS 工艺设计并实现, 测试结果表明对于经过 18 英寸背板后眼图完全闭合的 24Gb/s 的信号, 均衡后的眼图水平张开度达到了 0.81UI. 整个均衡器芯片包括焊盘在内的芯片面积为 0.78 \times 0.8 mm^2 , 在 3.3V 的电源电压下, 功耗为 624mW.

关键词: 背板通信; 连续时间线性均衡器 (CTLE); 判决反馈均衡器 (DFE); 码间干扰 (ISI)

中图分类号: TN433 **文献标识码:** A **文章编号:** 0372-2112 (2017)07-1608-05

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2017.07.009

A 24Gb/s High Speed Adaptive Combined Equalizer for Backplane Communication

ZHANG Ming-ke, HU Qing-sheng

(Institute of RF- & OE-ICs, Southeast University, Nanjing, Jiangsu 210096, China)

Abstract: This paper introduces the design and implementation of equalizer in the backplane communication system. The equalizer uses a combination of continuous time linear equalizer (CTLE) and 2 tap decision feedback equalizer (DFE) to cancel both pre-cursor and post-cursors ISI. In the design, CTLE compensates with different frequencies of the loss of the channel by employing split-path equalizer, reduced the circuit area and power consumption. A half-rate speculative architecture is adopted to improve the transmitted data rate in DFE by relaxing the timing constraint on the first feedback path. An analog implementation of the LMS algorithm is used to control the DFE tap coefficients. Circuit using IBM 0.13 μm BiCMOS process design and implement. Measured results show that the eye is completely closed when 24Gb/s signal through 18 inches backplane, the horizontal opening degree of equalized eye reached 0.81UI. The entire equalizer chip area including pads is 0.78 \times 0.8 mm^2 , and consumes 624mW with the supply voltage of 3.3V.

Key words: backplane communication; continuous time linear equalizer (CTLE); decision feedback equalizer (DFE); ISI

1 引言

在快速发展的信息时代,信息的传输量以及传输速率不断提高.然而,随着速率的提高,带宽受限的背板信道会产生严重的高频信号损耗,引起码间干扰 (Inter-Symbol Interference, ISI),使得通信系统接收端的眼图部分完全闭合,通信质量变差.因此,为了提高通信系统的性能,往往需要采用均衡技术提高信号的完整性.

高速通信系统中常见的均衡技术包括线性均衡器

(Linear Equalizer, LE) 和非线性均衡器如判决反馈均衡器 (DFE) 等.其中 LE 通过放大高频信号分量来补偿信道的损耗,但同时也放大了信号的高频噪声和串扰. DFE 利用反馈环路中数据判决器 (Slicer) 输出信号的线性组合来消除 ISI,由于是非线性工作,因而不会放大高频噪声和串扰,但 DFE 只能消除 ISI 的后标,而实际信道中往往前标和后标同时存在.另外,DFE 还存在着错误传播现象^[1,2].

为了更好地实现高速信道的均衡,本文提出一个

面向高速背板通信的组合均衡器,该均衡器充分利用上述两种均衡器的优点,通过 LE 和 DFE 的合理组合有效地消除信道的 ISI.

2 信道均衡

严重的高频损耗导致高速信号在背板信道中传输时衰减很大,图 1 所示为一个 18 英寸背板信道的频率响应,从图中可以发现,该信道在 20GHz 频率点的衰减达 20dB 以上.如此大的信道衰减不可避免的会引起严重的 ISI,因此为了使高速信号能够可靠地通过这一高损耗背板信道,需要设计一个足够有效的均衡器来补偿如此大的衰减,减小信道的 ISI.

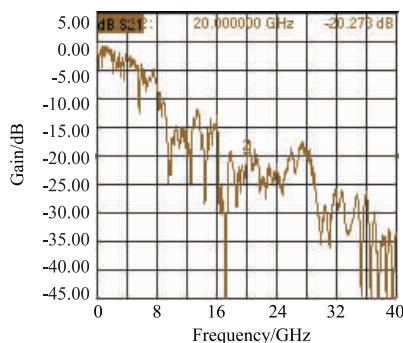


图1 18英寸背板信道的频率响应

2.1 LE

从频域来看,LE 就是一个高通滤波器,通过放大信号的高频分量来抵消信道的衰减^[3].从实现方式来看,LE 可分为有限长单位冲激响应(Finite Impulse Response, FIR)滤波器和连续时间模拟滤波器,分别属于时域和频域实现方式.在有限工艺条件下,前者延迟单元的带宽严重制约了均衡器的工作速度,并且很难为高速反馈回路提供准确的延迟时间,从而使得 FIR 滤波器在高速背板传输系统中的实际应用受到限制.相比于 FIR 滤波器,连续时间模拟滤波器可以发挥现有工艺的极限性能,适应于更高速率系统.然而,无论哪种实现方式,由于 LE 增强了信号的高频成分,都会放大信号中的高频噪声和串扰,增大了信号的误码率.

2.2 DFE

不同于 LE,DFE 只能够消除后标 ISI,但同时也不会放大信号的高频噪声和串扰.一个传统的全速率 DFE 结构如图 2 所示,其中 D 触发器(D Flip Flop, DFF)作为判决器和延时单元^[4].为了完全消除后向 ISI,反馈信号必须在下一个码元进行判决之前准确地反馈到数据输入端以进行加权相加,这就要求处于 DFE 关键反馈路径上的所有单元的延迟之和小于一个数据周期,即 1UI.然而,当数据速率增加时,如此严格的时序要求对电路的实现提出了挑战.一种解决方法是采用新的集

成电路工艺,另一种方法是改进电路结构,即通过半速率结构和预处理技术^[4]来缓解第一抽头(C_1)反馈路径的时序限制,如图 3 所示.

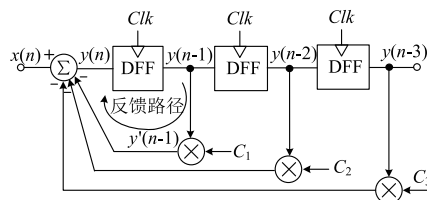


图2 传统的DFE框图

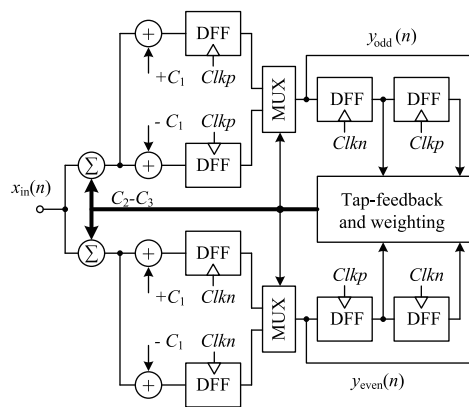


图3 半速率预处理DFE

与传统的 DFE 结构相比,图 3 中的半速率预处理结构含有上下两个相同的通道,每个通道的第一个抽头采用了预处理技术,即通过预先计算 $\pm C_1$ 来减少延迟时间.每个通道的第一抽头是直接通过直流偏置加到输入端的,使得传统 DFE 结构中由第一抽头构成的关键路径不复存在.这样,第二抽头(C_2)的反馈环路就变成了关键路径,其总延迟时间只要小于 $2UI$ 即可,从而放宽了时序要求,使其适用于高速通信系统.

2.3 设计的均衡器

从图 1 的信道频率响应可知,该信道有较大的衰减,从而会引起较严重的 ISI,因此在权衡考虑 LE 和 DFE 的优缺点后,本文采用 LE 和 DFE 的组合均衡器来有效地消除信道的 ISI,其均衡器框图如图 4 所示.为了传输高速信号,本文的 LE 选用连续时间滤波器,采用连续时间滤波器的 LE 又叫着连续时间均衡器(CTLE).CTLE 主要目的是消除 ISI 前标分量和减小一些后向 ISI 拖尾,为了避免放大太多高频噪声和串扰,只采用一级高频补偿电路来提供一定量的高频增益.而 DFE 用来消除 ISI 的大部分后标分量,同时减小因 LE 放大的高频噪声,为了避免增加较大的芯片面积和功耗,本文中 DFE 的抽头数为 2.

DFE 系数的自适应更新采用 LMS 算法.与一般采用数字方式实现不同,本文采用模拟方式实现^[5],不仅有利于高速自适应均衡器的实现,而且大大减少了功

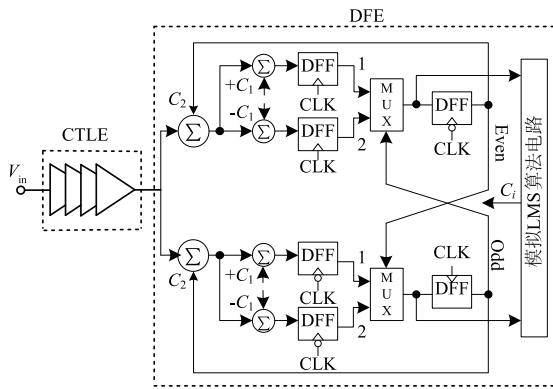


图4 设计的LE+DFE组合均衡器

耗和芯片面积. 模拟 LMS 算法的系数更新公式为:

$$C_i(n) = \frac{1}{\tau_{\text{int}}} \int_0^t e(n)x(n)dn \quad (1)$$

其中 $C_i(n)$ 为抽头系数向量, τ_{int} 为积分时间常数, 它影响着 LMS 算法的稳定性和收敛性, $e(n)$ 和 $x(n)$ 分别为差错信号和均衡器的输入信号. 与式(1)对应的 LMS 算法的实现框图如图 5 所示, 其中 Slicer 是判决模块用于产生期望的数据 $d(n)$, 输入信号和差错信号相乘后通过积分器产生控制均衡器抽头系数的电压, 从而实现抽头系数的更新.

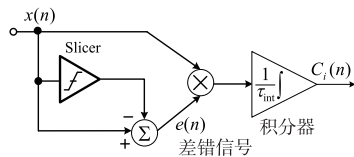


图5 模拟LMS算法实现框图

3 电路设计

3.1 CTLE

实现 CTLE 的电路结构通常有两种:一种是高频补偿和低频补偿分别设计的分置式均衡器,另一种是高频与低频补偿通道混合的双路均衡器. 前者的增益可以设计得很大,但结构稍显复杂,而且需要考虑高频和低频通道延时的差异以及版图对称性对性能的影响. 而双路均衡器实现简单,对称性好,并且面积和功耗也低. 本文的 CTLE 采用双路均衡器结构^[4],如图 6 所示.

在图 6 所示的双路均衡器中,左边的电路为高频补偿放大器,用来调节均衡器的高频增益,右边为单位增益放大器,调节均衡器的低频增益,两个放大器通过共用的负载电阻 R_D 实现两条路径的加权和. 通过控制电压 V_{ctrl} 调节两条路径的偏置电流比例,可以实现期望的频率特性,达到补偿信道损耗的目的. 该均衡器还采用并联电感峰化技术增加电路的带宽和增益,如图 6 所示,电阻到电源之间添加了电感,使得均衡器增加了一

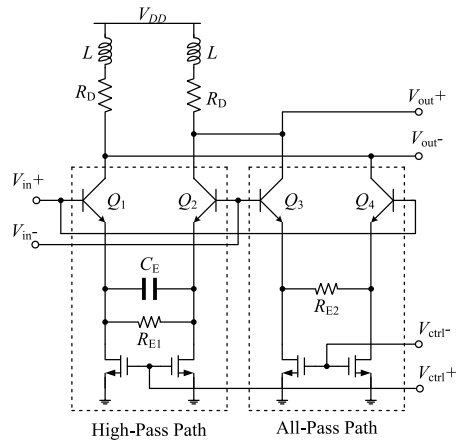


图6 双路均衡器

个零点 $|\omega_z| = R_D/L$, 该零点的存在改善了双路均衡器的高频增益和带宽性能. 不考虑高频寄生电容,该双路均衡器的传输函数可表示为:

$$H(s) = \frac{g_{m1,2}R_D}{1 + g_{m1,2}\left(\frac{R_{E1}}{2} \parallel \frac{1}{2SC_E}\right)} + \frac{g_{m3,4}R_D}{1 + g_{m3,4}\frac{R_{E2}}{2}} \quad (2)$$

其中, $g_{m1,2}$ 和 $g_{m3,4}$ 分别是 (Q_1, Q_2) 和 (Q_3, Q_4) 的跨导, 当 $V_{\text{ctrl}+}$ 和 $V_{\text{ctrl}-}$ 分别驱动每个放大器的偏置电流时, $g_{m1,2}$ 和 $g_{m3,4}$ 也随之变化. 由式(2)可知,在频率较低时, $g_{m1,2}R_{E1}$ 和 $g_{m3,4}R_{E2}$ 远大于 1, 这时增益由退化电阻 R_{E1} , R_{E2} 和负载电阻 R_D 的值来决定,几乎不变;频率较高时,退化电容 C_E 的阻抗变得非常小, $g_{m1,2}\left(\frac{R_{E1}}{2} \parallel \frac{1}{2SC_E}\right)$ 也变得非常小,这时,均衡器高频增益随着放大器的跨导呈单调递增变化. 图 7 为双路均衡器的频率响应曲线. 可以看出,该均衡器的低频增益变化较小,改变反馈控制电压 V_{ctrl} 可以改变放大器跨导 $g_{m1,2}$ 和 $g_{m3,4}$ 的值,从而调整均衡器的高频增益与低频增益的比值,消除不同信道中的 ISI.

3.2 DFE

图 4 中 DFE 的加法器、D 触发器 (DFF) 和复接器 (Multiplexer, MUX) 都采用电流模逻辑 (Current Mode Logic, CML) 实现,其中 DFF 同时起判决和信号延迟的作用,因而其性能的好坏对均衡器有着直接的影响. 本文设计的 D 触发器采用基于源级耦合逻辑 (Source Coupled FET Logic, SCFL) 的结构,由两个互补的半速率时钟触发的主从锁存器 (latch) 级联构成,如图 8 所示. SCFL 电路有工作速率高,灵敏度高,易于输出理想正交信号等优点.

模拟 LMS 自适应算法电路中的 Slicer 采用两个级联的 CML 缓冲实现,乘法器采用标准双平衡 Gilbert 单元结构实现,而积分电路则采用一个带电容负载 C_L 的 g_m 单元电路实现,如图 9 所示. 该积分器的传输函数为:

$$H(s) = \frac{1}{\frac{1}{A_0} + \frac{s}{A_0P_1}} = \frac{1}{\frac{1}{A_0} + s\tau_{\text{int}}} \quad (3)$$

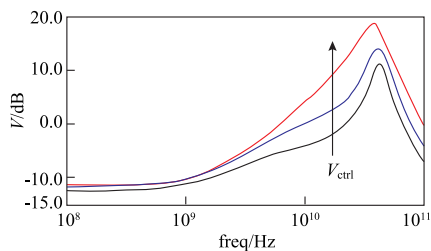


图7 双路均衡器的频率响应

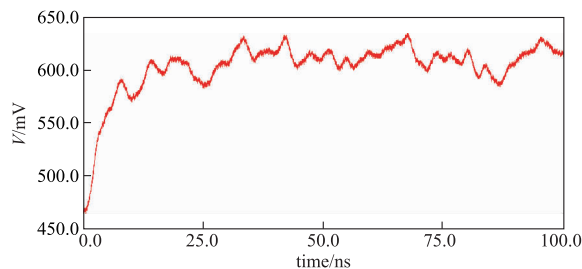


图10 DFE系数自适应收敛曲线

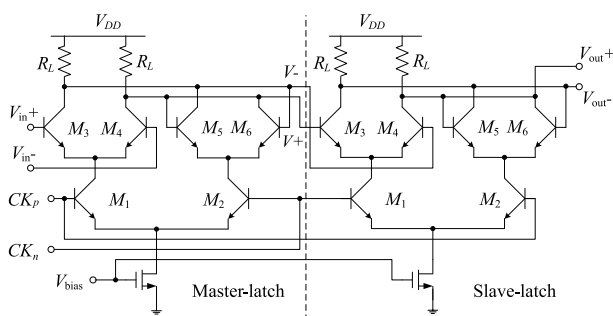


图8 采用CML的触发器

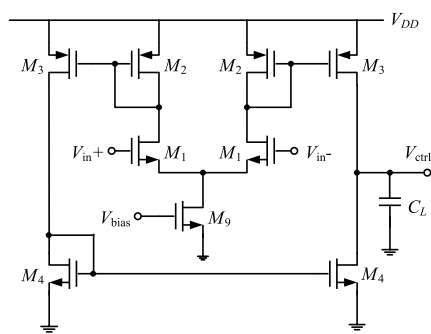


图9 模拟积分器

其中 A_0 为积分器的直流增益, p_1 为积分器的极点, τ_{int} 即为 LMS 算法中的积分常数, 是由积分器的增益带宽积产生的, 可由下式计算得到:

$$\tau_{int} = \frac{1}{A_0 p_1} = \frac{g_{m2}}{g_{m1} g_{m3}} C_L \quad (4)$$

其中 g_{m1} , g_{m2} 和 g_{m3} 分别是图 9 中 M_1 , M_2 和 M_3 的跨导. 当 $\tau_{int} \geq 1\text{ns}$, 且 $A_0 \geq 65\text{dB}$ 时, LMS 算法才呈现足够的稳定性和收敛性^[5]. 图 10 所示为采用模拟 LMS 算法的 DFE 抽头系数偏置电压收敛曲线, 从图中可看出该抽头系数偏置电压收敛于 600mV.

4 测试结果

本文的组合均衡器采用 IBM 0.13 μm BiCMOS 工艺设计. 图 11 为芯片的显微照片, 整个芯片包括焊盘在内的芯片面积为 0.78mm \times 0.8mm = 0.624mm².

为了测试均衡器的性能, 将经过背板传输线的 20Gb/s 到 24Gb/s 信号分别加到均衡器芯片的输入端, 均衡器的输出信号经过隔直后再接入示波器, 得到图

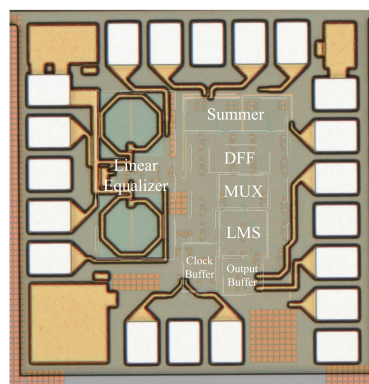


图11 芯片照片

12 和图 13 所示的输出信号眼图. 可以看到在 20Gb/s 和 24Gb/s 速率下, 眼图的水平张开度分别达到了 0.85UI 和 0.81UI, 比均衡前有了显著改善, 表明该高速组合均衡器电路达到了预期的效果.

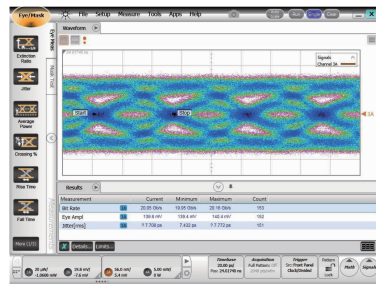
表 1 均衡器性能比较

参考文献	[6]	[7]	[8]	[9]	本文
工艺	0.18 μm BiCMOS	32nm SOI CMOS	40nm CMOS	20nm CMOS	0.13 μm BiCMOS
速率	10Gb/s	28Gb/s	28Gb/s	32.8Gb/s	24Gb/s
面积	0.7mm ²	0.81mm ²	>0.6mm ²	5.9mm ²	0.62mm ²
功耗	350mW	693mW	780mW	785mW	624mW
结构	CTLE	FFE + DFE	CTLE + DFE	CTLE + DFE	CTLE + DFE
信道损耗	22dB @5GHz	29dB @14GHz	20dB @14GHz	10.4 dB @32.8GHz	15dB @10GHz
电源	3.3V	1V	0.9V	1V	3.3V

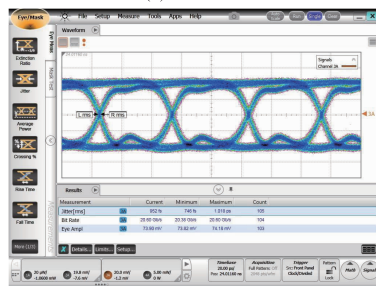
表 1 总结了本文设计的均衡器及近年来发表的其它均衡器的性能. 从表中可见, 文献[6]中的均衡器有较小功耗和较大信道补偿能力, 但速率远低于本文设计的均衡器. 文献[7~9]采用较先进的工艺, 设计的均衡器的速率略高于本文的设计, 但它们都消耗较大面积和功耗, 尤其是文献[8]采用了最先进的工艺, 但它只能均衡在 32.8GHz 处损耗为 10.4dB 的信道, 本设计可以对 10GHz 损耗为 15dB 的信道进行补偿.

5 结论

本文采用 0.13 μm BiCMOS 工艺设计了一个 24Gb/s

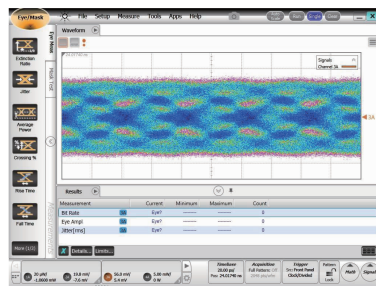


(a) 输入眼图

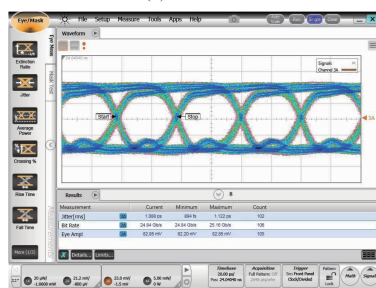


(b) 输出眼图

图12 20Gb/s信号的测试结果



(a) 输入眼图



(b) 输出眼图

图13 24Gb/s信号的测试结果

的自适应组合均衡器,该均衡器采用连续时间线性均衡器和半速率预处理判决反馈均衡器的组合来消除信道的码间干扰,实现了对 20GHz 频率处损耗达 22dB 的背板传输线信道的均衡和补偿.在设计中,CTLE 采用双路均衡器结构来补偿信道不同频率的损耗,减小芯片面积和功耗,DFE 采用半速率预处理结构来以降低反馈路径的延迟时间,提高 DFE 的工作速率.测试结果显示该均衡器的工作速率可达 24Gb/s,输出眼图的水平张开度达 0.81UI.整个芯片包括焊盘在内的芯片面积为 $0.78 \times 0.8 \text{mm}^2$,在 3.3V 的电源电压下,功耗为 624mW.

参考文献

- [1] T Beukema, et al. A 6.4Gb/s CMOS SerDes core with feed-forward and decision-feedback equalization [J]. IEEE J Solid-State Circuits, 2005, 40(12): 2633 – 2645.
- [2] T O Dickson, et al. A 12Gb/s 11 mW half-rate sampled 5-tap decision feedback equalizer with current integrating summers in 45nm SOI CMOS technology [J]. IEEE J Solid-State Circuits, 2009, 44(4): 1298 – 1305.
- [3] Ju Hao, Zhou Yumei, et al. A low power CMOS 3.3 Gbps continuous-time adaptive equalizer for serial link [J]. Chinese Journal of Semiconductors, 2011, 32(9): 095001.
- [4] Srikanth Gondi, Behzad Razavi. Low-power CMOS equalizer design 20Gb/s systems [J]. IEEE J Solid-State Circuits, 2011, 46(6): 1321 – 1336.
- [5] Mahyar Kargar, Michael M Green. A 10Gb/s adaptive analog decision feedback equalizer for multimode fiber dispersion compensation in 0.13 μm CMOS [J]. ESSCIRC, 2010. 550 – 553.
- [6] Guangyu Evelina Zhang, Michael M Green. A 10Gb/s BiCMOS adaptive cable equalizer [J]. IEEE J Solid-State Circuits, 2005, 40(11): 2132 – 2139.
- [7] John Bulzacchelli, et al. A 28Gb/s 4-Tap FFE/15-Tap DFE serial link transceiver in 32nm SOI CMOS technology [J]. ISSCC Dig of Tech Papers, 2012. 324 – 325.
- [8] Ullas Singh, et al. A 780mW $4 \times 28\text{Gb/s}$ transceiver for 100GbE Gearbox PHY in 40nm CMOS [J]. ISSCC Dig of Tech Papers, 2014. 40 – 41.
- [9] Parag Upadhyaya, et al. A 0.5-to-32.75Gb/s flexible-reach wireline transceiver in 20nm CMOS [J]. ISSCC Dig of Tech Papers, 2015. 56 – 57.

作者简介



张明科 男,安徽宣城人,1985 年出生.东南大学信息科学与工程学院博士研究生,主要研究方向:高速模拟电路.

E-mail: mingke_zhang@163.com



胡庆生 女,安徽合肥人,1964 年出生.东南大学信息科学与工程学院教授、博士生导师,主要研究方向:数字系统设计、通讯系统及芯片设计.

E-mail: qshu@seu.edu.cn