

一种应用于 TDC 的低抖动延迟锁相环电路设计

吴 金¹,张有志²,赵荣琦²,李 超²,郑丽霞¹

(1. 东南大学无锡分校,江苏无锡 214135;2. 东南大学集成电路学院,江苏南京 210096)

摘 要: 本文采用双延迟线和防错锁控制结构,结合对电荷泵等关键模块版图对称性的匹配控制,设计了一种针对(Time-to-Digital Converter, TDC)应用的宽动态锁定范围、低静态相位误差延迟锁相环(Delay-Locked Loop, DLL)电路. 基于 TSMC 0.35 μm CMOS 工艺,完成了电路的仿真和流片验证. 测试结果表明, DLL 频率锁定范围为 40MHz-200MHz;静态相位误差 161ps@125MHz;在无噪声输入的理想时钟驱动下,200MHz 频率点下的峰-峰值抖动最大为 85.3ps,均方根抖动最大为 9.44ps,可满足亚纳秒级时间分辨的 TDC 应用需求.

关键词: 延迟锁相环; 时间数字转换器; 静态相位误差; 宽动态范围; 时钟抖动

中图分类号: TP331.1 **文献标识码:** A **文章编号:** 0372-2112 (2017)02-0452-07

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.3969/j.issn.0372-2112.2017.02.026

Design of a Low Jitter Delay Locked Loop for TDC

WU Jin¹, ZHANG You-zhi², ZHAO Rong-qi², LI Chao², ZHENG Li-xia¹

(1. Branch School of Southeast University, Wuxi, Jiangsu 214135, China;

2. College of Integrated Circuit, Southeast University, Nanjing, Jiangsu 210096, China)

Abstract: A delay-locked loop circuit of wide dynamic locking range and low static phase error is designed for Time to Digital Converter (TDC) application adopting dual delay lines, anti-lock control circuit structure and applying symmetrical matching techniques to key modules such as Charge Pump (CP), simultaneously. Simulation and Multi Project Wafer (MPW) tapeout are completed based on TSMC 0.35 μm CMOS process. The test results show that DLL's frequency locking range is 40MHz-200MHz with its static phase error 161ps@125MHz. Driven by noise-free input clock, and operating on 200MHz, DLL's maximum peak-to-peak and root-mean-square jitters are 85.3ps and 9.44ps, respectively adapting the subnanosecond time-resolved TDC's application requirement.

Key words: delay-locked loop (DLL); time-to-digital converter (TDC); static phase error; wide dynamic range; clock jitter

1 引言

延迟锁相环(Delay-Locked Loop, DLL)因其独有的多相交错时钟输出特性,广泛应用于高稳定数字同步、数字存储器(Random Access Memory, RAM)接口和时间数字转换器(Time-to-Digital Converter, TDC)等各类电路系统中^[1],其中对应用于 TDC 电路的多相时钟,要求尽可能高的频率稳定性以及多相相位偏差分布的均匀性. 相比于环形振荡器(Ring Oscillator)和锁相环(Phase Locked Loop, PLL), DLL 电路具有低抖动、低相位噪声、单极点无条件稳定的显著优点,更适应

TDC 的应用需求. DLL 内部压控延迟线所产生的多相均匀分布时钟用于剩余误差时间的细分,受控延迟线输出时钟作为高段位线性反馈移位寄存器(Linear Feedback Shift Register, LFSR)伪随机计数器的计数时钟,分别实现基于时钟周期分数式计数和整数式计数的 TDC 功能,两者结合可兼顾量程和分辨精度的共同需求. 为避免 TDC 细分量化性能退化甚至失效,必须抑制 DLL 可能发生的失锁或谐波锁定.

为了扩展 DLL 工作频率范围、降低其锁定后的静态相位误差和时钟抖动,本文从系统架构、模块结构、版图优化设计等方面入手,提出了一种应用于两段式 TDC

收稿日期:2015-10-13;修回日期:2016-03-08;责任编辑:马兰英

基金项目:江苏省自然科学基金(No. BK2012559);中央高校基本科研业务费专项资金资助,江苏省普通高校研究生科研创新计划资助项目(No. SJLX15_0098)

的 DLL 电路设计. 其中, 采用双延迟线架构和防错锁控制、电荷泵 (Charge Pump, CP) 电路的空闲分流控制、高摆幅 cascode 结构; 传输路径的匹配性设计、敏感电路的保护环隔离设计等措施, 逼近 DLL 本征性能, 流片结果验证了上述方法的有效性.

2 系统方案设计与噪声分析

可用于 TDC 的 DLL 系统结构如图 1 所示, 该结构在文献[2]基础上增加了可切换的延迟线, 其中两条不同的压控延迟线 (Voltage Control Delay Line, VCDL) 都是由 8 级延迟单元构成; Ref_clk 为输入参考时钟信号;

CLK₀、CLK₈ 分别为缓冲输出的时钟基准信号和 VCDL 输出的时钟信号; S0 为控制信号; upper、under 和 lock 为防错锁控制电路 (Lock Controller, LC) 产生的逻辑信号; UP、NUP 以及 DN、NDN 为驱动 CP 的充放电信号. 电路改进之处有两点^[2]: 首先, 根据 S0 的不同状态, 选择配置不同的 VCDL, 以扩展 DLL 动态调节范围; 其次, 在系统反馈回路中加入精简的 LC, 以消除 DLL 失锁或谐波锁定, 扩展锁定范围. 采用抑制失配和噪声、降低时钟抖动的电路设计, 以更好的满足 DLL 在 TDC 中的应用.

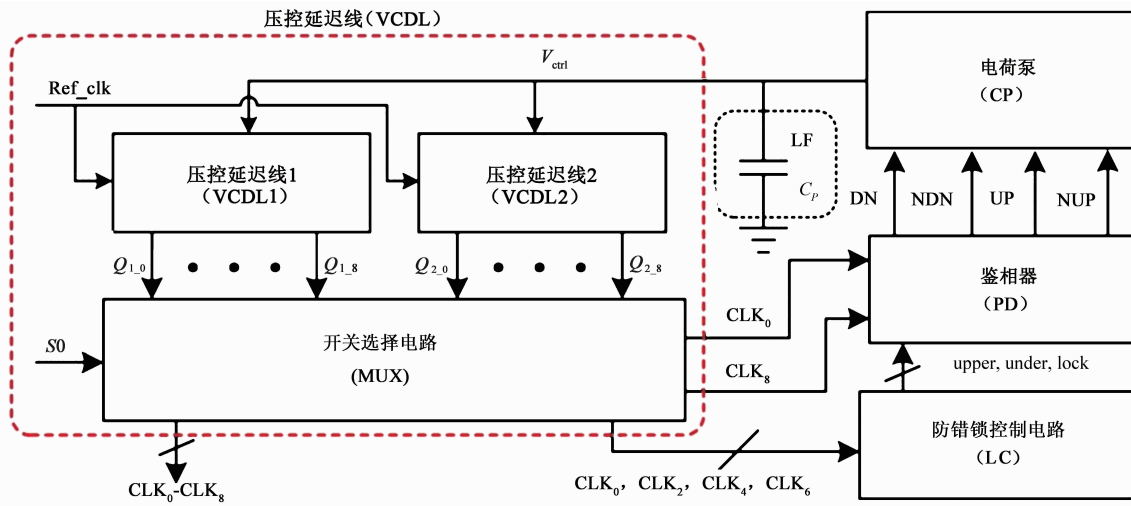


图1 DLL整体电路结构

DLL 的频域特性可以通过 s 域的小信号线性模型定量分析^[3], 并在此基础上给出了 DLL 内部噪声源及其传输的结构模型, 如图 2 所示. 图中 $\Phi_{n,in}(s)$ 、 $\Phi_{n,out}(s)$ 分别为输入参考时钟和输出时钟信号的相位噪声; $\Phi_{n,pd}(s)$ 、 $\Phi_{n,cp}(s)$ 、 $\Phi_{n,lf}(s)$ 、 $\Phi_{n,vcdl}(s)$ 分别为鉴相器 (Phase Detector, PD)、CP 电流、环路滤波器 (Loop Filter, LF) 以及 VCDL 各自硬件电路产生的相位噪声. $k_{cp} = I_{CP}/T_{ref}$ 、 $F(s) = 1/sC_p$ 分别为 CP 增益和 LF 低通传递函数, 其中 T_{ref} 为输入参考时钟周期, 对应的角频率为 ω_{ref} ; I_{CP} 为 CP 充放电电流的平均值; C_p 为位于 CP 输出的环路滤波电容; k_{pd} 、 k_{vcdl} 分别表示 PD 和 VCDL 的低频增益.

根据图 2 给出的 DLL 在 s 域忽略所有噪声源得到的小信号线性模型, 在忽略 C_p 输出阻抗影响的条件下, 当 DLL 锁定时, 其单极点闭环系统传递函数 $H(s) = 1/(1 + s/\omega_N)$ 中的主极点频率可表示为:

$$\omega_N = \frac{k_{pd}k_{vcdl}I_{CP}}{2\pi C_p}\omega_{ref} \quad (1)$$

对应单极点无条件稳定系统, 主极点频率不受限制, 而且环路带宽越大, DLL 锁定时间越短, 但抖动性能变差. 因此, DLL 环路带宽需合理选取, 通常应满足 $\omega_N/\omega_{ref} \leq 1/10$ 的约束关系.

对于小信号线性系统, 在计算每个噪声源的传递函数时, 其它模块的噪声都认为是零, 总的噪声为各类

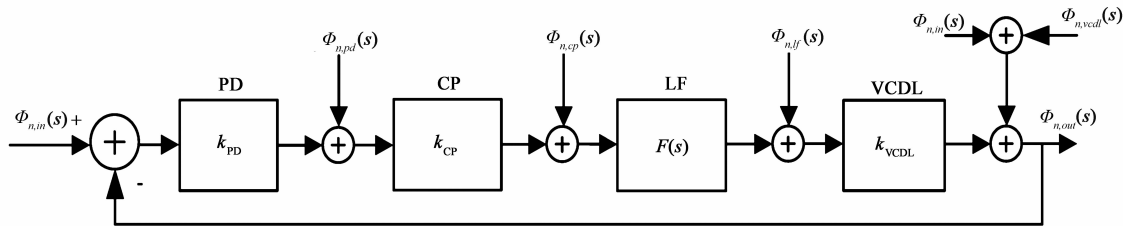


图2 包含噪声源的DLL小信号线性传输模型

噪声传输的叠加. 由于 VCDL 和 PD 的输入参考时钟信号均来自同一信号, 因此所产生的噪声近似相同, 根据环路反馈结构, 可得:

$$[\varphi_{n,in}(s) - \varphi_{n,out}(s)] \cdot k_{PD}k_{CP}F(s)k_{VCDL} + \varphi_{n,in}(s) = \varphi_{n,out}(s) \quad (2)$$

经推导可得 $\Phi_{n,out}(s) = \Phi_{n,in}(s)$, 即输入参考时钟噪声源的传递函数呈全通特性, DLL 对输入参考时钟源引入的噪声没有抑制能力, 其噪声全部传递到输出. 因此, 必须尽量降低输入参考时钟抖动引入的噪声. 对于 DLL 环路内部各模块产生的噪声源, 根据其传输到输出的路径列方程, 同样可以得到内部各噪声源的传递函数. 其中, PD 和 CP 的噪声以低通特性传递到输出, 噪声源的高频成分能够有效抑制, 其低频成分传递到输出必然引起抖动. 为降低这种影响, 可以限制或压缩环路带宽, 但 DLL 的锁定时间变长, 各种矛盾因素需要综合考虑权衡; VCDL 与 LF 相同, 为高通特性^[4]. 在很多状态模式和应用场合下, 参考时钟噪声对 DLL 系统输出噪声的影响更为显著.

3 关键电路设计

3.1 防错锁控制电路(LC)

在稳态建立的瞬态变化过程中, 传统 DLL 中的 VCDL 初始延迟随机变化, 当其小于输入参考时钟周期的一半、或大于该周期值的 1.5 倍时, 将导致失锁或谐波锁定. 通常可采用鉴频鉴相器、复制延迟线结构^[5]和增加控制模块等三种解决方案: 方案 1 在高频时钟下仍会发生谐波锁定, 无法彻底解决错锁问题; 方案 2 对 CP 的匹配性要求较高, 占用面积较大, 应用范围有限; 方案 3 利用一个锁定探测模块对输出时钟时序进行检测, 结合对 PD 结构的改进, 可实现抑制谐波锁定和失锁的最佳效果.

根据上述方案 3 基于边沿检测的防谐波锁定策略, 本文设计并实现了一种针对 8 相位延迟线的防错

锁控制逻辑电路, 如图 3 所示. 该电路由三个 D 触发器和相关逻辑门组成, CLK₀ 作为 D 触发器的数据输入, CLK₂、CLK₄、CLK₆ 分别作为 D 触发器的时钟, 通过输出时钟 Q₂、Q₄、Q₆ 的相位关系及其调制的 upper、under、lock 控制信号状态, 来判定 VCDL 延迟是否满足锁定条件.

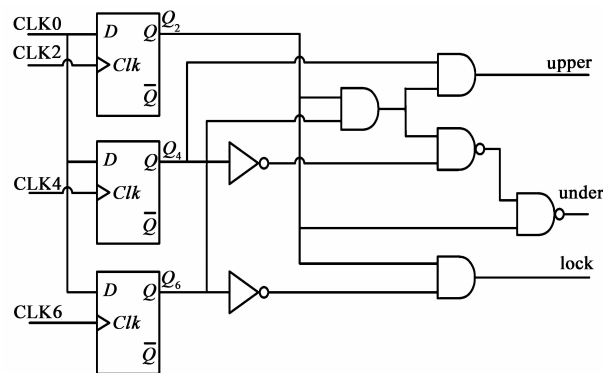


图3 防错锁控制电路结构

图 4 给出了防错锁控制电路在三种模式下的时序状态图, 针对输出 CLK₈ 落后输入 CLK₀ 的情况, 当输出 CLK₈ 与输入 CLK₀ 相差小于二分之一周期导致失锁发生时, under 信号有效, 如图 4(b) 所示; 当以上两者相位差大于 1.5 倍周期时, upper 信号有效, 如图 4(c) 所示; 这两个高电平有效的控制信号可分别强制后续的 PD 输出信号 UP 或 DN 维持在高电平, 并通过调节 VCDL 的控制电压, 改变其延迟时间, 直到 CLK₈ 与 CLK₀ 的相位差被限定在允许的范围内, 此时转入图 4(a) 所示的状态模式, 信号 lock 为高电平有效, 表明 DLL 已正常锁定. 以上方法可推广到由 n 个延迟单元组成的 VCDL 中, 这种 LC 能够加快探测电路锁定速度. 理想锁定条件下输入和输出恰好相差一个时钟周期, 且频率相同, 延迟线均匀分布的多相节点对参考时钟具备相位分辨能力.

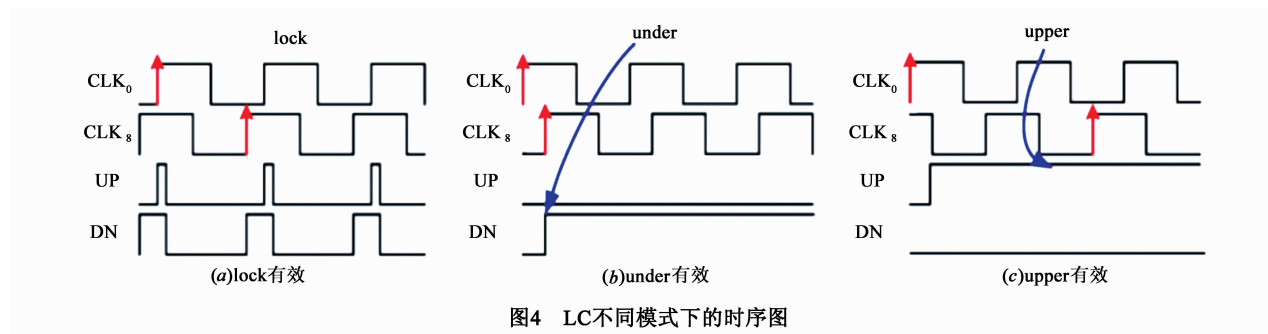


图4 LC不同模式下的时序图

3.2 鉴相器(PD)

在经典 PD 结构基础上改进后的电路设计如图 5 所示^[6,7]. 原方案中 D 触发器多采用静态 DFF 结构, 占

用面积较大、速度慢, 采用真单相时钟 (True Single Phase Clock, TSPC) 驱动型 D 触发器的改进设计^[8], 可简化结构、提升速度、减小时钟偏差. 由于电路上升和

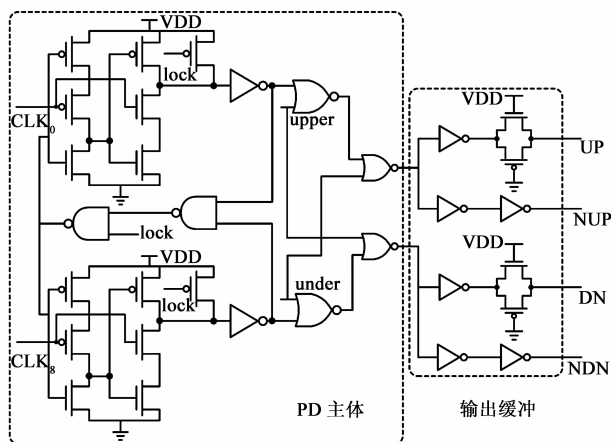


图5 鉴相PD电路结构

下降瞬态延迟的影响,若窄脉冲控制信号持续时间过短则无法打开 CP 中的开关器件^[9],形成控制的死区,并带来稳态下的相位偏差^[10].设计时应根据最高时钟频率、配合 lock 信号,增加复位路径的延迟,拓宽窄脉冲信号,以确保 CP 开关能够有效打开,完成充放电操作.理想情况下,当 DLL 锁定时,PD 主体输出的两路信号脉宽相等,CP 内无净电荷注入到 LF 中,VCDL 控制电压保持不变,输出抖动降低;但 PD 模块内的噪声会引起其输出信号脉宽变化,DLL 输出时钟抖动性能恶化.因此,在设计 MOS 管的参数时,可通过增大晶体管尺寸,牺牲部分版图面积以获得较小的器件噪声.

PD 中的输出缓冲结构,由基本的逻辑门电路组成,分别产生两组互补输出,用于控制 CP 中的开关管.通过在对应传输路径中插入反相器和传输门电路使得四路传播延迟完美匹配,以保证四路输出控制信号边沿对齐,避免 CP 产生电流误差脉冲,减小对 CP 输出电压 V_{ctrl} 的干扰,有效抑制时钟信号抖动.

3.3 电荷泵 (CP)

根据前述噪声模型的分析,消除电流失配、电荷共享和沟道电荷注入等非理想因素影响^[11,12],降低 CP 电路模块中的各类噪声源,以有效抑制 DLL 抖动,降低静

态相位偏差,提高延迟的稳定.充放电电流 I_{UP} 与 I_{DN} 之间的失配决定的静态相位误差为

$$\Phi_{offset} = \frac{|I_{UP} - I_{DN}| \cdot t_{on}}{I_{CP}} = \frac{t_{on} \Delta V_{ctrl}}{I_{CP} r_{out}} \quad (3)$$

式中 t_{on} 为 PD 复位窄脉冲引入的固定导通时间,主要受复位路径逻辑门延迟因素调制; ΔV_{ctrl} 与 r_{out} 分别表示 CP 输出电压变化量与输出阻抗;失配电流为 $I_{UP} - I_{DN}$, I_{CP} 取 I_{UP} 与 I_{DN} 两者的平均值.减小失配,增大充放电静态电流即 I_{CP} 电流是抑制静态相位误差的基本途径.

提高 CP 输出阻抗,在同等的输出电压变化条件下可有效抑制过大的失配电流.图 6 所示的宽摆幅 cascode 型 CP 电路中,基于文献[13]提出的电流失配抑制方法,增加了两个虚线框标示的并联分流支路,分别受控于 UP 和 DN 信号.当 UP 和 DN 信号同时为高电平时,MP3、MP9 受控支路可从恒定 I_{CP} 中分去一部分电流,使传输到输出端的电流减小,电流失调相应降低;静态下由于分流支路关断,输出静态电流仍维持较大值,兼顾了增大静态电流与减小电流失调的共同要求.

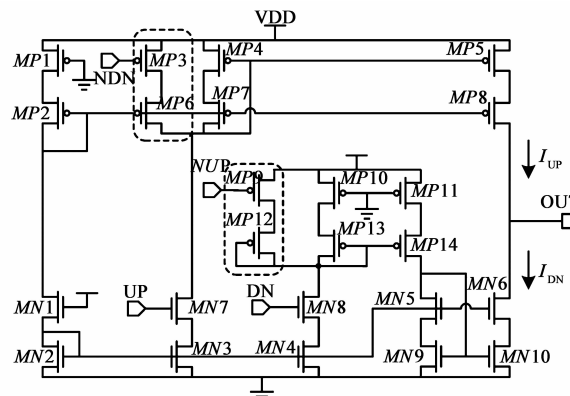


图6 电荷泵电路

3.4 压控延迟线 (VCDL)

DLL 两条 VCDL 提供的 8 相均匀分布的时钟信号可实现 3bit 量化分辨,每条 VCDL 两端都增加了与 DU 同尺寸的冗余单元 Dum 以提高匹配性.如图 7 所示,两

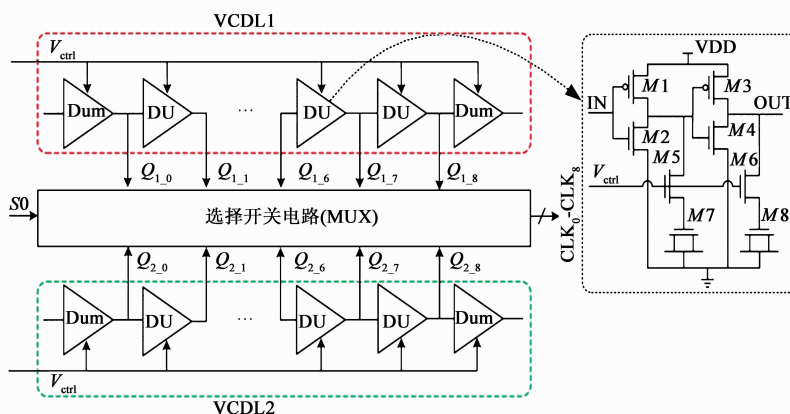


图7 双压控延迟线配置及其延迟单元结构

条 VCDL 通过一个 $S0$ 信号控制的开关阵列完成选择. $S0 = 0$, 选择低延迟 VCDL1, 对应高频和小量程; $S0 = 1$, 切换到大延迟 VCDL2, 对应低频和大量程. 合理设置两个 VCDL 的参数并配合使用, 可同时兼顾 DLL 高精度与宽动态范围的应用要求.

从低功耗、高可靠, 精简小面积的需求出发, 本文采用文献[14]给出的压控电阻结合 MOS 电容的单端延迟单元, 该结构通过负载支路受控电阻的动态控制, 实现一定范围内的延迟调节. 图 8 为采用 TSMC $0.35\mu\text{m}$ CMOS 工艺仿真的双压控延迟时间与控制电压特性曲线, 延迟单元延迟随控制电压单调增加. 设置控制电压 V_{ctrl} 合适的静态点, 两支路配合可实现宽范围内的压控延迟调节.

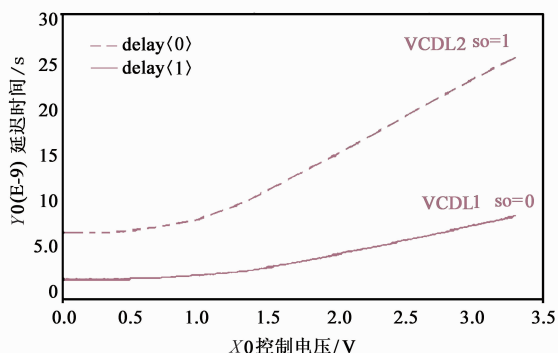


图8 延迟时间与控制电压曲线

4 电路后仿与测试分析

完成的电路系统设计在通过前仿性能验证后, 后端物理设计则侧重抑制寄生效应的影响, 以逼近电路的本征特性. 电路版图布局时, 数字与模拟电路要充分远离, 对 CP 和 LF 等噪声敏感的模拟模块进行有效隔离, 采用将所有 P 管、N 管分别置于 N+ 注入、P+ 注入的隔离环内, 并分别接高电位和低电位, 通过优化隔离环设计, 以抑制模块间通过衬底噪声引起的相互串扰, 降低输出时钟的抖动. CP 电路中的宽摆幅 cascode 电流镜采用高度匹配的版图设计, 以减小静态相位误差.

在 27°C 常温、 3.3V 电源电压、 t_t 工艺角下, 125MHz 高频时钟驱动下的 VCDL 各相时钟信号后仿结果如图 9 所示. CLK_8 与 CLK_0 相位偏移为一个时钟周期, 与理论预测吻合, 在 8ns 的时钟周期下, 静态相位误差为 9.65ps ; VCDL 中各相时钟输出分布均匀, 相邻相位间距约 1ns , 相邻节点最大相位偏差为 26ps , DLL 锁定正确, 没有出现错锁的情况.

MPW 流片芯片不含 PAD 的轮廓尺寸为 $347\mu\text{m} \times 130\mu\text{m}$, 裸片采用双排并插的形式进行封装并在常温下测试. DLL 锁定频率范围测试的输入参考时钟源由函数发生器提供, 特定频率点抖动测试的输入参考时钟

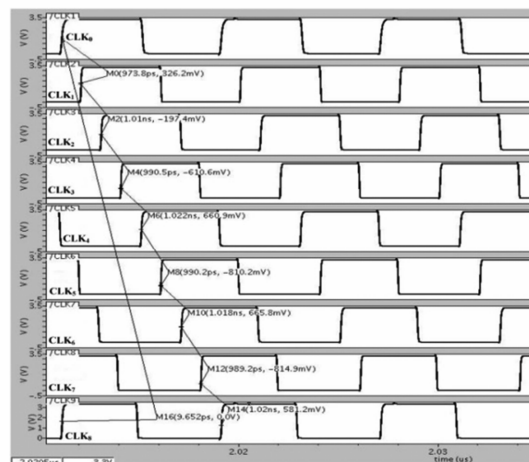
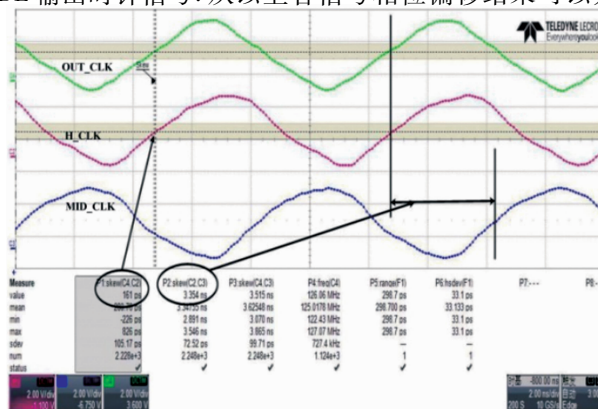
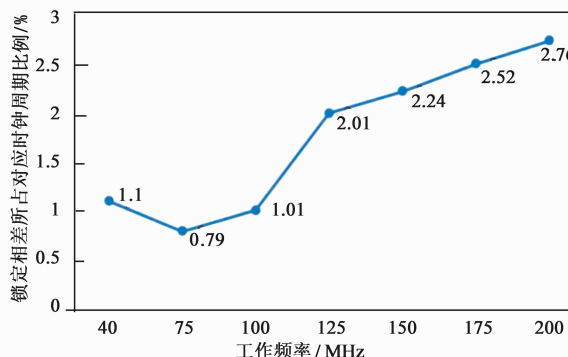


图9 DLL后仿多相时钟输出波形@125MHz

源由晶振提供. 常温下, $S0 = 0$ 时频率锁定范围为 $100\text{MHz} \sim 200\text{MHz}$; $S1 = 1$ 时对应的频率为 $40\text{MHz} \sim 120\text{MHz}$, 中间有大约 10% 的交叠覆盖区. 在 125MHz 的输入时钟频率下, DLL 提供的多相交错时钟可实现 1ns 左右的时间分辨率, 其锁定特性如图 10(a) 所示, 其中 H_CLK 、 MID_CLK 、 OUT_CLK 分别为高频时钟输入信号、VCDL 中间节点相差半个周期的输出信号以及 VCDL 输出时钟信号. 从以上各信号相位偏移结果可以判



(a) DLL 锁定特性@125MHz



(b) 不同工作频率下的锁定相差所占对应时钟周期比例

图10 DLL 不同锁定频率下的静态相位误差特性

定, DLL 未发生谐波锁定现象, 且锁定时静态相位误差为 161ps, 相比同等条件下的仿真结果退化明显, 相对 8ns 的时钟周期所占比例在 2% 左右. 图 10(b) 给出了锁定相差所占对应时钟周期比例随工作频率的变化曲线, 可以发现在 40MHz-200MHz 的锁定范围内, 锁定相差所占对应时钟周期比例最大和最小分别为 200MHz 时的 2.76% 以及 75MHz 时的 0.79%, 总体而言, 锁定误差所占对应时钟周期的比例最大不超过 3%.

选取静态特性最差的 200MHz 时钟频率点, 测量得到的输出时钟 CLK₀ 抖动结果如图 11 所示, RMS 抖动为 12.99ps, pk-pk 抖动为 118.4ps. 由于外部晶振提供的时钟信号并不理想, 其自身带有随频率变化的噪声, 对 DLL 输出噪声的影响不可忽略. 测试结果表明, 200MHz 晶振时钟的 RMS 抖动为 8.92ps, pk-pk 抖动为 82.1ps. 由 DLL 噪声传输特性分析可知, 输入时钟噪声的闭环传递系数近似为 1, 因此可将输出噪声减去参考时钟噪声, 等效理想时钟驱动下的输出噪声特性. 根据文献[15]给出的噪声功率叠加方法, DLL 输出时钟信号的 RMS 和 pk-pk 抖动在 200MHz 下分别为 9.44ps 和 85.3ps, 这些噪声为 DLL 内部各噪声源通过不同的路径传递到输出后的噪声总和, 反映了 DLL 电路自身的噪声水平. 不同工作频率点下测得的 pk-pk 抖动、RMS 抖动和功耗如图 12 所示, 在 40MHz-200MHz 的锁定范围内, 随着频率的增加, 功耗增加, DLL 的抖动降低, 但抖动占时钟周期的比重仍然增加. 表 1 给出了本文设计的 DLL 与有关文献类似设计的性能对比结果, 本文设计的 DLL 系统可实现更宽的锁定频率范围, 较低的面积和功耗, 并已成功应用于亚纳秒时间分辨的 TDC 系统.

表 1 几种 DLL 电路性能的比较

性能参数	文献[3]	文献[6]	文献[7]	本文
工艺(μm)	0.35	0.35	0.18	0.35
电源电压(V)	3.3	3.3	1.8	3.3
工作频率(MHz)	6-130	50-120	5-120	40-200
PtP 抖动(ps)	24.3@130MHz	20@100MHz	73.7@120MHz	85.3@200MHz
RMS 抖动(ps)	3.297@130MHz	7@100MHz	9.7@120MHz	9.44@200MHz
功耗(mW)	132mW@130MHz	N/A	15.56mW@120MHz	13.2mW@200MHz
面积(mm ²)	0.45	0.11	0.27	0.045

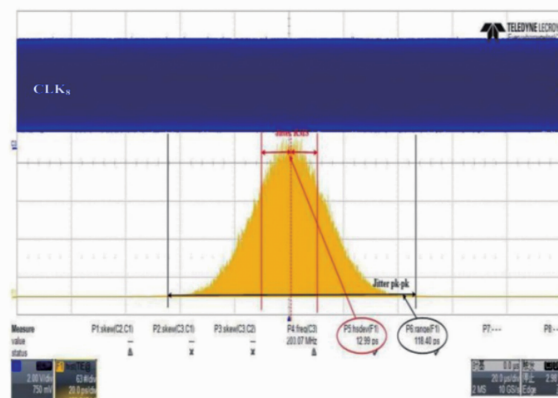


图 11 时钟抖动测量结果@200MHz

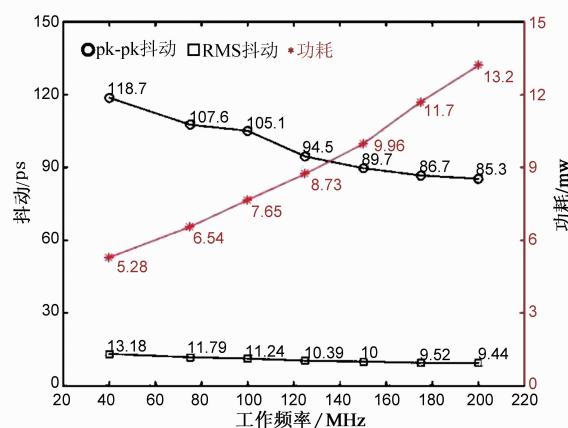


图 12 不同工作频率点下测得的功耗和抖动

5 结论

宽动态锁定范围、低静态相位误差、低抖动的 DLL 是实现 TDC 高精度分辨和灵活配置应用的关键因素之一. 在 DLL 电路的改进结构中, 通过增加 LC 有效消除了错误锁定, 减小了锁定时间; 通过两条不同参数的 VCDL 结构切换控制, 显著地扩展了锁定频率范围. 关键模块及其版图设计通过对噪声有效的抑制和隔离, 实现低抖动时钟输出. 实际测试验证, 改进的 DLL 可满足亚纳秒时间分辨率 TDC 应用的需求.

参考文献

- [1] Zhang D, Yang H G, et al. A multiphase DLL with a novel fast-locking fine-code time-to-digital converter [J]. IEEE Transactions on Very Large Scale Integration Systems, 2014, 23(11): 2680-2684.
- [2] Cheng K H, Lo Y L. A fast-lock wide-range delay-locked loop using frequency-range selector for multiphase clock generator [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2007, 54(7): 561-565.

- [3] Chang H H, Lin J W, Yang C Y, Liu S I. A wide-range delay-locked loop with a fixed latency of one clock cycle [J]. *IEEE Journal of Solid - State Circuits*, 2002, 37(8): 1021 - 1027.
- [4] Liao F R, Lu S S. A waveform-dependent phase-noise analysis for edge-combining DLL frequency multipliers [J]. *IEEE Transactions on Microwave Theory and Techniques*, 2012, 60(4): 1086 - 1096.
- [5] Moon Y, Choi J, et al. An all-analog multiphase delay-locked loop using a replica delay line for wide-range operation and low-jitter performance [J]. *IEEE Journal of Solid-State Circuits*, 2000, 35(3): 377 - 384.
- [6] Gao W, Gao D, et al. Precise multiphase clock generation using low-jitter delay-locked loop techniques for positron emission tomography imaging [J]. *IEEE Transactions on Nuclear Science*, 2010, 57(3): 1063 - 1070.
- [7] Hwang S, Kim K M, et al. A self-calibrated DLL-based clock generator for an energy-aware EISC processor [J]. *IEEE Transactions on Very Large Scale Integration Systems*, 2013, 21(3): 575 - 579.
- [8] Ok S, Chung K, Koo J, Kim C. An antiharmonic, programmable, DLL-based frequency multiplier for dynamic frequency scaling [J]. *IEEE Transactions on Very Large Scale Integration Systems*, 2010, 18(7): 1130 - 1134.
- [9] Lip-Kai S, Sulaiman M S, Yusoff Z. A fast-lock delay-locked loop architecture with improved precharged PFD [J]. *Analog Integrated Circuits and Signal Processing*, 2008, 55(2): 149 - 154.
- [10] 冀蓉, 冯颖劼, 等. 一种新型高精度 DLL 鉴相器设计 [J]. *电子学报*, 2009, 37(8): 1694 - 1698.
Ji Rong, Feng Ying-jie, et al. The design of a novel high-resolution DLL phase detector [J]. *Acta Electronica Sinica*, 2009, 37(8): 1694 - 1698. (in Chinese)
- [11] Ha K S, Kim L S. Charge-pump reducing current mismatch in DLLs and PLLs [A]. *Proceedings of the 2006 IEEE International Symposium on Circuits and Systems [C]*. Island of Kos: IEEE, 2006. 2221 - 2224.
- [12] Zhang C, Au T, Syrzycki M. A high performance NMOS-switch high swing cascode charge pump for phase-locked loops [A]. *Proceedings of the 2012 IEEE 55th International Midwest Symposium on Circuits and Systems [C]*. Boise, ID: IEEE, 2012. 554 - 557.
- [13] Liao F R, Lu S S. A programmable edge-combining DLL with a current-splitting charge pump for spur suppression [J]. *IEEE Transactions on Circuits and Systems II: Express Briefs*, 2010, 57(12): 946 - 950.
- [14] Lin C H, Syrzycki M. Pico-second time interval amplification [A]. *2010 International SoC Design Conference Proceedings [C]*. Seoul: IEEE, 2010. 201 - 204.
- [15] Rantala A, Martins D G, Åberg M. A DLL clock generator for a high speed A/D-converter with 1ps jitter and skew calibrator with 1ps precision in 0.35 μm CMOS [J]. *Analog Integrated Circuits and Signal Processing*, 2006, 50(1): 69 - 79.

作者简介



吴金男, 1965 年出生于江苏南京, 1991 年和 1997 年于东南大学电子科学与工程学院分别获得工学硕士和博士学位, 现为东南大学集成电路学院教授、硕士生导师。近期研究兴趣主要为时钟电路、时间-数字转换电路以及红外单光子探测读出电路设计等。主持或参加过国家、省自然科学基金、国家“核高基”重点专项等各类项目研究。发表 SCL/EI 收录论文 30 余篇, 授

权国家发明专利 8 项。

E-mail: jwu@seu.edu.cn

张有志男, 1990 年出生于江苏高邮。现于东南大学集成电路学院攻读硕士学位, 主要研究方向为高频时钟电路设计。

赵荣琦男, 1991 年出生于江苏扬州。现为东南大学集成电路学院硕士研究生, 从事延迟锁相环电路设计的相关工作。