

# 串扰约束下超深亚微米顶层互连线性能的优化设计

王 颀, 单智阳, 朱云涛, 邵丙铄

(复旦大学国家微电子材料与元器件微分析中心, 上海 200433)

**摘 要:** 优化顶层互连线性能已成为超深亚微米片上系统 (SOC) 设计的关键. 本文提出了适用于多个工艺节点的串扰约束下顶层互连线性能的优化方法. 该方法由基于分布 RLC 连线模型的延迟串扰解析公式所推得. 通过 HSPICE 仿真验证, 对当前主流工艺 (90nm), 此优化方法可令与芯片边长等长的顶层互连线 (23.9mm) 的延时减小到 182ps, 数据总线带宽达到 1.43 GHz/Lm, 近邻连线峰值串扰电压控制在 0.096 $V_{dd}$  左右. 通过由本方法所确定的各工艺节点下的截面参数和性能指标, 可合理预测未来超深亚微米工艺条件下顶层互连线优化设计的发展趋势.

**关键词:** 顶层互连线设计; 分布 RLC 模型; 连线串扰; 延时带宽因子

**中图分类号:** TN454 **文献标识码:** A **文章编号:** 03722112 (2006) 0220214206

## The Optimal Design of Ultra Deep Submicron Global Interconnect under Crosstalk Constraint

WANG Qijun, SHAN Zhiliang, ZHU Yuntao, SHAO Bingxian

(National Microanalysis Center of Microelectronics Materials and Components Devices, Fudan University, Shanghai 200433 China)

**Abstract** It's crucial to optimize global interconnect performance in ultra deep submicron System-on-a-Chip designs. In this paper, the optimized method to improve delay-bandwidth performance under crosstalk constraint suitable to various technology nodes is proposed from analytical formula based on distributed RLC model. It's verified through HSPICE simulation that by utilizing this method, the optimization of edge length global interconnect of mainstream 90 nm technology can achieve delay of 182 ps, data bandwidth of 1.43 GHz/Lm, and near line peak crosstalk voltage within 0.096 $V_{dd}$ . Through cross-section parameters and performance targets determined by this method under various technology nodes, the trend of global interconnect design is reasonably predicted along with continuously scaling down of semiconductor devices.

**Key words** design of global interconnect; distributed RLC model; interconnect crosstalk; delay-bandwidth factor

### 1 引言

由于外围封装电路存在驱动负载大以及寄生参数影响显著等问题, 在高性能数字集成电路系统中, 芯片内的时钟频率及总线频率高于外围的总线频率, 据 ITRS 2003<sup>[1]</sup> 年度报告, 对于 90nm 工艺节点, 高端芯片的片内时钟频率可达 4.17 GHz, 而外围数据总线频率仅为 2.5 GHz. 为了解决这一性能瓶颈, 目前通常的做法是把更多的功能模块集成在同一芯片上, 采用 SOC (System-on-a-Chip) 结构. 在 SOC 芯片中, 顶层互连线承担着连接片内各功能模块, 提供高速宽带数据传送通道的任务. 与标准逻辑单元中的短连线以及模块电路中的中长连线不同, 顶

层互连线长度不随工艺缩减而减小 (图 1<sup>[2]</sup>), 其连线延时对整个芯片性能的影响将日益突出. 因此, 优化顶层互连线性能已经成为片上系统 (SOC) 设计的重要一环.

除了连线延时

以外, 顶层互连线所能提供的数据传送带宽以及连线间串扰电压也是两项重要的设计指标. 提高数据带宽可以提高

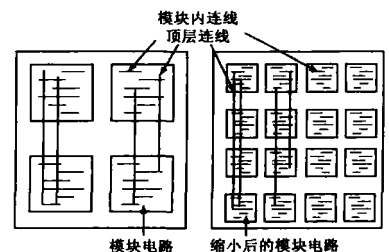


图 1 顶层互连线长度不随工艺缩减而减小<sup>[2]</sup>

模块间(例如 CPU 和 Cache)数据交换的能力;而降低连线间串扰电压不仅可以减少数据传送中的误码几率,还可降低电路中由串扰电压引起的动态功耗。但是,这三项设计指标本身并非相互独立,因此整个设计优化过程就是在这三者之间折衷权衡,达到总体性能最优的过程。

在已有的文献中,文献 [3]和文献 [4]分别在连线截面相对尺寸不变和连线层厚度不变的假设前提下,对连线的延时带宽性能进行优化设计。与他们的做法不同,在本文中,我们把串扰电压约束引入到设计方法之中,并且不再加入截面相对尺寸恒定和层厚恒定的假设,因而更为完整地在分布 RLC 模型下对顶层互连线进行优化设计。在此基础上,我们对超深亚微米下各工艺节点的顶层互连线性性能设计进行合理预测。

在以下各部分中,第二部分介绍了顶层互连线优化设计的技术背景;第三部分由分布 RLC 连线延时公式分别给出了串扰约束下顶层互连线优化方法以及两种作为对比的顶层互连线设计方法;在第四部分中,通过 HSPICE 仿真结果充分验证该优化方法的有效性,并针对未来各工艺下顶层互连线设计进行展望;第五部分给出本文结论。

## 2 技术背景

与用传统的 / 部分元件等效电路 0PEEC 方法<sup>[5]</sup>不同,我们从连线时域瞬态模型导出的解析公式入手分析求解连线问题。图 2 给出了常用的顶层互连总线结构<sup>[6]</sup>的截面

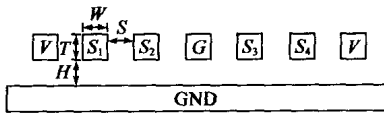


图 2 顶层总线截面示意图

示意图,图中  $S_1 \sim S_4$  为信号连线,  $V, G$  分别为  $V_{dd}$  和 GND 连线。  $V, G$  连线不仅起到屏蔽信号连线间电磁干扰的作用,而且与其下的接地连线层一起,为信号连线 ( $S_1 \sim S_4$ ) 上的电流提供回流路径,从而减小长程的连线互感耦合效应。其中,  $S_1$  称为  $S_2$  的近邻连线,  $S_3, S_4$  称为  $S_2$  的远邻连线,实验证明,近邻连线间电磁干扰远大于远邻连线间电磁干扰。

### 2.1 分布 RC 连线

当顶层互连线截面面积较小,顶层长连线的连线电阻远大于连线电感,插入优化中继器后的连线延时可由分布 RC 模型<sup>[7,8]</sup>给出,

$$t_{d,rc} = 2 L \sqrt{R_0 C_0 r c} \quad (1)$$

其中,  $L$  为连线总长度,  $r, c$  分别为单位长度连线电阻和电容,  $R_0, C_0$  分别为标准中继器输出电阻和输入电容。

总线带宽可由 / 数据流密度  $0.5 D_b$  来表征,其物理意义为单位时间内单位几何宽度互联总线所能传送总的字节数,形式上等于连线延时与单条数据通路所占连线横截面总宽度(包括数据线宽、连线间距以及  $V, G$  连线宽度)乘积的倒数。由图 2 的互连线构形,数据流密度可写为,

$$5_{D_b} = \frac{1}{1.5(W+S)\#t_d} \quad (2)$$

互连线设计优化的目标是在一定的串扰约束下使带宽尽可能大,而使连线延时尽可能小;但由式 (1), (2) 可以看出,连线延时和带宽均依赖于互连线截面几何参数,因而在一般情况下,不能同时使两者达到极限最优值。所以,定义 / 延时带宽因子  $0.5 D_b / t_d$  并使之最大化,以期获得延时、带宽两项指标的综合最优性能。

在实际工艺中,顶层互连线介质层厚度  $H$  和金属层厚度  $T$  与特定工艺相关且处于同一量级<sup>[1]</sup>,不失一般性,取  $H=T$ 。将式 (1) 代入式 (2),得分布 RC 连线的延时带宽因子,

$$\begin{aligned} \frac{5_{D_b,rc}}{t_{d,rc}} &= [1.5(G_W + G_S)H\#t_{d,rc}^2]^{-1} \\ &= \left[ 9.375L^2 R_0 C_0 \epsilon_0 \epsilon_b Q \# \frac{1}{H} \frac{G_W + G_S}{G_W} N(G_W, G_S) \right]^{-1} \end{aligned} \quad (3)$$

其中  $\epsilon_0, Q$  分别为层间介质的相对介电常数和连线金属电阻率,  $\epsilon_b$  为真空介电常数。式 (3) 中,  $G_W = W/H, G_S = S/H$  分别为线宽因子(连线层 / 厚度比  $0A/R$  的倒数)和线间距因子。与文 [3] 中定义的函数不同,  $N(G_W, G_S) = c / \epsilon_0 \epsilon_b$  是仅与单位长度连线电容相关的无量纲函数,代表了连线电容与截面几何参数的依赖关系。

### 2.1.2 分布 RLC 连线

从式 (3) 可以看出,当连线截面相对几何尺寸保持不变 ( $G_W$  和  $G_S$  不变) 时,分布 RC 连线延时带宽因子随截面层厚  $H$  增大而增大。实际上并非如此,连线电阻随层厚  $H$  增大而以平方率减小,使连线电感效应逐渐体现出来,连线模型由分布 RC 模型逐渐过渡到分布 RLC 模型,延时带宽因子达到峰值后将随层厚  $H$  增大而减小。由文献 [8], 分布 RLC 模型下插入中继器后的连线延时可表示为,

$$t_{d,rlc} = t_r + 1.5 \frac{H R_0 C_0}{Z_0} \quad (4)$$

其中,  $t_r = L/v, Z_0 = 1/(vc)$  分别为分布 RLC 连线的渡越时间和特征阻抗,  $v$  为电磁波在  $\epsilon_0$  介质中的传播速度。由式 (2), (4) 可得分布 RLC 连线的延时带宽因子,

$$\begin{aligned} \frac{5_{D_b,rlc}}{t_{d,rlc}} &= \left[ 1.5(G_W + G_S)H \left( \frac{L}{v} \right)^2 \right. \\ &\quad \left. \# \left[ 1 + 1.5 \frac{R_0 C_0 c_0^2 \epsilon_0 N(G_W, G_S)}{H^2 G_W} \right] \right]^{-1} \end{aligned} \quad (5)$$

式中  $c_0 = v \sqrt{\epsilon_0}$  为真空光速。

令特征厚度  $H_c = \sqrt{R_0 C_0 c_0^2 \epsilon_0}$ , 层厚比例因子  $V = H / H_c$ , 式 (5) 可改写为,

$$\begin{aligned} \frac{5_{D_b,rlc}}{t_{d,rlc}} &= \left[ 1.5 \left( \frac{L}{v} \right)^2 H_c (G_W + G_S) V \right. \\ &\quad \left. \# \left[ 1 + 1.5 \frac{1}{V} \frac{N(G_W, G_S)}{G_W} \right] \right]^{-1} \end{aligned} \quad (6)$$

由式(6)可以看出,分布 RLC连线的延时带宽因子的极值位置与特定工艺无关,仅与层厚比例因子  $V$  以及连线截面比例因子  $G_w, G_s$  相关。

在式(6)的三个自变量中,  $G_w, G_s$  与连线到地电容  $c_g$  和连线间耦合电容  $c_m$  密切相关,因而其取值很大程度上决定了连线间串扰电压的大小,由以下分析可以看到,即使在由连线电感占主导的具有理想回路路径的分布 RLC 连线系统中也是如此。

### 2.1.3 串扰约束

在插入优化 CMOS 中继器的互连线路中,若峰值串扰电压小于  $0.2V_{di}$ , 一般不会使邻近连线中继器发生错误翻转<sup>[9]</sup>。图 3 给出了

连线电流构成理想回路路径情况下,由施动连线(Active Line)通过耦合电容及线间互感耦合到近邻受动连线(Near Quiescent Line)上的串扰电压,分段连线长度取插入最优中继器后的最优线长

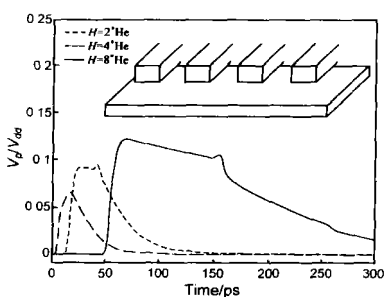


图 3 近邻受动连线串扰电压

$l_{pt}$ , 连线截面相对尺寸保持不变(取定  $G_w, G_s$ ), 显然连线电容  $c_g, c_m$  保持不变。由图示可以看出,随层厚增大,连线电阻下降,导致峰值串扰电压变大。峰值串扰电压上升有两个方面原因:(1)连线电阻下降,使受动连线损耗趋小,耦合电压的峰值上升;(2)在低阻高频情况下,连线互感耦合效应占主导,其峰值串扰电压是分布 RC 连线峰值串扰电压的 1.5 倍以上<sup>[9]</sup>。

因此,采用低阻情况下分布 RLC 连线串扰模型能够很好估算峰值串扰电压的上限。当  $R_0 \rightarrow 0$  具理想回路路径的分布 RLC 近邻连线峰值串扰电压可由下式给出。

$$\left( \frac{V_{d,rc}}{V_{di}} \right)_{\max} = \frac{p}{4} \frac{c_m}{c_g + c_m} \quad (7)$$

在图 2 互连线结构中,连线电容取平板电容近似,

$$c_m \mu \approx \epsilon_0 \epsilon_r \frac{1}{G_s}, \quad c_g \mu \approx \epsilon_0 \epsilon_r \left( G_w + \frac{1}{G_s} \right) \quad (8)$$

代入式(7)并使归一化峰值串扰电压小于 0.2 得

$$G_w G_s \setminus \frac{p}{0.8} - 2 = 1.927 \quad (9)$$

因此,若取  $G_w G_s = 2$  可以很好得保证近邻连线间峰值串扰电压小于  $0.2V_{di}$ 。这样,使  $G_w, G_s$  满足特定的函数关系,在优化延时带宽性能的同时兼顾近邻连线的串扰作用。

## 3 延时带宽优化方法

在文献[3]和文献[4]中,分别假设恒定截面相对尺寸和恒定层厚,并在此基础上优化延时带宽性能。从我们

以下的讨论中可以看出,在以上两种假设前提下得到的最优值并非严格意义上的最优值。下面我们给出三种更为完整的优化方法,将优化延时带宽性能从一维设计空间拓展到二维设计空间。其中,尤以串扰约束下的优化方法更为现实有效。

### 3.1.1 方法 1: 线宽等于线间距

取  $G_s = G_w, N(G_w, G_s)$  退化为  $N(G_w)$ , 可近似表为,

$$N(G_w) = \frac{A_1}{G_w} + B_1 + C_1 G_w \quad (10)$$

其中,参数  $A_1, B_1, C_1$  为待定参数。将式(10)代入式(6),得

$$\frac{5_{D,rc}}{t_{d,rc}} = \left[ 1.5 \left( \frac{L}{V} \right)^2 H_c 2 G_w V \# \left[ 1 + 1.5 \frac{1}{V} \left( \frac{A_1}{G_w} + \frac{B_1}{G_w} + C_1 \right) \right]^2 \right]^{-1} \quad (11)$$

式(11)在二维空间的极大值出现在  $G_w = n_1$  处,即  $N(G_w) = y A_1 / G_w$ 。令  $y = V \# G_w$ , 式(11)可改写为

$$\frac{5_{D,rc}}{t_{d,rc}} = \left[ 1.5 \left( \frac{L}{V} \right)^2 H_c 2y \left[ 1 + 1.5 \frac{A_1}{y} \right]^2 \right]^{-1} \quad (12)$$

使式(12)对  $y$  的导数等于零,得到,

$$y_{opt} = 1.5 \sqrt{2A_1} \quad (13)$$

故式(12)极大值出现在双曲线  $V = y_{opt} / G_w, G_w = n_1$ 。

由 Maxwell 2D 电磁场仿真工具<sup>[10]</sup>提取连线电容并经参数拟合得到  $A_1 = 2.2123, B_1 = 2.0199, C_1 = 1.2494$  代入式(13)以及式(12),计算得

$$y_{opt} = 3.09 \left( \frac{5_{D,rc}}{t_{d,rc}} \right)_{\max} = 15.823 (\text{GHz}^2 / \text{Lm})$$

图 4 给出了延时带宽因子表达式(11)等高示意图,图中虚线给出了式(11)极大值出现的大致位置。

由图 4 可以看出,延时带宽因子的二维峰值部分集中在  $G_w < 0.5, V > 6$  区域,延时带宽因子的值大于  $12 \text{GHz}^2 / \text{Lm}$ 。文献[3]和文献[4]仅仅分别研究了  $G_w = 1$  和  $V = 2.5$  两种特殊情况下的最优延时带宽因子。由图 4 可见,  $G_w = 1, V = 2.5$  两个断面的极大值甚至小于相邻位置的次优值,因此文[3][4]的分析是不充分的,仅考虑了一些极为特殊的情况。

然而,从工艺角度来看,方法 1 下最优延时带宽因子很难真正实现。以 90nm 工艺节点为例,顶层互连线大马士革结构金属线层和通孔的 AR 典型值分别为 2.11 和 1.19,最小层厚为 43nm<sup>[11]</sup>,特征厚度  $H_c$  为 223nm,假设取

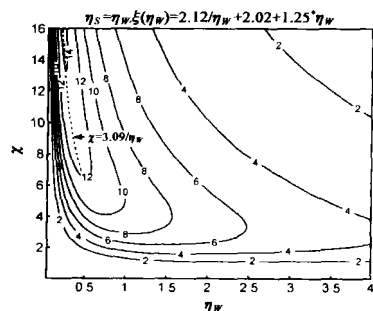


图 4  $G_s = G_w$ , 延时带宽因子等高示意图(单位:  $\text{GHz}^2 / \text{Lm}$ )

最优值位置  $G_w = 0.25, V = 14$  则线层 A R 为典型值的 2 倍, 层厚为最小层厚的 7 倍, 这显然在实际工艺实现上有困难. 其次,  $G_s = G_w = 0.25$  由式 (7)、(8), 峰值串扰电压上限将大于  $0.2V_{dd}$ , 线间干扰相当严重.

### 312 方法 2 恒定线间距因子

取  $G_s = 0.5 N G_w, G_s$  可由

$$N(G_w) = A_2 + B_2 G_w \quad (14)$$

线性拟合. 同样, 可得延时带宽因子的表达式,

$$\frac{5_{D, rlc}}{t_{d, rlc}} = \left[ 1.5 \left( \frac{L}{V} \right)^2 H_c (G_w + 0.5) V \# \left[ 1 + 1.5 \frac{1}{V} \left( \frac{A_2}{G_w} + B_2 \right) \right] \right]^{-1} \quad (15)$$

令式 (15) 对  $G_w, V$  的偏导分别等于零, 联立求解, 可得,

$$G_{w, opt} = \frac{-A_2 + \sqrt{A_2^2 + 4A_2 B_2}}{4B_2} \quad (16a)$$

$$V_{opt} = 1.5\sqrt{2} \sqrt{(A_2 + B_2) + \sqrt{A_2^2 + 4A_2 B_2}} \quad (16b)$$

由提取电容定出  $A_2 = 6.22, B_2 = 1.434$  代入式 (16) 以及式 (15), 可得本方法下最优延时带宽因子以及所对应的二维空间位置, 即

$$\left( \frac{5_{D, rlc}}{t_{d, rlc}} \right)_{max} = 12.435 (\text{GHz}^2 / \text{Lm})$$

$$G_{w, opt} = 0.419, V_{opt} = 8.559$$

图 5 给出了方法 2 下延时带宽因子表达式 (15) 的等高示意图. 与图 4 相比, 延时带宽因子峰值位置整体向左下移动. 在 90nm 工艺下, 本方法最优位置的线层 A R 为典型值的 1.2 倍, 层厚为最小层厚的 4.4 倍, 工艺实现上仍有难度.

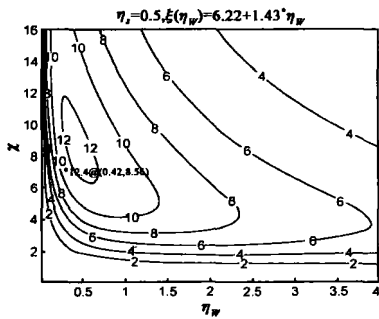


图 5  $G_s = 0.5$  延时带宽因子等高示意图 (单位:  $\text{GHz}^2 / \text{Lm}$ )

与方法 1 相同, 最优位置处  $G_w = 0.419, G_s = 0.5$ , 线间串扰仍然比较严重.

### 313 方法 3 串扰约束

取  $G_s = 2/G_w, N(G_w, G_s)$  同样可由

$$N(G_w) = A_3 + B_3 G_w \quad (17)$$

线性表出. 则串扰约束下的延时带宽因子可写为,

$$\frac{5_{D, rlc}}{t_{d, rlc}} = \left[ 1.5 \left( \frac{L}{V} \right)^2 H_c (G_w + \frac{2}{G_w}) V \# \left[ 1 + 1.5 \frac{1}{V} \left( \frac{A_3}{G_w} + B_3 \right) \right] \right]^{-1} \quad (18)$$

与方法 2 相同, 令式 (18) 对  $G_w, V$  的偏导等于零, 可联立求出  $G_{w, opt}$  和  $V_{opt}$ , 由于表达式过于复杂, 这里就不给

出它们关于  $A_3, B_3$  的表达式. 由提取的连线电容定出的参数  $A_3 = 21123, B_3 = 21317$  可解得串扰约束方法下最优延时带宽因子以及对应的线宽因子和层厚因子,

$$\left( \frac{5_{D, rlc}}{t_{d, rlc}} \right) = 8.49 (\text{GHz}^2 / \text{Lm})$$

$$G_{w, opt} = 1.69, V_{opt} = 4.01$$

与图 5 相比, 图 6 给出的串扰约束的延时带宽因子的峰值位置进一步向左下方向移动, 更有利于工艺实现 (90nm 工艺下, 峰值线层 A R 为典型值的 30%, 层厚仅为最小层厚的 2.1 倍). 由 2.3 中的分析, 线间峰值串扰电压上限小于  $0.2V_{dd}$ , 而以下第四部分的仿真结果进一步验证, 最优位置的实际峰值串扰电压仅为上限值的一半左右.

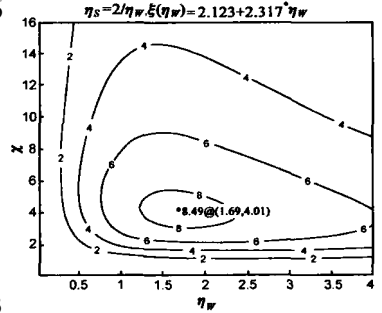


图 6  $G_s = 2/G_w$  延时带宽因子等高示意图 (单位:  $\text{GHz}^2 / \text{Lm}$ )

## 4 仿真结果

### 4.1 HSPICE 连线性能仿真

为了验证第三部分的推导结果, 我们将插入最优中继器后的每段分段总线 (图 3) 分为含 500 个 R, L, C 部分元的联级连线系统 (连线总长为 23.9mm), 用 HSPICE 仿真分布式 RLC (RC) 总线施动连线和受动连线的时域瞬态响应, 求出连线总延时  $t_d$ , 数据流密度  $5_D$ , 延时带宽因子  $5_D/t_d$  和峰值串扰电压  $V_p$ , 表 1 给出了不同线宽因子  $G_w$ , 线间距因子  $G_s$ , 层厚因子  $V$  顶层互连系统性能指标计算值和 HSPICE 仿真值之间的比较结果. 其中, 第 1, 2, 5 项分别给出了第三部分三种优化方法最优位置的各项性能参数. 为了与串扰约束方法作对比, 第 3, 4 项给出了方法 1、方法 2 在  $G_w = 1.69, V = 4.01$  处的各项性能参数. 可以看到, 连线总延时的计算值与 HSPICE 仿真值符合得较好, 大致反映了连线延时的变化趋势. 其中, 第 1, 2 项总延时计算值与 HSPICE 仿真值误差较大, 这是因为这两项线宽和线间距因子取值较小, 虽然层厚较大, 但连线损耗和电容耦合效应仍然相当显著, 须用分布 RC 模型预测其延时特性. 第三部分中方法 1、方法 2 最优位置处 HSPICE 仿真结果的延时带宽因子不仅远小于分布 RLC 模型的预测值, 其峰值串扰电压又分别比串扰约束方法大 37% 和 48%. 加之工艺实现上有相当难度, 不是理想的顶层互连性能优化方法.

在表 1 的 3, 4, 5 项性能参数中, HSPICE 仿真所得的延时带宽因子中, 第 5 项的值最大, 并且第 3, 5 项的峰值串扰电压均小于  $0.1V_{dd}$ , 低于通常定义的 CMOS 逻辑门的

噪声容限. 进一步的仿真实验证明, 串扰约束  $G_W G_S = 2$  情况下(表 2), 基于精确提取的连线电容值, 不同线宽因子对应的峰值串扰电压上限在  $0.2V_{dd}$  左右, 而且在相当宽的

范围内, 仿真得到的峰值串扰电压小于  $0.2V_{dd}$ , 充分验证了本文提出的串扰约束的性能优化方法的有效性.

表 1 顶层互连线系统性能比较

No.	$G_W$	$G_S$	V	$t_d$ (ps)		$S_D$ (GHz/Lm)		$S_D / t_d$ (GHz <sup>2</sup> /Lm)		$V_p / V_{dd}$	
				计算值	HSPICE	计算值	HSPICE	计算值	HSPICE	上限	HSPICE
1	0.25	0.25	14.00	174	204	2.45	2.09	14.08	10.28	0.355	0.132
2	0.42	0.50	8.56	174	193	2.18	1.96	12.51	10.18	0.315	0.143
3	1.69	1.69	4.01	170	176	1.30	1.25	7.62	7.09	0.147	0.076
4	1.69	0.50	4.01	194	211	1.76	1.61	9.07	7.67	0.276	0.126
5	1.69	1.18	4.01	174	182	1.49	1.43	8.57	7.84	0.189	0.096

表 2 串扰约束顶层互连线系统性能

$G_W$	V	$S_D / t_d$ (GHz <sup>2</sup> /Lm)		$V_p / V_{dd}$	
		计算值	HSPICE	上限	HSPICE
$G_{W, opt} / 2$	$X_{opt} / 2$	3.44	3.65	0.121	0.037
	$X_{opt}$	6.41	6.03	0.121	0.057
	$X_{opt} * 2$	5.45	5.43	0.121	0.076
$G_{W, opt}$	$X_{opt} / 2$	5.54	5.44	0.189	0.066
	$X_{opt}$	8.49	7.83	0.189	0.096
	$X_{opt} * 2$	6.43	6.37	0.189	0.121
$G_{W, opt} * 2$	$X_{opt} / 2$	4.96	4.55	0.222	0.082
	$X_{opt}$	6.72	6.08	0.222	0.116
	$X_{opt} * 2$	4.78	4.71	0.222	0.142

4.1.2 超深亚微米工艺下顶层互连线设计展望

根据表 3 列出的超深亚微米各工艺节点的工艺参数 (65nm 以下为预期值)<sup>[1]</sup>, 通过 HSPICE 仿真可以得到串扰约束条件下顶层互连线的各项性能指标. 由 HSPICE 仿真(图 7)得到最优情况延时与模型计算值的误差在 10% 以内, 充分验证了本文优化方法跨工艺的特点.

表 3 超深亚微米各工艺节点工艺参数 (ITRS2003<sup>[1]</sup>)

Tech. Node	90nm	65nm	45nm	32nm	22nm
L (mm)	23.9	23.9	23.9	23.9	23.9
$f_0$ (GHz)	4.171	9.285	15.079	22.980	39.683
$V_{dd}$ (V)	1.2	1.1	1.0	0.9	0.8
$C_0$ (F/Lm)	2.64	2.65	2.24	1.77	1.34
$R_0$ (8* Lm)	1081	728	526	439	333
$E_f$	< 2.7	< 2.4	< 2.1	< 1.9	< 1.7
$Q_u$ (L8* am)	2.2	2.2	2.2	2.2	2.2
$H_0$ (nm)	431	319	237	168	125

由图 7 可以看出, 最优位置的峰值串扰电压大约是上限值的 1/2 左右, 且各工艺节点之间的差异很小, 说明各工艺节点下顶层互连线在最优位置的连线特性保持一致.

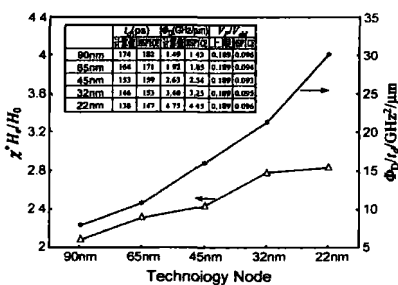


图 7 超深亚微米串扰约束顶层互连线性能优化趋势

即恰恰位于分布 RC 连线和分布 RLC 连线的过渡区域. 这样, 优化后的顶层互连线一方面体现了分布 RLC 连线延时带宽因子的极值特性, 另一方面又体现了有损连线条件下分布 RC 连线的低串扰特性. 加之最优情况下连线层厚仅为最小连线层厚的 2~3 倍(图 7 左边坐标), 工艺实现上无障碍. 因此, 本文提出的优化方法是一种简单实用且非常有效的顶层互连线性能优化方法.

进一步的分析可以看到, 虽然 23.9mm 长顶层互连线的延时带宽因子随工艺缩减进一步提高(图 7 右边坐标), 22nm 工艺下的延时带宽因子约为 90nm 工艺下延时带宽因子的 3 倍, 但是连线延时却仅仅减小了 20% 左右, 与此同时时钟频率却上升到将近 10 倍. 因此, 在芯片尺度仍然需要其他一些优化互连手段, 如异步数据传送方式, 三维互连, 光互连<sup>[2]</sup>等等, 以缓解超深亚微米工艺节点下顶层互连线延时带来的性能瓶颈.

5 结论

本文从分布 RLC 连线时域瞬态模型导出的解析公式入手, 提出了串扰约束下顶层互连线性能的优化方法. 通过充分的 HSPICE 仿真比较, 验证了该优化方法在各工艺节点下的有效性. 在 90nm 工艺下, 对于 23.9mm 长的顶层总线, 传输延时为 182ps, 总线带宽为 1.43GHz/Lm, 近邻连线峰值串扰电压为  $0.096V_{dd}$ . 在此优化方法下, 本文合理预测了未来工艺节点下顶层互连线性能的发展趋势, 为发展先进片内互连方式提供了技术依据.

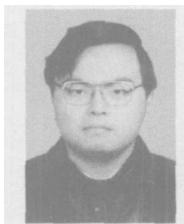
参考文献:

[ 1 ] International Technology Roadmap for Semiconductor ITRS 2003[ S]. International Semtech, 2003.  
 [ 2 ] Havemann R H, Hutchby J A. High performance interconnects an integration overview [ J]. Proc of the IEEE, 2001, 89(5): 586- 601.  
 [ 3 ] Naem i A, Davis J A, Meindl J D. Optimal global interconnects for GSI [ J]. IEEE Trans Electron Devices, 2003, 50(4): 980- 987.  
 [ 4 ] Mui m L, Banerjee K, Mehrotra A. A global interconnect optimization scheme for nanometer scale VLSI with implications for latency, bandwidth, and power dissipation

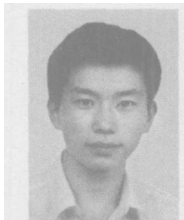
- tion[ J]. IEEE Trans Electron Devices 2004, 51(2): 195- 203
- [ 5 ] Beattie M W, Pileggi L T. On-chip induction modeling basics and advanced methods[ J]. IEEE Trans VLSI Syst 2002, 10(6): 712- 729
- [ 6 ] Riedinger R, Grutkowski T. The high bandwidth 256kB 2nd level cache on an Itanium microprocessor[A]. Solid State Circuits Conference[C]. 2002 Digest of Technical Papers ISSCC. 2002 IEEE International Volume 1, 327 Feb 2002 418- 419
- [ 7 ] Sakurai T. Closed-form expressions for interconnection delay, coupling and crosstalk in VLSIs[ J]. IEEE Trans Electron Devices 1993, 40(1): 118- 124
- [ 8 ] Venkatesan R, Davis J A, Meindl J D. Compact distributed RLC interconnect models Part IV: unified models for time delay crosstalk and repeater insertion[ J]. IEEE Trans Electron Devices 2003, 50(4): 1094- 1102
- [ 9 ] Davis J A, Meindl J D. Compact distributed RLC interconnect models Part II Coupled line transient expressions and peak crosstalk in multilevel networks[ J]. IEEE Trans Electron Devices 2000, 47(11): 2078- 2087
- [ 10 ] MAXWELL 2D. EM Simulation tool Version 3.0.21

[CP]. Pittsburgh PA: Ansoft Corporation, c1984

### 作者简介:



**王 颀** 男, 1975年生, 1999年复旦大学毕业, 同年考取复旦大学国家微电子分析中心硕博连读研究生, 现攻读博士学位, 主要的研究方向是集成电路分析与设计, 主要研究兴趣为高性能数字集成电路设计及高性能互连线分析设计等。  
E-mail wangq175@hotmail.com



**单智阳** 男, 1981年生, 2003年复旦大学毕业, 同年直升复旦大学国家微电子分析中心硕士研究生, 主要研究方向是数模混合集成电路分析与设计。E-mail 9930061@fudan.edu.cn

**朱云涛** 男, 1981年生, 2003年复旦大学毕业, 同年直升复旦大学国家微电子分析中心硕士研究生, 主要研究方向是模拟集成电路分析与设计。

**邵丙铤** 男, 1961年毕业于复旦大学物理系半导体专业, 现为复旦大学国家微电子分析中心教授, 博士生导师, 主要专长是微电子技术和半导体集成电路设计与分析。