

# 亚 100 纳米级标准单元的可制造性设计

张培勇, 严晓浪, 史 峥, 高根生, 马 月, 陈 晔

(浙江大学超大规模集成电路设计研究所, 浙江杭州 310027)

摘 要: 本文介绍了亚 100 纳米工艺可制造性验证的一组工艺仿真和错误定位技术, 制定了标准单元可制造性设计(DFM, Design For Manufacturability)的流程, 重点讨论了在亚 100 纳米工艺条件下标准单元设计中遇到的一些典型可制造性问题, 提出了相应的新设计规则和解决方案. 依靠以上 DFM 技术方法, 完成了实际 90nm 工艺标准单元可制造性设计工作.

关键词: 标准单元; 可制造性设计; 分辨率增强技术

中图分类号: TN402 文献标识码: A 文章编号: 0372-2112 (2005) 02-0304-04

## Design for Manufacturability of Sub2100 Nanometer Standard Cells

ZHANG PeiYong, YAN XiaoLang, SHI Zheng, GAO GenSheng, MA Yue, CHEN Ye

(Institute of VLSI Design, Zhejiang University, Hangzhou, Zhejiang 310027, China)

Abstract: A group of technologies for sub2100nm process modeling and DFM (Design For Manufacturability) problem are presented. A DFM flow for standard cell design is implemented, with typical DFM patterns being discussed in detail. New design rules and solution styles are introduced as well. Based on the DFM flow and design styles, a set of DFM friendly 90nm standard cells are designed.

Key words: standard cell; design for manufacturability; resolution enhancement technologies

### 1 引言

在数字 ASIC 的设计中, 基于标准单元的半定制设计制造方法一直占有主导地位, 标准单元本身的设计实现直接影响着集成电路设计的性能、功耗、成品率和面积. 在工艺技术进入超深亚微米之前, 传统的标准单元设计主要考虑标准单元的速度、功耗和面积<sup>[1]</sup>. 在标准单元物理实现时, 只要满足物理设计规则(Design Rule)即可. 当半导体工业进入到超深亚微米时代后, 设计的规模越来越大, 复杂度越来越高. 从 0.18 $\mu\text{m}$  技术节点开始, 制造工艺中更采用了所谓“亚波长光刻”技术. 以 90nm 和 65nm 节点为例, 采用的光源波长为 193nm, 而所制造产品的特征尺寸还不到光源波长的一半. 集成电路的特征尺寸接近曝光系统的理论分辨率极限, 光刻后硅圆片表面成像将产生明显的畸变, 从而导致光刻图形质量的严重下降, 这一现象预计将持续到 32nm 节点以后<sup>[2, 3]</sup>. 目前, 可制造性已经成为了集成电路设计的一个重要考虑因素, 纳米级标准单元的设计技术也因此而面临着重大的挑战.

为了解决“亚波长光刻”所带来的问题, 业界提出并采用了分辨率增强技术<sup>[4]</sup> (RET, Resolution Enhancement Technology), 这其中主要包括了离轴照明 (OAI, Off-Axis Illumination), 光学邻近校正 (OPC, Optical Proximity Correction), 移相掩模 (PSM, Phase Shifted Mask), 次分辨率辅助图形 (Sub-resolution Assistance Feature) 等方法. 大多数 RET 方法都对掩模的形状和

相位进行一定程度的改动, 从而达到提高图形转移质量的目标.

在经过 RET 处理后, 硅片表面成像的畸变程度有所减轻, 但线宽和线端、转角等部位的形状和原始设计图形仍将存在一定差距, 这对集成电路的性能和成品率有重大影响. 由于标准单元是某一特定工艺下多个电路的基本构成部件, 在目前可制造性要求越来越严格的条件下, 纳米级标准单元设计中除了要满足厂家的设计规则外, 也一定要考虑设计方案是否对 RET 友好, 是否符合可制造性的要求<sup>[5]</sup>. 可制造性因素的引入, 使得纳米级工艺的设计规则变得非常复杂, 甚至规则之间存在不相容的情况. 由于可制造性对周围环境的依赖, 复杂的设计规则仍然难以覆盖设计中出现的许多情况. 举例来说, 生产厂家给出了最小间距规则, 但在单元设计中, 为了在平行多晶之间插入辅助条 (Scattering Bar), 其间距就不能按照该最小间距设计. 而在某些高图形密度的复杂区域, 即使符合设计规则, 一般 OPC 软件工具也难以找到较优的校正方案.

可制造性目标的引入, 在传统标准单元的设计规则、面积和性能目标以外增加了新的复杂性. 为此在标准单元的设计流程中, 我们增加了新的设计工具和设计方法. 首先, 实现了对标准单元进行实验性 OPC 修正 (Trial OPC) 和 PSM 相位分配的工具, 以检验设计和 RET 修正的相容性; 其次, 开发了光刻仿真工具用于模拟标准单元设计的制造结果, 并能对不同的可制造性指标进行有效分析; 在应用前述工具的基础上, 分析

了传统标准单元设计中不利于可制造性的图形模式, 归纳总结了针对可制造性设计的规则和思路, 并应用到了实际的单元设计当中。

文章的第二部分描述了进行纳米级标准单元可制造性设计的新流程, 介绍了其中的关键构成部分。第三部分分析了纳米级工艺条件下多种特定几何结构如 JOGM, 平行 MOSFET 和 EnDLine 等的设计方案。第四部分介绍了 90nm 标准单元设计的实例。第五部分进行了总结。

## 2 考虑可制造性的纳米级标准单元设计流程

亚 100 纳米工艺的流片费用高, 周期长。文献[6]提出了一种快速光刻仿真的方法, 其基础是将光刻成像模拟问题表达为部分相干光在带像差的孔径系统中的投射成像问题, 根据统计光学中的 Hopkins 公式, 得到:

$$I(f, g) = \left[ \prod_{f_1} \prod_{g_1} \right] T(fc + f, gc + g, fc, gc) \quad (1)$$

$$\#F(fc + f, gc + g) \#F^*(fc, gc) dfcdgc$$

$$I(x, y) = F^{-1}\{I(f, g)\} \quad (2)$$

其中,  $I(f, g)$  是输出光强  $I(x, y)$  的二维傅里叶变换,  $F(f, g)$  是掩模透射函数  $F(x, y)$  的二维傅里叶变换,  $T(fc, gc; fd, gd)$  是光学系统的透射交叉系数 (TC2Transmission Cross2Coefficient), 它是一个与掩模形状完全无关的四维函数, 描述了从光源到像平面中包括照明系统和成像系统在内的整个光学系统的作用。其表达式为:

$$T(fc, gc; fd, gd) = \left[ \prod_{f_1} \prod_{g_1} \right] J(f, g) \#K(f + fc, g + gc) \quad (3)$$

$$\#K^*(f + fd, g + gd) dfdg$$

其中,  $J(f, g)$  是光源的互强度函数,  $K(f, g)$  是成像系统的频率响应函数。

研究表明, 在亚波长光刻条件下, 光学邻近效应的主要来源为光照成像, 但掩模制造中的邻近效应、光刻胶的物理和化学反应、蚀刻等也是构成图形畸变的重要因素。在光刻模拟的过程中, 这些因素通过了一组线性滤波因子和变偏差模型 (VBM, Variable Biasing Model) 得以体现。为了准确地模拟亚波长光刻条件下标准单元在特定工艺下制造的结果, 应根据实际工艺结果优化拟合上述光刻模型的参数, 拟合数据来自于大量的典型测试图形组的电子显微镜测量值。经过优化拟合, 关键尺寸 (CD, Critical Dimension) 的误差在线宽、间距方面可以达到 -10%~10% 以内, 在线端可以达到 -20%~0% 以内。

准确的光刻模拟模型除了能用于模拟标准单元的硅片成像外, 也是 RET 修正方案的基础。基于模型预测, 可以对版图中的图形进行实验性 OPC 处理, 以发现对 OPC 处理不相容的图形模式。一种能对单元和典型周围环境进行 OPC 处理并检查光刻效果的工具, 和一种能对标准单元版图交替移相掩

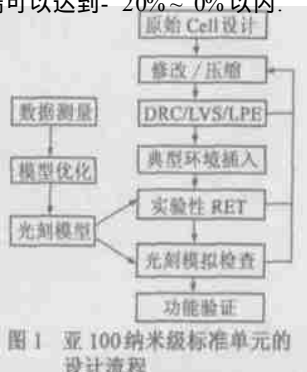


图1 亚100纳米级标准单元的设计流程

模 (Alternating PSM) 相位兼容性进行检查的工具已经完成并应用到了亚 100 纳米级标准单元的设计流程中<sup>[4,7]</sup>。

在实现上述模拟和验证技术以后, 构造了一种考虑可制造性的亚 100 纳米级标准单元的设计流程如图 1 所示。实际的单元设计工作即依此流程进行。

## 3 纳米级工艺条件下特定几何结构设计方案

### 3.1 90b有源区对 MOS 管线端的影响

标准单元中经常会出现如图 2(a) 所示的结构, 在超深亚微米工艺前, MOS 管线端的长度主要考虑多晶硅层和有源区层之间的偏移, 只要 MOS 管线端长度大于这两层的偏移, MOS 管就不会短路。当工艺进入超深亚微米时代, 90b 有源区因光刻产生的畸变直接影响了标准单元的成品率。

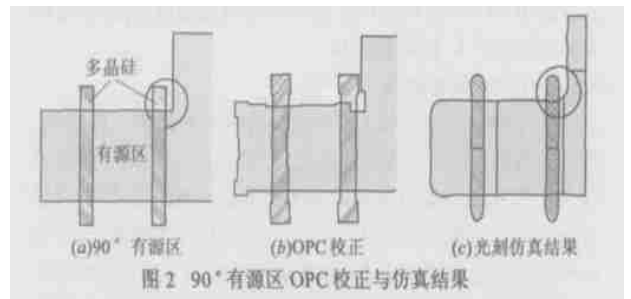


图2 90°有源区 OPC 校正与仿真结果

图 2(a) 是根据 90nm 设计规则设计的一个版图结构, 图 2(b) 是经过 OPC 校正后的版图, 经过光刻仿真, 得到结果如图 2(c) 所示。从光刻仿真结果中可以看到, 有源区的 90b 拐角由于光刻畸变, 拐角处变得圆滑, 同时多晶硅线端变圆滑, 这使得有源区拐角处 MOS 管的实际线端距离变短, 当有源区层和多晶硅层的偏差大于这个 MOS 管线段距离时, 该 MOS 管短路。

为了提高芯片的良品率, 应该加大有源区拐角 MOS 管管线端距离, 这个距离应考虑到有源区拐角的光刻畸变和多晶硅线端的光刻畸变。

### 3.2 Jogged Gate Matrix (JOGM)

JOGM 结构是一种常用的减小标准单元面积的结构, 它通过插入 45b 的 MOS 管来减小标准单元的面积。比较图 3(a) 和图 3(b) 可看出 JOGM 结构可以显著的减小标准单元的面积。根据 Hindmarsh 的研究, JOGM 可以减少标准单元 21%~30% 的面积<sup>[8]</sup>。



图3 JOGM 结构受 OPC 的影响

由于 JOGM 技术能有效的减少标准单元的面积, 因此在 0.18Lm 及以上工艺中得到了广泛的应用。可是当半导体工业进入到超深亚微米时代后, 新工艺的特性限制了 45b 多晶硅的使用, 主要有以下几个原因:

(1) 45nm 多晶硅因结构复杂不利于工艺控制。

(2) 超深亚微米和纳米级工艺的光刻照明可能使用非对称照明技术, 这种技术只能保证水平和垂直方向较好的光刻质量, 不能保证 45nm 光刻的质量<sup>[9]</sup>。

(3) 由于标准单元内部越来越复杂, 45nm 多晶硅的结构使得 OPC 的校正无法实现。如图 3(c) 所示。

图 3(c) 是用 90nm 工艺设计参数设计的一个几何结构, 这种结构多出现在单元内部空间拥挤的情况下。原始版图中 45nm 多晶硅和垂直多晶硅的距离符合设计规则, 但是经过 OPC 校正后, 线端和 45nm 拐角变粗, 使得垂直多晶硅与 45nm 多晶硅之间的最小距离只有 70nm, 因间距太小, 可能引起掩模制造中的问题。

根据上述分析结果可知, 基于 45nm 多晶硅的 JOGM 结构已经不适用 100nm 以下的工艺, 从芯片的可制造性出发, 所有的多晶硅都应该无 45nm 拐角结构。

### 3.1.3 平行 MOS 管结构

平行 MOS 管结构是 CMOS 标准单元中常见的一种结构, 常见于多输入端的与、或、或非结构, 如图 4(a) 所示, 超深亚微米工艺之前, 多晶硅的间距为工艺的最小间距, 这样可以尽可能的减小标准单元的面积。当工艺进入超深亚微米后, 平行 MOS 管的间距会对硅片成像的影响不可忽视, 平行 MOS 管光刻时明场和暗场的对比下降, 光刻的 MOS 管变模糊, 直接影响了芯片的成品率。

图 4(b) 是根据 90nm 设计规则设计的平行 MOS 管结构, 150nm 为 90nm 工艺 MOS 管的最小间距, 图 4(c) 是光刻仿真结果。从图 4(d) 的光强分布图可看出最小间距的平行 MOS 管光强对比度较低, 将间距增大到 200nm, 可明显提高光强对比度。

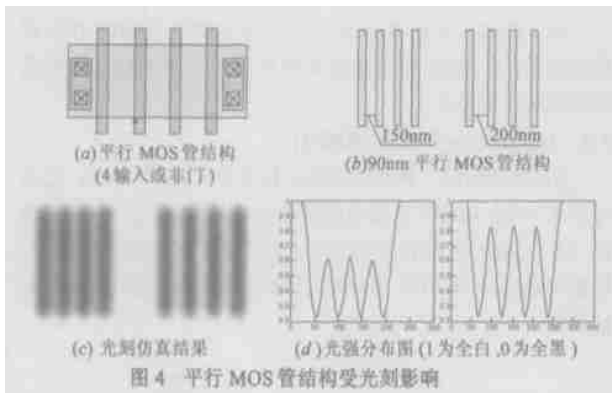


图 4 平行 MOS 管结构受光刻影响

加大平行 MOS 管的间距, 可使光场的对比提高, 表明加宽平行 MOS 管的间距有利于提高芯片的成品率。加宽平行 MOS 管的间距势必会加大标准单元的面积, 设计标准单元时应对标准单元的面积和芯片的成品率进行综合考虑, 对于面积要求高的标准单元库和成品率要求高的标准单元库采用不同的间距标准。

### 3.1.4 EndLine 结构

EndLine 结构是标准单元设计中常见的结构, 它经常出现在触发器等结构复杂的标准单元中。当多晶硅的线端遇到与它垂直的长多晶硅, 就形成 EndLine 结构, 如图 5(a) 所示。

图 5(b) 显示了根据 90nm 设计规则设计的 EndLine 结构 OPC 修正后光刻仿真结果。

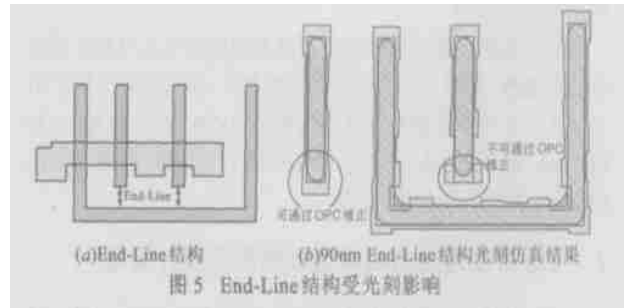


图 5 End-Line 结构受光刻影响

从图 5(b) 可见, EndLine 结构的多晶硅线端的收缩很难通过 OPC 进行修正, 使得多晶硅包含有源区的长度缩短, 硅片加工过程中的多晶硅层和有源区层有偏差存在, 当偏差方向与多晶硅线端收缩方向一致时有可能导致有源区的短路, 这将降低芯片的成品率。由于 EndLine 结构的限制, 使得这种结构很难通过 OPC 进行版图校正。为了消除 EndLine 结构受到硅片表面成像畸变的影响, 130nm 以下的标准单元设计应当加宽 endline 的间距。

## 4 实际标准单元库设计

基于本文第 2 节中构造的标准单元可制造性设计流程, 注意避免了前文中的典型 DFM 问题图形, 设计了 17 个 90nm 工艺的标准单元, 作为某 90nm 工艺生产的初步单元准备。标准单元的高度为 2.8μm, 其功能和单元长度见表 1。在符合厂家的设计规则外, 对单元进行了实验性 RET 修正, 并根据光刻模型进行了光刻仿真, 仿真结果表明了单元的设计较好地符合了可制造性要求。图 6(a) 显示了一种所设计的 D 触发器的版图, 图 6(b) 是使用实验性 OPC 工具进行 OPC 校正后的版图, 图 6(c) 显示了光刻仿真的结果, 光刻仿真的结果表明该设计具有良好的可制造性。

表 1 标准单元参数

单元名	功能	长度(μm)
INV	$Y = ! a$	0.800
BUF_S	$Y = a$	1.820
DFF	DFF	8.750
NAND2	$Y = ! (a * b)$	2.570
DFFR	DFF with reset	9.000
XOR2	$Y = (a * (! b)) + ((! a) * b)$	3.000
OR2	$Y = a + b$	2.170
NOR3	$Y = ! (a + b + c)$	2.580
NOR2	$Y = ! (a + b)$	1.940
NAND3	$Y = ! (a * b * c)$	1.755
MX2	$Y = ((! s) * a) + (s * b)$	3.305
AOI222	$Y = ! ((a0 * a1) + (b0 * b1) + c0 * c1)$	3.320
AOI22	$Y = ! ((a0 * a1) + (b0 * b1))$	3.770
AOI21	$Y = (a0 * a1) + b$	2.910
AND3	$Y = (a * b * c)$	4.250
AND2	$Y = (a * b)$	1.690
BUF_L	$Y = a$	6.490

为了检验单元设计的有效性, 以这些单元构造了多组环

形震荡器、Ripple Carry 加法器、计数器等, 制成了单元测试组, 供片上测试标准单元的功能和性能. 单元测试组还包括了以标准单元构成的小规模电路设计经不同积极度 (aggressiveness) 下的实验性 OPC 处理后的版图, 供电子显微镜成像测量光刻结果, 以比较实验性 RET 和实际 RET 版图在硅片上的最终差异. 整个 90nm 单元设计测试组已经完成设计, 在国内投入流片.



## 5 结论

集成电路的最小尺寸和最小间距减小到 100nm 以下后, 光刻过程中出现的可制造性问题对集成电路的设计提出了新的挑战.

对于标准单元的设计来说, 各项设计要求包括面积、功耗、速度等之间, 往往存在着相互的冲突, 可制造性要求的引入使得设计的平衡点选取变得更加复杂. 这已成为世界范围内共同面对的问题, 研究工作在国内外均处于起步阶段. 我们试图从最基本的标准单元的可制造性设计入手, 从基础上相当程度地解决这一问题.

本文对纳米级标准单元的可制造性设计进行了分析, 提出了一种新的标准单元可制造性设计流程, 分析总结了一些

纳米级工艺下标准单元的可制造性设计规则. 以此为设计原则, 按照所提出的流程, 设计实现了一个小型的 90nm 标准单元库. 该项工作对国内 90nm 工艺的试制和成熟具有相当的意义.

## 参考文献:

- [1] Lefebvre M, et al. The future of custom cell generation in physical synthesis [A]. Design Automation Conference [C]. Anaheim, California, United States, 1997. 446- 451.
- [2] Kahng A B, et al. Subwavelength lithography and its potential impact on design and EDA [A]. Design Automation Conference [C]. New Orleans, Louisiana, United States, 1999. 799- 804.
- [3] Wong A K. Microlithography: trends, challenges, solutions, and their impact on design [J]. Micro, IEEE, 2003, 23(2): 12- 21.
- [4] 高根生, 等. 一种用于标准单元版图交替相掩模相位兼容性规则检查的工具 [J]. 半导体学报, 2004, 25(5): 601- 606.
- [5] Torres J A, et al. RET compliant cell generation for sub130nm processes [A]. Proc. Design, Process Integration, and Characterization for Microelectronics [C]. Santa Clara, California, United States, 2002, SPIE Vol. 4692, 529- 539.
- [6] 陈志锦, 等. 一种快速光刻模拟中二维成像轮廓提取的新方法 [J]. 半导体学报, 2002, 23(7): 765- 771.
- [7] Xiaolang Y, et al. Architecture of a postOPC silicon verification tool [A]. ASIC [C]. Beijing, 2003. 1365- 1368.
- [8] Hindmarsh R D. JOGM: A CMOS cell layout style using jogged transistor gates [A]. Design Automation Conference [C]. Grenoble, France, 1993. 48- 53.
- [9] Terasawa T. Embedded tutorial: subwavelength lithography [A]. Proceedings of the ASP2DAC 2000 [C]. Yokohama, Japan, 2000. 295- 300.

## 作者简介:

张培勇 男, 浙江大学超大规模集成电路设计研究所博士研究生, 研究方向: 集成电路 CAD 技术. E-mail: zhangpy@vlsi.zju.edu.cn.

严晓浪 男, 浙江大学电气工程学院教授, 博士生导师, 研究方向: 集成电路设计和版图技术.

史 峥 男, 浙江大学超大规模集成电路设计研究所副教授, 研究方向: 集成电路 CAD 技术.