

用分量匹配法实现对高速时钟电路的动态优化

魏敬和¹, 陈军宁¹, 柯导明¹, 时龙兴², 陆生礼², 樊进¹

(11 安徽大学电子工程与信息科学系, 安徽合肥 230039; 21 东南大学电子工程系, 江苏南京 210096)

摘要: 本文讨论如何设计工作在 GHz 频率下的 VLSI 芯片时钟电路. 时钟树采用平衡平面布局消除时钟偏差; 利用插入缓冲器对电路性能进行动态优化. 最后用一个电路模拟软件对电路进行评估. 和以往的工作相比较, 本文实现了在频域内对时钟电路的优化, 显著地提高了仿真速度.

关键词: 分量匹配法; 时钟电路; 传输线

中图分类号: TN454 **文献标识码:** A **文章编号:** 0372-2112 (2004) 09-1562-03

Dynamical Optimizing High2Speed Clock Tree by Moment Matching Method

WEI Jing2he¹, CHEN Jun2ning¹, KE Dao2ming¹, SHI Long2xing², LU Sheng2li², FANG Jin¹

(11 Dept. of electronic engineering & information science, Anhui University, Hefei, Anhui 230039, China;

21 Dept. of electronic engineering, Southeast University, Nanjing, Jiangsu 210096, China)

Abstract: We discuss the design of clock distribution circuits for VLSI chips operating at GHz frequency. Clock tree uses balanced planar tree routing to eliminate the clock skew; and dynamically optimize clock circuit by inserting buffers. Finally we evaluate the clock circuit performance by simulator. The method realizes the optimization of clock circuit in the frequent domain, and dramatically improve simulating time compared with previous work.

Key words: moment matching method; clock circuit; transmission line

1 引言

最近的十几年中, 对时钟树的研究十分的活跃, 包括时钟树的布局^[1]、缓冲器的插入以及互连线的尺寸^[2]. 但是对它们之间的相互影响研究不多. 譬如缓冲器的插入对优化目标的影响常常被忽略. 另外现有的设计电路的时钟树电路布线的算法大都是基于 Elmore 延迟模型^[3], 但是该模型只适用单调输出, 对于高速情况下的延迟分析比较粗糙^[4]. 由于深亚微米高速时钟电路互连线的电感作用比较明显, 在设计过程中信号的延迟和完整性是电路优化需要考虑的两个关键的要素. 有相当多的文献运用集总 RLC 以及更复杂的传输线理论来评估电路的性能^[5]. 通常对输出信号的判断需要经过傅立叶反变换以后在时域里完成. 对于较小规模的时钟电路而言这种方法是可以接受的, 但是对于大规模集成电路则要耗费大量计算时间.

本文的设计工作在考虑 GHz 时钟树电路时, 通过构建平衡树的办法保证时钟树的偏差最小. 在时钟树的布局和缓冲器插入过程中采用非均匀集总参数模型去描述分布的传输线效应, 在频域内就能够对电路性能进行估计. 这样既降低了计算的复杂度, 又能够很好的满足精度要求, 大大节约动态优化时间. 最后用设计波形软件来评估在高频下电路仿真的结果.

2 树状结构的分量匹配

对于一个线性系统, 其传输函数 $H(s)$ 被定义成输出电压

$V_0(s)$ 和输入电压 $V_i(s)$ 的比, 归一化的传输函数 $h(s)$ 可以用下面的多项式表示:

$$h(s) = \frac{1 + b_1s + b_2s^2 + \dots + b_{q-1}s^{q-1}}{1 + a_1s + a_2s^2 + \dots + a_qs^q} = M_0 + sM_1 + s^2M_2 + \dots \quad (1)$$

式中 M_0, M_1, M_2 分别是系统的零阶, 一阶和二阶矩, 而且多项式系数和电路矩之间有下列的关系:

$$\begin{cases} M_1 = b_1 - a_1, \\ M_2 = b_2 - a_2 - a_1b_1 + a_1^2, \\ \dots \end{cases} \quad (2)$$

$M_1 = b_1 - a_1$ 就是传输延迟, 被定义为 Elmore 延迟. 从控制理论^[6]可知, 低阶矩包含了系统所有极点的信息, 高阶矩主要是受低频极点的影响, 高频极点对它的影响很小, 因此确定低阶矩能够很好地描述稳定的高阶系统的瞬态响应.

2.1 单根传输线

对于像图 1 所示的带有内阻 Z_0 和负载 C_L 的分布 RLC 传输线可以描述为:

$$H(s) = \frac{V_2(s)}{V_0(s)} = \left([\cosh(Hh) + \frac{Z_s}{Z_0} \sinh(Hh)] + \frac{1}{Z_T} [Z_0 \sinh(Hh) + Z_s \cosh(Hh)] \right)^{-1} = \frac{1}{1 + sa_1 + s^2a_2 + \dots} \quad (3)$$

这里 $H = \sqrt{(r + sl) \pi}$ 是传输常数, 传输线的特性阻抗为 $Z_0 =$

$\sqrt{R+sL/c}$, $r=R/h$, $l=L/h$, $c=C/h$, 分别为单位长度的电阻、电感和电容。

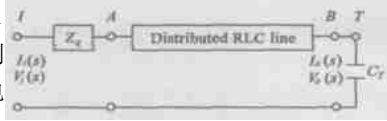


图 1 有内阻和负载的分布 RLC 线两端口模型

图 1 中的复杂的传输线可以用非均匀 L 型、型互连线模型等效(如图 2 所示), 3 段集总的非均匀的 RLC 可以精确的描述互连线的模型^[7], 在图中 R_g 是信号源内阻, C_T 是容性负载电容. 考虑到一般情况, 这两种模型情况下的传输系数分别为:

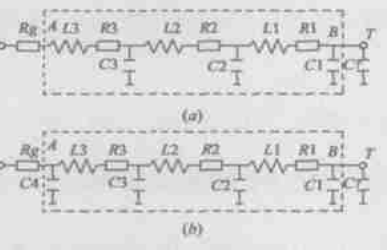


图 2 一般的分布 RLC 传输线的非均匀的三段 L 型和型模型

L 型
 $a_1 = R_g(C + C_T) + R(C/2 + C_T)$
 $a_2 = R_gRC(C/6l49 + C_T/2) + R^2C(C/23l85 + C_T/6l13) + L(C/2 + C_T) + B_k(R + R_g)$ (4)

型
 $a_1 = R_g(C + C_T) + R(C/2 + C_T)$
 $a_2 = R_gRC(C/6 + C_T/2) + R^2C(C/27l11 + C_T/6l37) + L(C/2 + C_T) + B_k(R + R_g)$ (5)

$L=0$ 时就可以描述分布的 RC 电路.

2.1.2 树状结构的互连网络

对于一棵时钟树, 我们先将计算的接受端和信号源定义为主路径, 主路径上其它的分支点可以用等效的导纳代替电容, 这样整个时钟树就变成成为一条 RLYO 传输线, 如图 3 所示, 该节点总的导纳近似为:

$$Y_k = A_k s + B_k s^2 \quad (6)$$

类似的方法能得到该形式传输线一阶和二阶传输系数, 而且计算的复杂度是线性的.

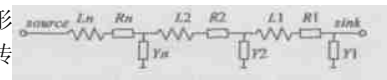


图 3 RLC 树的等效 RLY 传输线

信号在传输过程中有过阻尼、欠阻尼和临界阻尼三种情况, 选择临界阻尼作为是否插入缓冲器的一个判断依据, 此时电感对电路信号的影响不是太明显, 而且它会减小信号的上升沿. 本文在考虑用不同的互连线模型优化设计时钟电路时利用了这个原则, 对平衡树的接受端的信号延迟和上升沿分别为^[8]:

$$t_{150} = (11047e^{-N_1^{0.85}} + 1139N_1) / X_{ni}$$

$$t_{ir} = (61017e^{-N_1^{135/0.4}} - 5e^{-N_1^{125/0.64}} + 4139N_1) / X_{ni}$$

3 算法及计算结果

我们构建了一棵包括信号源和多个接受端的平面树, 其伪代码如表 1:

表 1

Algorithm:

```

Begin
1. Top2down part it ion;
2. Bottom2up merging
   1)Using Elmore delay estimation to find an initial location for tapping node;
   2)Criterion in frequency to relocate the tapping node;
   If the condition isn. t met
       Perform buffer insertion
End

```

实际算法主要由三个部分构成. 第一部分是布线阶段, 其算法由两步组成. 第一步是一个从上而下的叠代分割算法, 将布线区域划分成所需要的最小的空间; 第二步是由下而上的构造平衡树叠代过程. 第二部分是缓冲器的插入. 缓冲器插入遵从的规则是从信号源点到传输接收端的波形如果不满足指标, 就在该处插入缓冲器. 第三部分是仿真. 用本文的设计标准在第二步得到一棵插入缓冲器的时钟树, 用传输线模型计算实际的波形, 直接能够看到每个端点的信号的质量. 图 4 是算法的主要过程.

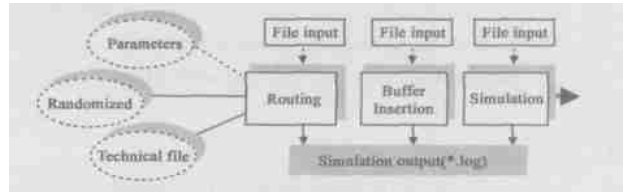


图 4 算法的步骤

根据上面的理论, 我们在 PC 机上用 Visual C+ + 实现提出的方法. 几个被测试电路的汇点随机分布在 2000 * 2000 的布局区域(划方格子单位是 $K=5Lm$), 表 2 是实验模拟的工艺参数, 我们的芯片面积是 $1cm @ 1cm$, 表 3 是我们用均匀传输线模型、L 模型和 模型模拟 4 个接受端的结果. 从表 3 可以看出用时域的方法各接受端产生的信号偏差大约是 $8e212$ 秒, 用不均匀的传输线模型结果是 $2e211$ 秒, 另外用该模型计算的延迟与前者比较最大的误差为 6% , 从图 5 中三个 4 接受端时钟树信号来看, 为改善输出端的信号质量, 不均匀模型用本文的判断依据与均匀模型用时域的方法插入的缓冲器相比较数量是相同的. 虽然

表 2

Resistance(8/m)	115e4
Capacitance(F/m)	1176e10
Inductance(H/m)	2146e7
Load(F)	1e13
Chip area (cm* cm)	1* 1

表 3

	50% delay	Rising time
Source	5.00e11	7.84e11
Load1	3.44e10	1.06e10
T Load2	3.44e10	1.12e10
Load3	3.40e10	1.12e10
Load4	3.48e10	1.02e10
Load1	3.54e10	0.83e10
L Load2	3.52e10	0.85e10
Load3	3.50e10	0.93e10
Load4	3.70e10	0.89e10
Load1	3.54e10	0.87e10
Load2	3.52e10	0.87e10
Load3	3.50e10	0.91e10
Load4	3.70e10	0.87e10

注: T: 均匀传输线; L: L 型不均匀的集总模型; : 型不均匀的集总模型.

与实际用傅里叶反变换得到的结果相比较延迟有一定的误差,但能够满足总体要求;在保证输出端的信号完整性的同时,用不均匀模型代替传输线模型时插入的缓冲器个数没有大的变化,说明在精度上能够满足设计需要,从而节省了模拟时间(见表 4)。图 5

表 4

Model sinks	CPU time (s)		
	T	L	
4	37	9	10
8	94	20	21
10	65	22	21

中的三幅图分别是用三种模型对有四个负载接受端的时钟电路仿真的结果,最左端是信号源的波形,最右端是 4 个负载接受端的波形,中间两簇分别是插入的缓冲器的波形。在波形图的右端我们分别标出信号源、插入的缓冲器及负载在芯片中的位置坐标。

4 结束语

随着集成电路的规模迅速增大,在时钟树网络中建立快速、准确、有效的信号分析方法对分析电路的性能有着非常重要的意义。本文用不均匀的集总模型代替分布的传输线模型,并且用分量匹配法实现频域里对信号完整性的判断,达到对时钟树电路动态优化的目的,与时域里计算的结果相比较,不仅计算的精度满足要求,而且计算所花费的时间都比前者减小很多。

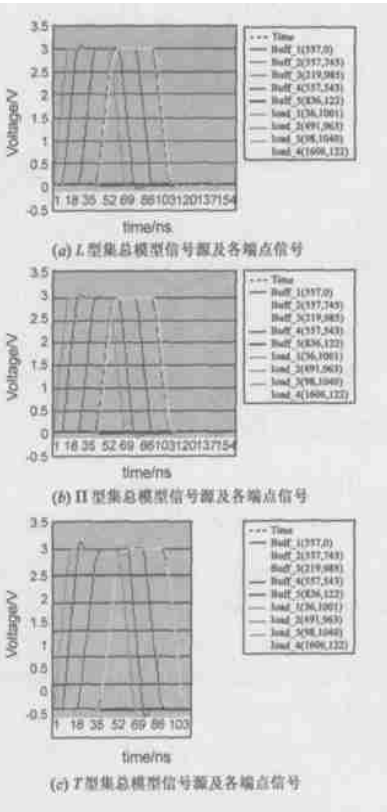


图 5 三种互连线模型的时钟树电路的优化结果

参考文献:

[1] J Cong, A B Kahng, G Robins, M Sarrafzadeh, C K Wong. Provably good performance-driven global routing[J]. IEEE Trans 1992, CAD11 (6): 739- 752.

[2] J G Xi, W W M Dai, Buffer insertion and sizing under process variations for low power clock distribution[A]. in Proc. 31. st ACM/ IEEE Design Automation Conf[C]. San Francisco, CA: IEEE, 1995. 491 - 496.

[3] W C Elmore. The transient response of damped linear networks with particular regard to wideband amplifiers[J]. J Appl Phys, 1948, 19 (1): 55- 63.

[4] Zhou D, Preparate F P, Kang S M. Interconnection delay in very high-speed VLSI[J]. IEEE Trans 1991, CS23(7): 779- 789.

[5] Q Yu, E S Kuh. Moment models of general transmission line with application to MCM interconnect analysis[A]. Proc. IEEE Multichip Module Conference[C]. Santa Cruz: IEEE, 1995. 594- 598.

[6] Kuo B C. Automatic Control Systems 5th ed. [M]. Englewood Cliffs, NJ: Prentice Hall, 1987.

[7] Y I Ismail, E G Friedman, J L Neves. Equivalent elmore delay for RLC trees[J]. IEEE Trans, 2000, CAD19(1): 88- 97.

作者简介:



魏敬和 男, 1970 年 1 月生于安徽庐江, 讲师, 1997 年硕士毕业于东南大学电子工程系, 获硕士学位, 现为安徽大学博士研究生, 主要研究方向为 VLSI 系统与设计, VLSI 设计自动化等。



陈军宁 男, 1953 年生于江苏南京, 1985 年、1993 年在东南大学分别获得工学硕士与博士学位, 1996 年从复旦大学 IC CAD 博士后流动站出站, 现为安徽大学电子工程与信息科学系教授、博士生导师, 主要研究方向为 VLSI 系统与设计、深亚微米 MOS 器件物理、高压功率器件和电路等。