

# 一种基于有限脉冲响应滤波器的时钟倍频器设计

曾兆权<sup>1</sup>, 旭阳欣<sup>2</sup>, 马丁·马林森<sup>3</sup>, 张 岭<sup>1</sup>, 张 宁<sup>1</sup>

(1. 石河子大学机械电气工程学院, 新疆石河子 832000; 2. 亿升科技有限公司, 韩国水原 16203;  
3. 硅谷接入有限公司, 加拿大基洛纳 V1W 1A4)

**摘 要:** 本文提出了一种基于有限脉冲响应(Finite Impulse Response, FIR)滤波器的时钟倍频与抖动消除电路。相比传统时钟倍频器所采用的锁相环(Phase Locked Loop, PLL)或延迟锁定环(Delay-Locked Loop, DLL)技术, 本文设计的倍频电路通过 FIR 滤波器原理来产生高精度的时钟相位, 并利用新型过零检测电路来产生输出时钟脉冲, 在明显降低时钟抖动的同时还实现了倍频器的快速锁定, 且在功耗及面积成本上也更为经济。本设计采用 SMIC 0.18  $\mu\text{m}$  CMOS 工艺实现后, 设置输入时钟频率为 32 MHz 时, 在锁定时间小于 1.5 个时钟周期的情况下实现了 5 倍频输出, 输入时钟抖动也从 43.6 ps RMS 降低至 24.6 ps RMS, 由此验证了设计的合理性和实用性。

**关键词:** 时钟; 倍频器; 有限脉冲响应; 过零检测; 抖动

**基金项目:** 石河子大学国际科技合作推进计划项目(No.GJHZ202106)

**中图分类号:** TN771

**文献标识码:** A

**文章编号:** 0372-2112(2023)10-2791-10

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.12263/DZXB.20220932

## A Design of Clock Frequency Multiplication Circuit Based on Finite Impulse Response Filter

ZENG Zhao-quan<sup>1</sup>, HSU Yong-sheng<sup>2</sup>, MALLINSON Martin<sup>3</sup>, ZHANG Ling<sup>1</sup>, ZHANG Ning<sup>1</sup>

(1. College of Mechanical and Electrical Engineering, Shihezi University, Shihezi, Xinjiang 832000, China; 2. Ysyeong Technology Inc., Suwon 16203, Korea; 3. Siliconintervention Inc., Kelowna, BC V1W 1A4, Canada)

**Abstract:** This paper presents a clock multiplication and jitter reduction circuit based on finite impulse response (FIR) filters. Compared with phase-locked loop (PLL) or delay-locked loop (DLL) techniques used in conventional clock multiplier, the proposed clock multiplier generates a high-precision clock phase based on the working principle of FIR filter while reducing the clock frequency jitter. A new zero-crossing detection circuit is also designed to generate output clock pulses. The proposed clock multiplier can achieve fast lock-in time, as well as low power consumption and area cost. This design is implemented in SMIC 0.18  $\mu\text{m}$  CMOS process, the input clock frequency is 32 MHz, the output is multiplied by 5 when the lock-in time is less than 1.5 clock cycles, and the input clock jitter is reduced from 43.6 ps RMS to 24.6 ps RMS.

**Key words:** clock; frequency multiplier; finite impulse response; zero-crossing detection; jitter

**Foundation Item(s):** International Science and Technology Cooperation Promotion Plan Project of Shihezi University (No.GJHZ202106)

## 1 引言

时钟倍频器被广泛应用于各类型集成电路中, 特别是在片上系统(System On Chip, SOC)设计中起着至关重要的作用<sup>[1]</sup>。目前, 倍频器设计主要采用三种技术方案: 锁相环(Phase Locked Loop, PLL)、延迟锁定环(Delay-Locked Loop, DLL)和时钟相位插值<sup>[1]</sup>。PLL 和 DLL 技术方案能够产生精准的时钟信号, 但是由于其

电路结构的反馈特性, 它们通常需要相对较长时间才能锁定或稳定, 且在面积和功耗方面成本较高<sup>[2-4]</sup>。此外, 设计基于 PLL 和 DLL 原理的倍频器通常需要消耗设计师大量的设计精力和时间, 并且需要经验丰富的设计师来将同样功能的设计从一个工艺移植到另一个工艺<sup>[5-7]</sup>。时钟相位插值技术提供了一种能够降低锁定时间与功耗, 占用更小硅面积的倍频途径, 降低了倍频器的设计成本并加速了新设计的上市时间<sup>[1,8,9]</sup>。由于

采用时钟相位插值技术的倍频器多以数字电路为主,因此这种类型的倍频器在不同工艺间进行移植成本相对较低. 时钟相位插值技术首先需要产生可供插值的初级相位信号,目前产生初级相位信号的方式主要有两种. 第一种是分频器法,即使用分频器将参考时钟信号降频产生初级相位,然后和参考时钟插值产生输入频率的 $2^N$ 倍的时钟信号<sup>[8,10,11]</sup>. 在文献[8]中,时钟处理电路首先对输入时钟信号进行1/4分频,然后使时钟信号经过多级多相位频率倍增模块(MultiPhase Frequency Doubler, MPFD)和多相位边沿平均模块(Multi-Phase Edge Averaging, MPEA)进行倍频和时钟抖动消除. 该方案虽然能够实现输出时钟快速锁定,但采用多级级联的MPFD和MPEA,增加了系统整体的功耗和面积,且采用数字方式产生初级相位信号误差较大,不利于提升输出时钟信号的抖动性能. 第二种产生初级相位信号的方式是多相滤波器(PolyPhase Filter, PPF)法,即采用无源RC或其他种类的多相滤波器生成初级相位,然后对其进行插值以获得必要的子相位信号<sup>[9,12,13]</sup>. 在文献[9]中,输入时钟信号首先经过由20个电阻和电容组成的无源RC多相位滤波器,生成彼此相位差为 $90^\circ$ 的4个初级相位信号,后通过的模拟延迟单元和时钟边沿合成模块进行倍频,倍频后输出时钟信号再反馈至模拟相位误差校准电路,实现对模拟延迟单元的实时校准,从而降低输出时钟信号的抖动. 该方案虽然能降低输出时钟信号的抖动,但大量采用模拟电路并加入反馈控制,使其整体设计、面积和功耗成本较高,且不利于工艺之间的迁移. 文献[12]采用调节注入-锁定(Injection-locked)环形振荡器滤波电容的方式来产生8个初级相位信号,通过数字-时间转换器(Digital-to-Time Converter, DTC)校准逻辑实时对输出时钟信号进行校准,以降低输出时钟信号的抖动. 该方案对模拟电路的依赖程度较高,环形振荡器等多个模块均需要特殊定制化设计,增加了设计成本和工艺迁移成本. 器件布局不匹配是采用时钟分频器或多相滤波器产生初级相位信号方案面临的共同挑战,特别是在与文献[8]类似的使用模拟器件滤波产生初级相位

信号的设计中,电阻、电容等模拟器件的匹配直接决定了输出信号的相位误差以及倍频器输出时钟信号的抖动性能. 因此,器件匹配在基于时钟相位插值技术的倍频器设计中至关重要.

本文提出了一种基于FIR滤波器的时钟倍频和抖动消除电路,其架构设计方案如图1所示. 首先,频率为 $f_{in}$ 的时钟信号输入至模拟FIR滤波器(Analog FIR Filter, AFF)模块. AFF模块包含有多级延迟线(Delay Line)和反映FIR滤波器系数的电阻网络,由于其固有的滤波特性, AFF模块将生成高精度的差分初级相位信号,同时减少输入时钟抖动. 产生的初级相位信号通过无源子相位生成(Passive Sub-phase Generator, PSG)模块输出生成一系列任意相位差的子相位正弦信号,并通过系统第三级过零检测(Zero Crossing Detector, ZCD)模块转换为时钟脉冲信号,最后经边沿合成(Edge Combiner, EC)模块将M个子相位信号合成输出频率为 $M \cdot f_{in}$ 的时钟脉冲信号,从而实现倍频功能. 考虑到器件匹配在基于时钟相位插值技术的倍频器设计中的重要性,本文还提出了一种通过单一电阻值进行串联与并联实现任意电阻值的算法,在与EDA(Electronic Design Automation)工具自动布局布线功能进行结合后,应用于模拟滤波器模块和子相位信号生成模块中,该算法的引入可有效提高片上电阻的匹配质量与终端效应容差,有利于提升设计效率,提高设计参数的准确性和应对工艺变化的可靠性.

## 2 核心电路设计

本文提出的时钟倍频器核心电路模块设计流程如图2所示,设计流程参照图1所示信号流逐级进行. 对AFF模块进行设计,首先需通过输入输出信号的频率确定倍频倍数,以此为基础计算出初级相位信号个数及相位差,随后确定FIR滤波器的频率响应和相关电阻值,最后通过EDA程序自动完成FIR滤波器模块的布局布线. 设计PSG模块,首先根据初级相位个数及倍频倍数利用EDA程序完成相位生成网络电阻值的计算,后通过单一电阻值进行串联与并联实现任意

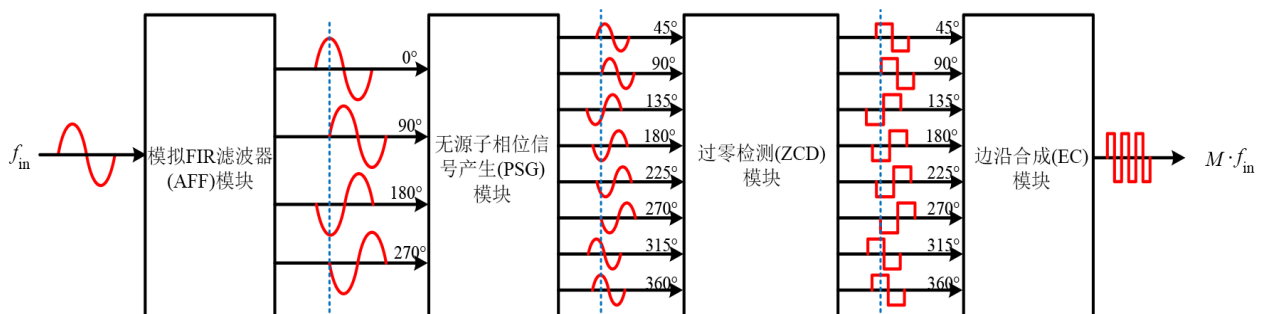


图1 基于FIR滤波器的时钟倍频与抖动消除电路系统架构图

电阻值算法自动完成电阻网络的匹配和布局布线. ZCD 模块和 EC 模块的设计遵循数字电路的设计方式, 通过对标准单元 ZCD 和 EC 电路模块进行自动布局布

线完成. 整个电路系统设计流程自动化程度较高, 各模块详细的设计原理及电路实现将在下文中进行详细说明.

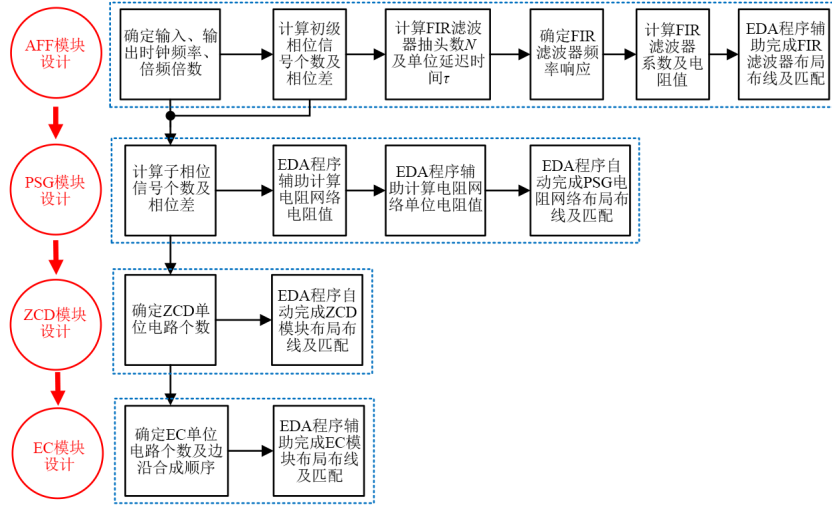


图2 时钟倍频器核心电路设计流程图

## 2.1 模拟 FIR 滤波器模块设计

### 2.1.1 模拟 FIR 滤波器数学原理

通过数学证明可知, 当一个正弦信号  $\sin(\omega t)$  与另一个相同频率但不同相位的正弦信号  $\sin(\omega t + \theta)$  相卷积, 卷积后的输出信号将包含相移信息  $\theta$ . 例如, 2 个子 FIR 滤波器的单位脉冲响应分别为

$$h_1[n] = \sum_{k=0}^N \sin(\omega \cdot \tau \cdot n) \cdot \delta[n-k] \quad (1)$$

$$h_2[n] = \sum_{k=0}^N \sin(\omega \cdot \tau \cdot n + \frac{\pi}{2}) \cdot \delta[n-k] \quad (2)$$

其中  $\omega$  是角频率,  $\tau$  是单位延迟,  $N$  是 FIR 滤波器的抽头数. 式(1)和式(2)对比可得, 当向具有式(1)和式(2)中单位脉冲响应的 2 个 FIR 滤波器分别输入相同的输入信号时, 2 个滤波器的输出信号幅度相同, 但彼此具有  $\pi/2$  的相位差. 由此, 我们可以利用这个特性来产生相位信息准确的初级相位信号.

由傅里叶变换和 FIR 滤波器的性质可知, 一个理想 FIR 滤波器的单位脉冲响应应具有无限多个系数项, 这意味着在电路中将包含无限多个延迟单元及系数单元电路, 但这在实际工程中显然是无法实现的. 因此, 需要引入窗函数(window function)对 FIR 滤波器系数项进行限制. 本文采用凯泽窗(Kaiser window)函数来实现幅度响应相同, 但输出信号具有固定相位差的 FIR 滤波器. 除了限制系数项数, 引入凯泽窗函数也能在一定程度上抑制由于系数序列截断引起的吉布斯现象. 式(1)或式(2)中的单位脉冲响应即可改写为

$$h_i[n] = \sum_{k=0}^N K_{\alpha=3}[n] \cdot \sin(\omega \cdot \tau \cdot n + \theta_i) \cdot \delta[n-k] \quad (3)$$

其中,  $K_{\alpha=3}$  为  $\alpha=3$  的凯泽窗函数, 其表达式为

$$K_{\alpha=3}[n] = \frac{I_0 \left[ \pi \alpha \sqrt{1 - \left( \frac{2n}{N} - 1 \right)^2} \right]}{I_0(\pi \alpha)}, \quad 0 \leq n \leq N \quad (4)$$

$I_0$  是零阶第一类修正贝塞尔函数, 其表达式为

$$I_0[n] = \sum_{k=0}^N \left[ \left( \frac{n}{2} \right)^k \right]^2 \frac{1}{k!} \quad (5)$$

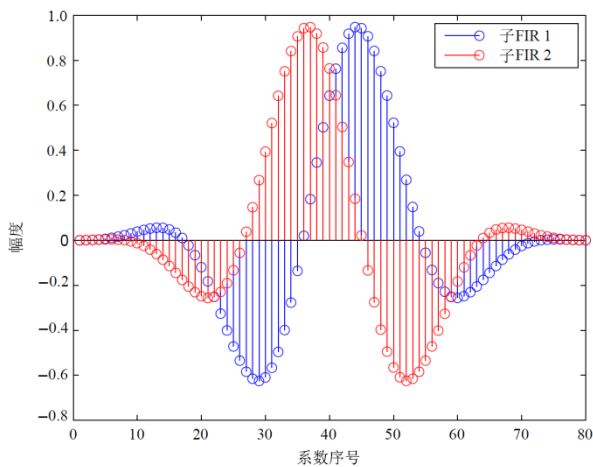
如式(3)~(5)所示, 本文提出的 FIR 滤波器在固定输入频率  $\omega$  的幅度响应相同, 输出信号具有可控恒定的相位差  $\theta_i$ . 以中心频率为 32 MHz, 相位差为  $90^\circ$  的 2 个子 FIR 滤波器为例, 单位延迟  $\tau=1.5$  ns, 滤波器抽头数  $N=80$ , 其相应的单位脉冲响应如图 3(a)所示, 频率响应如图 3(b)所示.

通过观察图 3 可以发现, 在中心频率 32 MHz 附近, 2 个子 FIR 滤波器具有相同的幅度响应和线性相位响应, 并且相位差恒定为  $90^\circ$ . 此外, 观察到此 FIR 滤波器对带外信号具有接近 -100 dB 的抑制, 该特性将有助于降低输出时钟信号抖动.

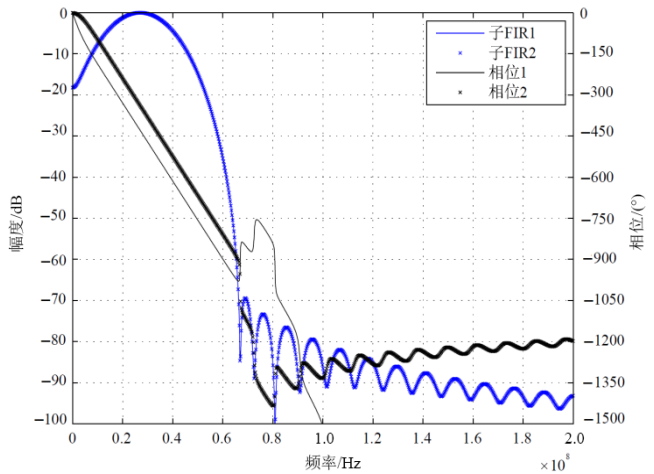
基于上述数学原理, 我们可以实现多频率或宽带宽、多相位输出的 FIR 滤波器, 进而产生系统所需的初级相位信号. 基于此方法实现初级相位信号的精度主要由各子 FIR 滤波器延迟线中单位延迟时间  $\tau$  和抽头数  $N$  决定, 通常单位延迟时间  $\tau$  和抽头数  $N$  的取值应满足式(6)所示条件, 即

$$\tau \cdot N = k \cdot T_{in} \quad (6)$$

其中,  $T_{in}$  为输入时钟信号周期,  $k$  为系数, 通常取值为 2



(a) FIR 滤波器单位脉冲响应图



(b) FIR 滤波器频率响应图

图3  $\tau = 1.5 \text{ ns}$ 、 $N = 80$  条件下,中心频率为 32 MHz、相位差为  $90^\circ$  的两个子 FIR 滤波器单位脉冲响应和频率响应图

或 3. 如图 4 所示,当滤波器抽头数  $N$  固定,相对较大的单位延迟时间  $\tau$  将会一定程度降低输出信号的相位精度. 造成这一现象的主要原因是相对较大的单位延迟时间在时域上会造成 FIR 滤波器处理信号的分辨率降低,使其在重建输出信号的过程中降低输出信号的相位精度. 当单位延迟时间  $\tau = 1.5 \text{ ns}$ ,滤波器抽头数  $N = 80$  时,输出相位误差与单位延迟时间均方根(Root Mean Square, RMS)误差的仿真关系如图 5 所示. 仿真结果显示,100 ps RMS 单位延迟误差只会造成大约  $0.15^\circ$  相位误差,对于 32 MHz 而言,相当于引入 13 ps 峰峰值抖动(peak-to-peak jitter). 和传统 DLL 技术相比,本文提出的 FIR 滤波器倍频技术其输出信号相位精度对单位延迟时间精度依赖极低,这一特点将有助于大幅减少设计调试工作,缩短产品设计时间<sup>[14]</sup>.

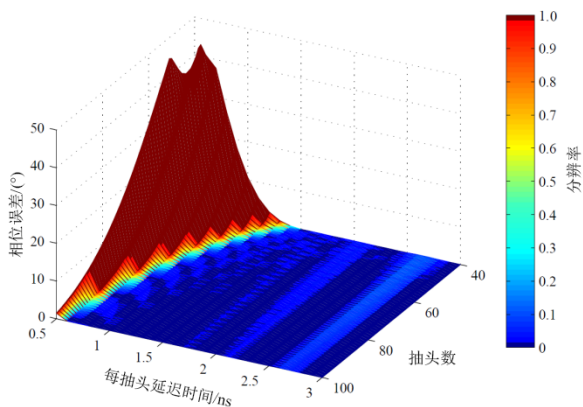


图4 输出相位误差与 FIR 滤波器抽头数、单位延迟时间关系图

### 2.1.2 模拟 FIR 滤波器电路实现

式(1)所示多相位 FIR 滤波器可由图 6 所示电路实现. 其中  $U_1 \sim U_7$  分别为延迟单元电路,  $Z_1 \sim Z_7$  为缓冲器,

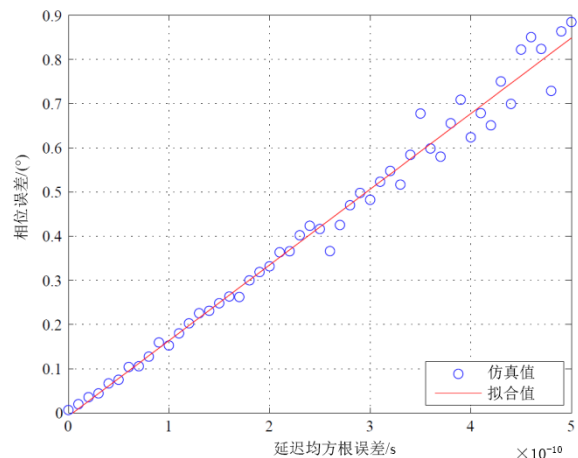


图5 输出相位误差与 FIR 滤波器单位延迟时间均方根误差关系图

$R_1 \sim R_{14}$  分别为反映 FIR 滤波器系数的电阻. 以输出信号相位分别为  $\theta_1 = 0^\circ, \theta_2 = 90^\circ$  的两组子 FIR 滤波器为例,每组子 FIR 滤波器都通过各自组内的电阻与经过延迟线的输入信号源进行星形连接(star connection),最后在输出端将经过系数电阻  $R_n$  的信号连接在一起. 对图 6 中电路进行戴维南等效电路分析可得每个子 FIR 滤波器的输出信号为

$$V_{\text{out}} = R_p \cdot \sum_{k=0}^N \frac{V_n}{R_n} \quad (7)$$

其中,  $V_n$  为经过延迟单元电路的输入信号,  $R_p$  为子 FIR 滤波器所有系数电阻的并联值,  $R_n$  是每个单位延迟抽头所连接的系数电阻值. 在单位延迟时间  $\tau$  和抽头数  $N$  确定的情况下,子 FIR 滤波器的系数电阻可以通过联立式(3)~(7)求得. 通过上述分析方式(analytical method)设计 FIR 滤波器过程较为繁琐,一种更为高效的设计方式是采用迭代算法(iterative algorithm)对 FIR 滤波器的参数进行迭代估算,帕克斯-麦克莱伦算法(Parks-

McClellan algorithm)是一种典型的 FIR 滤波器估计算法. 该算法可通过 MATLAB 滤波器设计工具,较为准确

高效地估算出 FIR 滤波器的设计参数,实现 FIR 滤波器设计自动化.

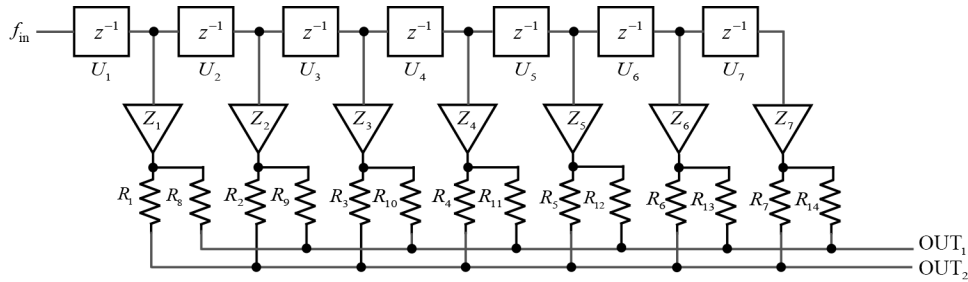


图6 多相位FIR滤波器的电路实现

图6中相位 $\theta_1=0^\circ$ 和 $\theta_2=90^\circ$ 的子FIR滤波器输出端口分别为 $OUT_1$ 和 $OUT_2$ . 式(1)中表示的单位延迟 $\tau$ 由延迟线单元电路 $U_1\sim U_7$ 实现(仅显示7个抽头,其余省略),其后是同时驱动两组电阻的缓冲器. 为了实现FIR滤波器系数中的负值,可以使用差分输出方案,即输出信号 $OUT$ 被分成一对输出: $OUT^+$ 和 $OUT^-$ . 例如, $\theta_1=0^\circ$ 的输出可以表示为 $OUT_1=OUT_1^+-OUT_1^-$ ,当对应抽头对应系数为正时, $OUT_1^+$ 连接,否则 $OUT_1^-$ 连接. 虽然此方案能够实现FIR滤波器的负系数,但连接到 $OUT_1^+$ 和 $OUT_1^-$ 的抽头数量有可能差异较大,这将导致 $OUT_1^+$ 和 $OUT_1^-$ 之间的输出阻抗不平衡. 在本文中,我们使用反相延迟线,其中每个经过延迟单元的抽头输出信号都被反相. 这种设计能够确保 $OUT_1^+$ 和 $OUT_1^-$ 处的阻抗大致相同,并且不会产生系统误差. 此外,当输入时钟在延迟线中传播时,反相延迟线能够在一定程度上缓解上升沿和下降沿时间失配的累积,使延迟线延迟时间间隔均匀. 经过仿真验证,32 MHz输入脉冲信号和经过FIR滤波输出的差分正交正弦波信号如图7所示. 另外,需要说明的是,经过FIR滤波器后的输出信号包含与单位延迟频率 $1/\tau$ 相关的混叠频率成分,因此需要在FIR滤波器的输出端添加抗混叠滤波器(anti-aliasing filter)来为下一级联模块构建平滑的模拟信号. 在本文中, $1/\tau=1/1.5\text{ ns}=666.67\text{ MHz}$ ,由于混叠频率远高于所需的信号频率,抗混叠滤波器可以通过简单地在FIR滤波器输出端添加一定的电容来实现. 如前所述,本文提出的FIR滤波器倍频技术其输出信号相位精度对单位延迟时间精度依赖度较低,因此,图6中所示延迟线采用CMOS反相器来实现.

### 2.2 无源子相位信号生成模块设计

如图8(a)所示,本文提出的无源子相位生成电路是一个由5个电阻构成的网络. 其中 $P_1$ 和 $P_1'$ , $P_2$ 和 $P_2'$ 分别为电路的两组差分输入端, $P_o$ 与 $P_o'$ 为差分输出端. 由于此电阻网络是全差分的,我们可对电路的一半进行分析,如图8(b)所示,分别向 $P_1$ 和 $P_2$ 端输入两个幅度为 $A$ ,

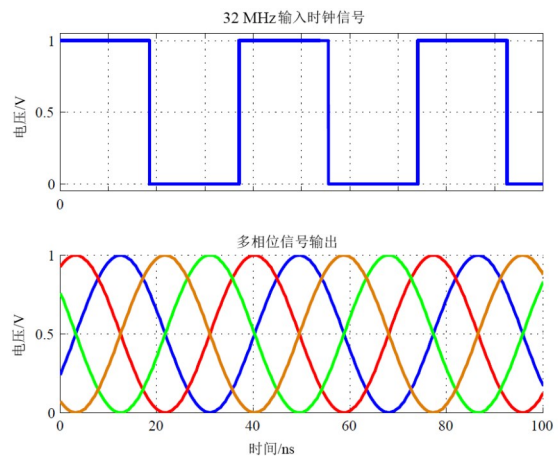


图7 多相位FIR滤波器输入与输出信号

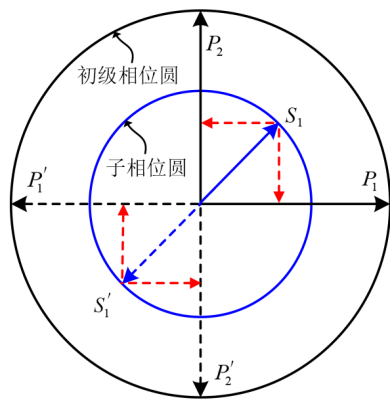
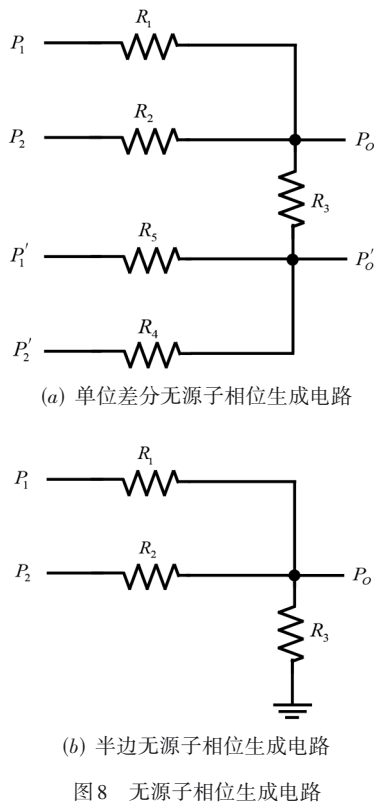
频率为 $\omega$ ,相位差为 $\pi/2$ 的正弦信号 $A \sin(\omega t + \theta)$ 和 $A \sin(\omega t + \theta + \frac{\pi}{2})$ . 经过分析可以得到输出为

$$P_o = A \cdot R_3 \sqrt{\frac{1}{(R_3 + R_1)^2} + \frac{1}{(R_3 + R_2)^2}} \times \sin\left[\omega t + \theta + \arctan\left(\frac{R_3 + R_1}{R_3 + R_2}\right)\right] \quad (8)$$

观察式(8)可以发现输出信号 $P_o$ 的相位可以通过电阻 $R_1, R_2, R_3$ 确定. 图9显示了基于此电阻网络生成子相位信号的向量图. 其中位于外圈初级相位圆上的是差分初级相位信号 $P_1$ 与 $P_1', P_2$ 与 $P_2'$ ,由多相位FIR滤波器模块产生,用于生成内圈子相位圆上的差分子相位信号 $S_1$ 与 $S_1'$ . 相比一般有源相位插值器来产生子相位信号的方式,本文采用的电阻网络具有线性且易于进行匹配的特点,其生成的子相位信号能够对工艺、电压和温度变化具有很强的适应性.

### 2.3 单位电阻串并联算法

由于电阻在前文所述的FIR滤波器模块以及子相位信号产生模块中都有大量的使用,因此,电阻与电阻之间比例以及匹配的准确度对输出信号相位的精度至



关重要。以多相位 FIR 滤波器模块为例,此模块中预计所使用的电阻值的范围较大。结合式(3)和式(7)可知, FIR 滤波器中较大系数值将转化为较小电阻值,例如 1 kΩ;而较大系数值将转化为较大电阻值,例如 250 kΩ。对于如此大跨度的电阻值范围,使用传统的版图布局技术来实现任意电阻值对称且匹配良好的配置将十分困难。

为了解决上述大跨度范围电阻的匹配与版图实现问题,本文提出了一种用一组相同值电阻通过并联、串联以及二者相混合的方式来实现特定电阻值的算法。如表 1 所示,给定一组任意值电阻 {1 kΩ, 1.15 kΩ,

3.76 kΩ, 5.67 kΩ, 10 kΩ}, 可以用每组 10 个 2.8 kΩ 单位电阻来分别实现所有 5 个电阻值,并且不产生任何数学误差。

表 1 单位电阻串并联算法举例

目标电阻值	单位电阻 $R_0 = 2.8 \text{ k}\Omega$ 串并联组合
1 kΩ	$[R_0 \parallel R_0 \parallel R_0 \parallel (R_0 + R_0)] \parallel (R_0 + R_0) + R_0 \parallel R_0$
1.15 kΩ	$[(R_0 + R_0 + R_0) \parallel R_0 \parallel R_0 \parallel R_0 + R_0 + R_0] \parallel R_0 \parallel R_0$
3.76 kΩ	$[(R_0 + R_0 + R_0 + R_0) + R_0 \parallel R_0 + R_0] \parallel R_0 \parallel R_0 + R_0$
5.67 kΩ	$[(R_0 + R_0) \parallel R_0 + R_0] \parallel R_0 + (R_0 + R_0) \parallel R_0 \parallel R_0 + R_0$
10 kΩ	$(R_0 + R_0 + R_0 + R_0) \parallel (R_0 + R_0) \parallel R_0 + R_0 + R_0 + R_0$

以本文提出的方式构建片上电阻至少有三方面优点。首先,所有电阻单元的布局相同且匹配,电阻单元的绝对电阻值随工艺或温度的变化不会影响一组电阻之间的比率。其次,由于单元电阻值相同,片上电阻的末端效应在基于比率的应用中并不重要。最后,可以使用自动布局布线工具来实施电阻的连接,与手动定制布局设计相比,这种方式显著提高了设计效率。

本文中,我们使用单位电阻值为 15 kΩ, 一组 16 个电阻来实现多相位 FIR 滤波器的系数。这些电阻涵盖了从 0.937 5 kΩ 至 240 kΩ 的任意值。本文实现的多相位 FIR 滤波器包含 4 个子 FIR 滤波器,每个滤波器有 80 个抽头。因此,共有 320 个 FIR 滤波器系数(电阻值)。由于每个系数是由 16 个单元电阻构成,共需要 5 120 个单元电阻。对于如此庞大的电阻阵列,我们采用了电路设计工具自动布局布线功能来实现,相比采用手动布局连线的实现方式节省了大量的设计时间和工作量。

### 2.4 连续过零检测模块设计

本文采用高增益放大器来实现过零检测器(Zero-Crossing Detector, ZCD)电路。传统的过零检测电路一般通过电流模式逻辑(Current Mode Logic, CML)来实现<sup>[8]</sup>。CML 方案的特点是采用一级或多级的前置放大电路对输入信号进行放大,以获得较高的增益,这种架构所消耗电路的功耗和面积都较大。如图 10 所示,与传统的 CML 架构不同,本文提出了一种不通过多级前置放大就能获得高增益的自偏置差分过零检测电路。 $M_1$  和  $M_4$ ,  $M_3$  和  $M_6$  分别构成了差分输入端的共模反馈通路,以此将输出电压的直流分量设置在合适大小。假设图 10 所示所有的 PMOS 管尺寸相同,所有的 NMOS 管尺寸相同,此过零检测电路的增益可估算为

$$G = \frac{3}{2} \cdot (g_{mP} + g_{mN}) \cdot (r_{oP} \parallel r_{oN}) \quad (9)$$

其中,  $g_{mP}$  和  $g_{mN}$  分别是输入端 PMOS 管  $M_2$  和  $M_4$ , 以及 NMOS 管  $M_5$  和  $M_7$  的跨导;  $r_{oP}$  和  $r_{oN}$  分别为 PMOS 管  $M_2$  和  $M_4$ , 以及 NMOS 管  $M_5$  和  $M_7$  的输出电阻。

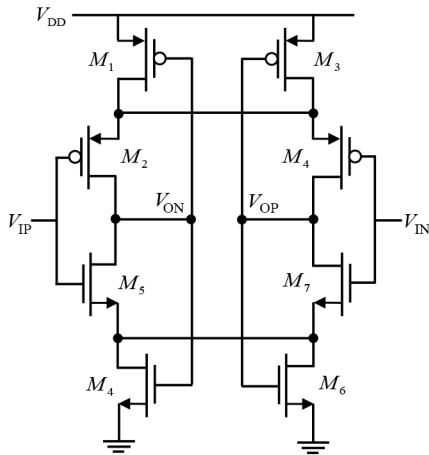


图 10 本文所采用的过零检测电路

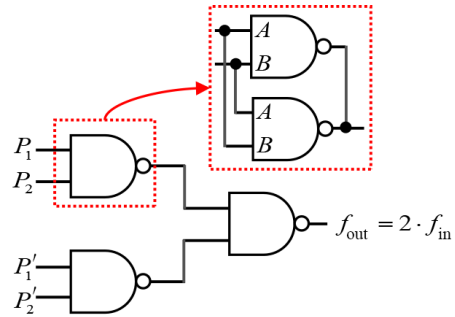


图 11 本文所采用的边沿合成电路

### 2.5 边沿合成模块设计

本文采用逻辑门电路实现边沿合成功能。如图 11 所示,其中  $P_1$  和  $P'_1$ ,  $P_2$  和  $P'_2$  是两组频率均为  $f_{in}$  的正交信号。由于传统与非门中串联连接的 NMOS 晶体管中存在体效应(body effects),经过边沿合成器时钟信号的下降沿在不同输入模式下不匹配,这将导致输出时钟信号存在一定的系统误差。针对这一问题,如图 11 虚线框中所示,本文在原有与非门的基础上并联了一个电路参数相同但输入端口交换的与非门,这种连接方式将实现边沿合成器电路在时钟信号上升沿和下降沿均能够良好匹配。

### 2.6 任意整数倍频的实现

虽然本文提出的时钟倍频电路设计为实现固定 5 倍频输出功能,但通过对模拟 FIR 滤波器模块、无源子相位信号产生模块输出信号的选择,以及边沿合成模块合成时钟信号边沿的控制,本倍频器可实现设计最大倍频倍数范围内任意整数倍频功能。如图 12 所示,任意倍数倍频器在图 1 固定倍数倍频器的基础上引入了初级相位信号选择器 MUX1、子相位信号选择器 MUX2、可编程边沿合成模块(Programmable Edge Compound, PEC),以及倍频控制逻辑模块。倍频控制逻辑模块将根据倍数设定输出数字控制信号,使 MUX1 和 MUX2 选择特定的初级相位信号和子相位信号,并同时控制 PEC 模块合成特定时钟信号边沿,以此实现在最高 M 倍频范围内任意 2 至 M 整数倍频功能。

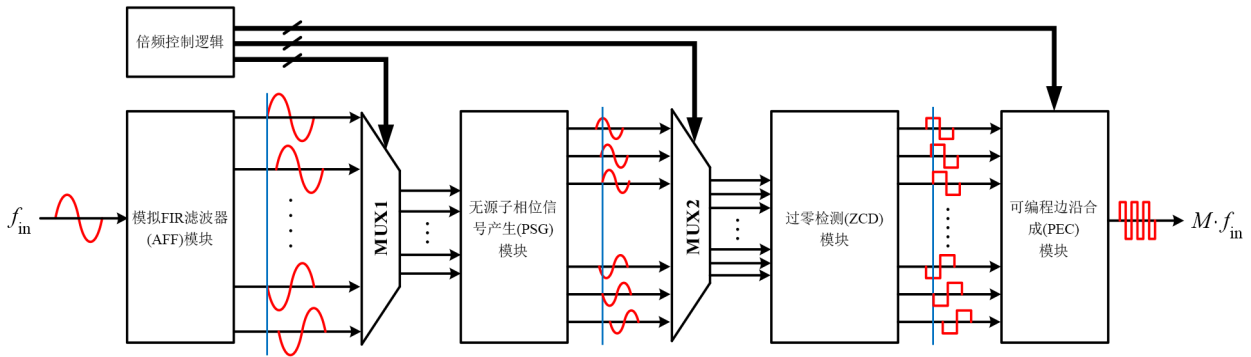


图 12 任意整数倍频器架构图

### 3 测试结果

本文提出的时钟倍频器电路原型已在 SMIC 0.18  $\mu\text{m}$  数字 CMOS 工艺中实现,显微照片如图 13 所示,芯片尺寸为  $590 \mu\text{m} \times 240 \mu\text{m}$ 。图 14 展示了时钟倍频器的测试设置,倍频器电路模块由芯片内部 RC 压控振荡器(Voltage Controlled Oscillator, VCO)提供输入信号,通过数据选择器和驱动电路输出至 DSA90804A 高性能示波器进行频率、抖动等相关性能参数测量,VCO 产生的时钟信号也可通过数据选择器和驱动电路直接

输出至测试设备进行性能评估。时钟倍频器的输入与输出时钟信号波形对比如图 15(a)所示,其中输入时钟频率为 32 MHz,输出时钟频率为 160 MHz,实现了所设计的 5 倍频功能。时钟倍频器锁定时间如图 15(b)所示,可以清楚地看到输出时钟的第一个边沿大约在输入时钟脉冲开始的 41 ns 后出现,对于 32 MHz 输入信号而言,大约为 1.3 个时钟周期。时钟倍频器的实测抖动性能如图 16 所示,由于片上 RC 压控振荡器抖动性能的限制,输入时钟抖动较大,为 43.6 ps,输出时钟抖动减

少到约 24.6 ps, 降低了约 6 dB. 可以看出, 本文提出的倍频电路能够有效降低输入时钟信号的抖动. 不同 VCO 频率下倍频器抖动性能参数总结如表 2 所示, 可以看出, 在 VCO 振荡频段内倍频器锁定时间相同. 在 22 MHz 以下低频段, 由于 VCO 抖动性能的限制, 倍频器输出信号抖动相对较高.

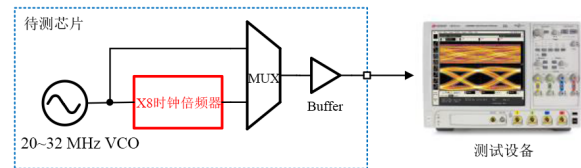


图 14 时钟倍频器测试设置图

表 3 给出了本文提出的倍频电路与不同相位插值时钟倍频器性能对比<sup>[8,9,12,15-17]</sup>. 其中, 文献[12]、文献[15]对应的所有性能数据为版图后仿真结果, 文献[15]、文献[17]输出时钟抖动数据是根据其相位噪声图进行估计得到, 本文提出的时钟倍频电路功耗为 1.2 V 电压下测得, 且不包括 VCO 功耗. 由表 3 数据可以看出, 综合对比工艺成本、功耗、面积、锁定时间以及输出时钟抖动等各参数性能, 本文提出的时钟倍频电路均具有一定优势.

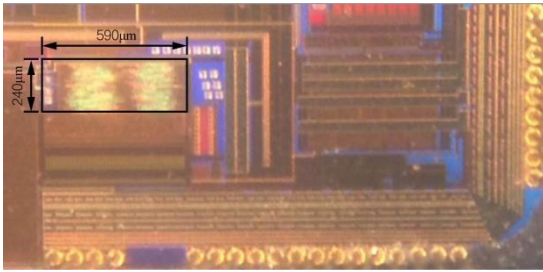
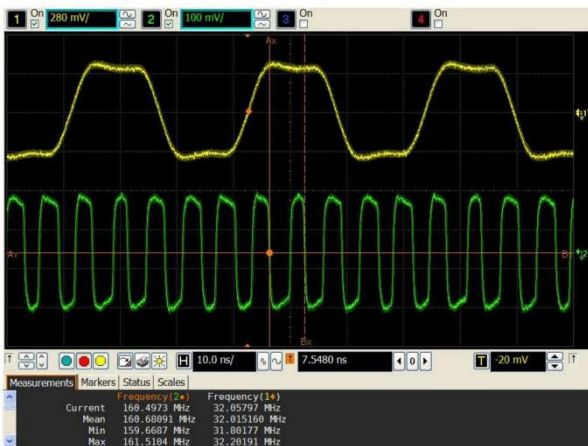
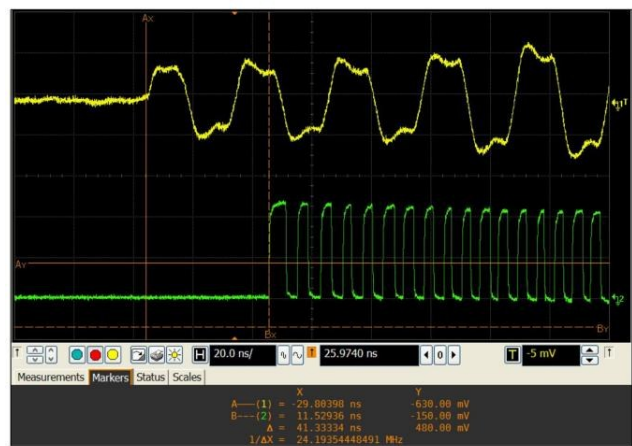


图 13 时钟倍频器芯片显微图

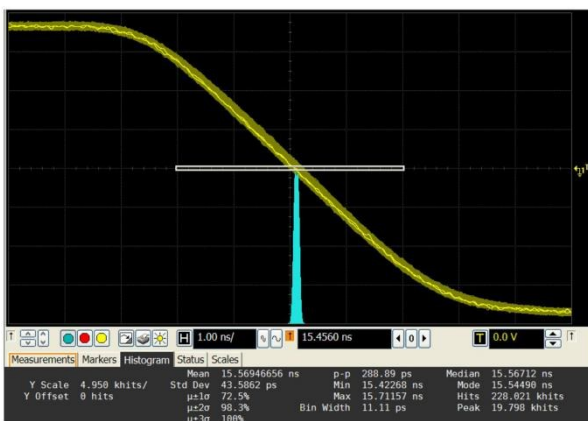


(a) 实测输入与输出时钟信号对比图

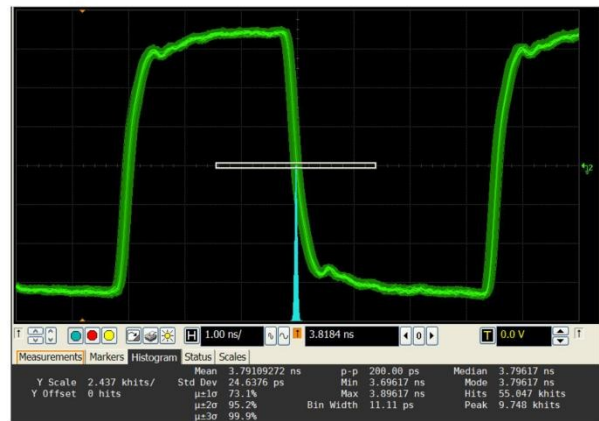


(b) 实测输出时钟锁定时间

图 15 实测时钟倍频器输入与输出信号



(a) 实测输入时钟信号抖动分布



(b) 实测输出时钟信号抖动分布

图 16 实测时钟倍频器输入与输出抖动分布

表 2 不同 VCO 频率下倍频器输出时钟抖动性能比较

输入时钟频率/MHz	输出时钟频率/MHz	锁定时间/输入时钟周期	输入时钟抖动/ps	输出时钟抖动/ps
20	100	1.3	58.3	32.1
22	110	1.3	49.1	25.2
24	120	1.3	39.4	23.6
26	130	1.3	40	22.7
28	140	1.3	47.2	22.8
30	150	1.3	45.5	23.2
32	160	1.3	43.6	24.6

表 3 不同相位插值时钟倍频器性能对比

对比文献	输入时钟频率/MHz	输出时钟频率/MHz	锁定时间/输入时钟周期	工艺尺寸/nm	工作电压/V	面积/mm <sup>2</sup>	功耗/mW	输入时钟抖动/ps	输出时钟抖动/ps
文献[8]	78	156~622	1.3	250	2.5	0.14	15	3 689	289
文献[9]	25	200	—	130	1.5	0.49	16.4	—	2.4
文献[12]	312.5	2 500~5 000	—	65	1.2	0.03	4.3~9.4	—	0.34@5 GHz
文献[15]	624	4 992	2.5	65	1	0.01	8.1	—	1.14@5 GHz
文献[16]	125	2 500~5 750	1 250	65	0.97~1	0.09	5.3	—	0.34@5 GHz
文献[17]	81	5 200	—	16	0.8	0.004	0.2	—	0.31@5 GHz
本文	32	160	1.5	180	1.2~1.8	0.14	3.2	43.6	24

## 4 结论

本文设计研发了一种不依靠 DLL 与 PLL 的时钟倍频器电路,并对时钟倍频器电路的各个模块的设计进行了详细的讨论与分析.本文设计的时钟倍频器通过 FIR 滤波器产生初级相位信号,并引入由 5 个电阻构成的网络用于生成任意子相位信号,在实现倍频功能的同时还降低了输入时钟信号的抖动.本文同时提出了一种采用单元电阻实现特定电阻值的串并联算法,能够有效减少设计工作量,缩短设计时间,并使上述 FIR 滤波器模块和子相位信号生成模块精准匹配,生成准确可靠的初级相位和子相位信号.本文设计的时钟倍频器芯片采用 0.18  $\mu\text{m}$  数字 CMOS 工艺实现,时钟倍频器实现了 32 MHz 输入时钟信号 5 倍频,同时将输入时钟抖动降低 6 dB,并且能够在 1.3 个时钟周期产生稳定的倍频时钟信号.相比传统的倍频器解决方案,本文提出的时钟倍频器电路采用数字电路的设计方式,充分利用 EDA 软件实现设计自动化,不仅在功耗和面积上优势明显,易于在不同工艺间进行迁移,也明显降低了时钟倍频器的设计工作量,缩短了上市时间,为时钟倍频器的设计提供了新思路,具有广阔的应用前景.

### 参考文献

- [1] FAN Y P, YOUNG I A. Low power clock generator design with CMOS signaling[J]. IEEE Open Journal of the Solid-State Circuits Society, 2021, 1: 162-170.
- [2] KUNDU S, CHAI L K, CHANDRASHEKAR K, et al. A self-calibrated 2-bit time-period comparator-based synthesized fractional-N MDLL in 22-nm FinFET CMOS[J]. IEEE Journal of Solid-State Circuits, 2021, 56(1): 43-54.
- [3] SHIN D, KIM H S, LIU C C, et al. 11.5 A 23.9-to-29.4GHz digital LC-PLL with a coupled frequency doubler for wireline applications in 10nm FinFET[C]//2021 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2021: 188-190.
- [4] 吴金, 张有志, 赵荣琦, 等. 一种应用于 TDC 的低抖动延迟锁相环电路设计[J]. 电子学报, 2017, 45(2): 452-458.  
WU J, ZHANG Y Z, ZHAO R Q, et al. Design of a low jitter delay locked loop for TDC[J]. Acta Electronica Sinica, 2017, 45(2): 452-458. (in Chinese)
- [5] BERTULESSI L, KARMAN S, CHERNIAK D, et al. A 30-GHz digital sub-sampling fractional-N PLL with -238.6-dB jitter-power figure of merit in 65-nm LP CMOS [J]. IEEE Journal of Solid-State Circuits, 2019, 54(12): 3493-3502.
- [6] 吴金, 孙亚伟, 彭杰, 等. 一种应用于阵列 TDC 的低抖动锁相环设计[J]. 电子学报, 2020, 48(9): 1703-1710.  
WU J, SUN Y W, PENG J, et al. Design of a low jitter phase locked loop for array TDC[J]. Acta Electronica Sini-

- ca, 2020, 48(9): 1703-1710. (in Chinese)
- [7] SHIN D, KIM H S, LIU C C, et al. A fractional-N digital LC-PLL using coupled frequency doubler with frequency-tracking loop for wireline applications[J]. IEEE Journal of Solid-State Circuits, 2022, 57(6): 1736-1748.
- [8] SAEKI T, MITSUISHI M, IWAKI H, et al. A 1.3-cycle lock time, non-PLL/DLL clock multiplier based on direct clock cycle interpolation for "clock on demand"[J]. IEEE Journal of Solid-State Circuits, 2000, 35(11): 1581-1590.
- [9] YIN J K, CHAN P K. A low-jitter polyphase-filter-based frequency multiplier with phase error calibration[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2008, 55(7): 663-667.
- [10] BEN-BASSAT A, GROSS S, LANE A, et al. A fully integrated 27-dBm dual-band all-digital polar transmitter supporting 160 MHz for Wi-Fi 6 applications[J]. IEEE Journal of Solid-State Circuits, 2020, 55(12): 3414-3425.
- [11] PALASKAS Y, MADOGLIO P, ANGEL J, et al. A cellular multiband DTC-based digital polar transmitter with -153 dBc/hz noise in 14-nm FinFET[J]. IEEE Solid-State Circuits Letters, 2019, 2(9): 179-182.
- [12] GAUTAM R, BANDARUPALLI J D, SAXENA S. A 2.5-5GHz injection-locked clock multiplier with embedded phase interpolator in 65nm CMOS[C]//2020 IEEE International Symposium on Circuits and Systems (ISCAS). Piscataway: IEEE, 2020: 1-5.
- [13] CHEN M S, HAFEZ A A, YANG C K K. A 0.1-1.5 GHz 8-bit inverter-based digital-to-phase converter using harmonic rejection[J]. IEEE Journal of Solid-State Circuits, 2013, 48(11): 2681-2692.
- [14] GAUTAM R, SAXENA S. A 1.12-1.91 mW/GHz 2.46-4.92 GHz cascaded clock multiplier in 65 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2022, 57(6): 1700-1711.
- [15] TSIMPOS A, DEMARTINOS A C, VLASSIS S, et al. A low-power frequency multiplier for multi-GHz applications[J]. IEEE Transactions on Emerging Topics in Computing, 2018, 6(2): 200-206.
- [16] ELKHOLY A, COOMBS D, NANDWANA R K, et al. A 2.5-5.75-GHz ring-based injection-locked clock multiplier with background-calibrated reference frequency doubler[J]. IEEE Journal of Solid-State Circuits, 2019, 54(7): 2049-2058.
- [17] JAKOBSSON A, SERBAN A, GONG S F. A low-noise RC-based phase interpolator in 16-nm CMOS[J]. IEEE Transactions on Circuits and Systems II: Express Briefs,

2019, 66(1): 1-5.

#### 作者简介



曾兆权 男,1990年出生,新疆石河子人.石河子大学机械电气工程学院讲师.主要研究方向为电路系统设计.

E-mail: zhaquan\_zeng@shzu.edu.cn



张岭(通讯作者) 男,1986年出生,湖北武汉人.2015年获华中科技大学微电子学与固体电子学专业博士学位.现为石河子大学副教授.主要研究方向为信息功能材料与器件.

E-mail: shzu\_zhl0410@tom.com