

# 基于一种 NAND 闪存页缓存器设计的 C/F 读取算法研究

陈珂<sup>1,2</sup>, 杜智超<sup>2,3</sup>, 叶松<sup>1</sup>, 王颀<sup>2,3</sup>, 霍宗亮<sup>2,3</sup>

(1. 成都信息工程大学通信工程学院, 四川成都 610225; 2. 中国科学院微电子研究所, 北京 100029;  
3. 中国科学院大学微电子学院, 北京 100029)

**摘要:** 为减小共源线噪声对 NAND 闪存读可靠性的影响, 设计了一种可实现 C/F (Coarse/Fine) 读取操作的页缓存器电路, 并设计实现了适用于此电路的 C/F 读取算法, 显著减小了共源线噪声. 该算法通过两次子读感应读取存储单元, 在第一次子读感应中分辨出阈值电压较低的存储单元并标记在页缓存器中, 使其不再进行第二次子读感应, 从而减小共源线噪声引起的阈值偏移. 电路仿真计算表明, 该支持 C/F 读取算法的页缓存器结构能够减小阈值偏移至少 495.6mV, 有效提高了 NAND 闪存读操作的精确性.

**关键词:** NAND 闪存; 多值存储单元; 页缓存器; Coarse/Fine 读取算法; 读可靠性

**中图分类号:** TP333.5+2 **文献标识码:** A **文章编号:** 0372-2112(2018)11-2619-07

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.3969/j.issn.0372-2112.2018.11.008

## Research on Coarse/Fine Read Algorithm Based on a NAND Flash Page Buffer Design

CHEN Ke<sup>1,2</sup>, DU Zhi-chao<sup>2,3</sup>, YE Song<sup>1</sup>, WANG Qi<sup>2,3</sup>, HUO Zong-liang<sup>2,3</sup>

(1. College of Communication Engineering, Chengdu University of Information Technology, Sichuan, chengdu 610225, China;

2. Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China;

3. School of Microelectronics, University of Chinese Academy of Sciences, Beijing 100029, China)

**Abstract:** To reduce the effect of the common source line noise in read operation of NAND Flash Memory, a page buffer circuit which can realize the coarse/fine read operation is proposed and a C/F read algorithm suitable for the page buffer circuit is introduced and implemented which can reduce the common source line noise significantly. There are two sub-read operations in the algorithm, the purpose of the first sub-read operation is to distinguish the cells with lower threshold voltage and mark them in page buffer circuit. These cells are no longer sensed in the second sub-read operation. As a result, the threshold voltage shift caused by the common source line noise is suppressed. The circuit simulation results show that the page buffer structure which supports the C/F read algorithm can reduce the shift of the threshold distribution more than 495.6mV and the read accuracy of NAND Flash Memory is greatly improved.

**Key words:** NAND flash memory; multi-level cell; page buffer; coarse/fine read algorithm; read reliability

## 1 引言

NAND 闪存是一种非易失性存储设备, 具有容量大、体积小、功耗低等优点, 自 1989 年东芝公司首次提出 NAND 闪存以后, 被广泛地应用于各种存储卡、电子设备、固态硬盘(SSD)之中. 在便携式设备存储容量不断增加的推动下, NAND 闪存的市场需求也越来越

强劲<sup>[1]</sup>.

在 NAND 闪存的设计中, 性能、功耗和面积是三个重要的评估指标, 其中性能和面积都与页缓存器(Page Buffer)有重要联系. 页缓存器是 NAND 闪存的核心部分, 它的结构及其相应的算法实现了对 NAND 闪存的编程、读、擦除等操作. 读操作的基本原理是在一定的字线电压下, 通过感应 NAND 存储串(NAND String)的电

流大小判断存储单元的阈值分布. 读操作的最小单位为页 (Page), 对于页容量为 16KByte 的芯片, 读操作时流经共源线的电流可高达几十毫安, 并在共源线上产生电压降, 称该电压为共源线噪声. 共源线噪声不仅使阈值分布右移, 还会造成阈值分布展宽, 导致读裕度减小<sup>[2-4]</sup>. 读裕度为验证电压与读取电压的差值  $V_{RM} = V_{VFY} - V_{READ}$ , 共源线噪声的影响使读裕度变为  $V_{RM} = V_{VFY} - V_{READ} - \Delta V_{SL}$ <sup>[2]</sup> ( $\Delta V_{SL}$  为共源线噪声). NAND 闪存的读误码率与数据保持时间和编程/擦除次数 (P/E Cycle) 的关系如图 1 所示<sup>[5]</sup>, 随着数据保持时间或编程/擦除次数的增加, 浮栅中电荷损失导致阈值发生漂移, 致使读裕度减小造成读操作误码. 另一方面, 随着存储状态的增多和存储阵列的扩大, 共源线噪声越来越大, 读裕度越来越小. 因此, 研究减小共源线噪声的方法对提升 NAND 闪存的读可靠度 (读操作的正确率) 具有重要意义.

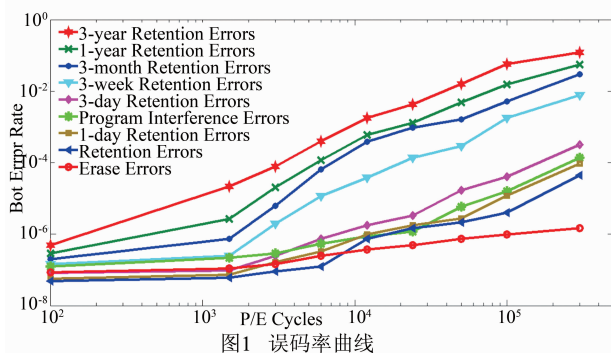


图1 误码率曲线

分次读取<sup>[6]</sup>是一种可以减小共源线噪声的方法. 分次读取包括多次子读感应, 子读感应的次数越多, 共源线噪声造成的影响越小. 本文根据其原理设计了一种新型的页缓存器结构, 并设计实现了适用于此结构的多比特 NAND 闪存的 C/F 读取算法.

## 2 NAND 闪存读操作及多次读取

### 2.1 NAND 闪存读操作

图 2 为读取原理示意图, NAND 闪存的存储单元串联成 NAND 存储串, 其一端连接到共源线, 另一端通过位线 BL (Bit Line) 连接到页缓存器 (PB). 读取操作首先进行初始化,  $C_{SO}$  被预充至高电平  $V_{DD}$ , 位线 BL 被预充至  $V_{BL}$ , 然后在字线上施加读电压. NAND 存储串有导通和弱导通两种状态, 当阈值电压小于读电压时, NAND 存储串导通; 反之为弱导通, 因该状态下存在漏电流. 若采用 ABL (All Bit Line)<sup>[7]</sup> 的读取方式, 导通的 NAND 存储串会对电容  $C_{SO}$  放电, 通过在一定的时间内感应 SO 点电压即可判断阈值电压的分布. 假设判断 NAND 存储串为导通态的最小电流  $I_{ON} = 50\text{nA}$ , 电容  $C_{SO} = 2\text{fF}$ ,  $V_{SO}$  下降 1V 就可触发后续放大电路, 则  $C_{SO}$  放电

时间为  $T_{ON} = C * U / I_{ON} = 0.056\mu\text{s}$ ; 同理可得 NAND 存储串为弱导通态的放电时间  $T_{OFF} = 0.28\mu\text{s}$ , 感应时间满足该区间即可判断存储单元的阈值分布, 此处取感应时间为  $T = 0.15\mu\text{s}$ .

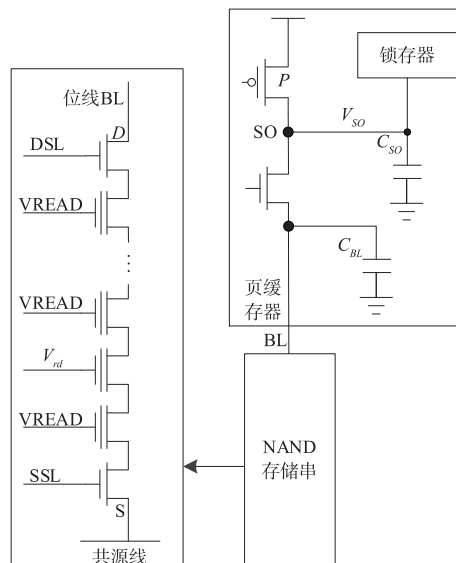


图2 NAND存储串和读取操作

对于页大小为 16KByte 的 MLC (Multi-Level Cell) NAND 闪存芯片, 假设存储单元平均分布于四个阈值区间, 阈值分布服从  $\sigma = 0.15$  正态分布, 共源线电阻为  $20\Omega$ , 阈值偏移是共源线噪声的 3 倍<sup>[8]</sup>. 以第一次读取为例 (阈值分布服从正态分布  $\mu = -0.8, \sigma = 0.15$ ), 读取的操作电压为  $V_{rd1} = 0\text{V}$ , 根据存储单元的  $I-V$  曲线, 读取操作中 NAND 存储串的平均导通电流为  $300\text{nA}$ , 那么流经共源线的平均电流  $I_{RD,av} = 4\text{KBytes} * 300\text{nA} \approx 9.83\text{mA}$ , 读取操作产生的共源线噪声  $V_{SL,rd}$  和产生的阈值偏移  $\Delta V_{TH,rd}$  分别如下:

$$V_{SL,rd} = 4\text{KBytes} * 300\text{nA} * 20\Omega \approx 196.6\text{mV} \quad (1)$$

$$\Delta V_{TH,rd} = 3 * V_{SL,rd} = 589.8\text{mV} \quad (2)$$

阈值偏移的影响如图 3 所示, 由正态分布的概率函数可得, 共源线噪声造成的读错误率是 8.06%. 现 ECC 纠错的最大位数为 70bit/KByte, 即 0.85%, 远远小于读错误的位数, ECC 纠错远远不足, 经计算仍然存在

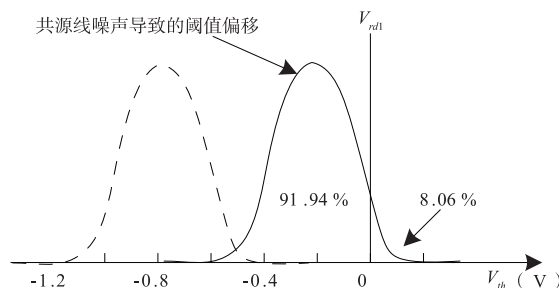


图3 共源线噪声的影响



化页缓存器单元的值,进行第一次子读操作,并由页缓存器控制逻辑运算得到第一次子读结果.然后进行第二次子读操作,对于阈值电压小于第一次子读电压的存储单元,其阈值电压必定小于第二次子读电压,因此页缓存器将其连接的BL偏置为GND,C/F读取操作结束;若存储单元的阈值电压大于第一次子读电压,页缓存器控制BL电压进行第二次子读操作,并通过一定的逻辑运算得到C/F读取结果.

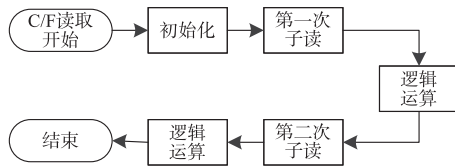


图6 C/F读取算法流程

C/F读取算法也可应用于其他的页缓存器结构.如文献[2]中提到的几种页缓存器结构,但是如要实现C/F读取算法,须对页缓存器电路作适当的改进.

### 3.2.2 MSB位C/F读取具体操作

MSB位C/F读取操作的两次子读电压分别为 $V_{rd2_c}$ 和 $V_{rd2_f}$ ,阈值分布被分为三个区间: $V_{TH} < V_{rd2_c}$ ,  $V_{rd2_c} < V_{TH} < V_{rd2_f}$ ,  $V_{TH} > V_{rd2_f}$ ,每个区间对应的操作结果如表2所示,S和L分别表示页缓存器中锁存器L1和L2的值.适用于此页缓存器电路的算法流程及操作如下:

(1)初始化:通过控制信号 $P$ 、 $R_S$ 和 $S_L$ 初始化锁存器L1和L2,令“ $SO = 1, S = 0, L = 1$ ”,“0”表示低电平,“1”表示高电平.

(2)第一次子读操作:首先对全部的BL预充电至 $V_{BL}$ ,同时在该存储单元所在的WL上施加子读电压 $V_{rd2_c}$ .控制信号 $S_S$ 置为高电平,锁存器L1的值随驱动

信号发生变化,然后通过异或逻辑 $L = L \oplus S$ 将结果锁存至L2,“ $S = 011$ ”表示上述三个区间的第一次子读结果.

(3)第二次子读操作:令“ $P_S = 1, SO_D = 1$ ”,此时若“ $S = 0$ ”( $V_{TH} < V_{rd2_c}$ ),BL偏置为GND;若“ $S = 1$ ”( $V_{TH} > V_{rd2_c}$ ),BL再一次被预充电至 $V_{BL}$ ,然后判断存储单元的阈值电压是否通过第二次子读电压.最后通过逻辑运算得到结果.

表2 MSB C/F读真值表

operation	$V_{TH} < V_{rd2_c}$		$V_{rd2_c} < V_{TH} < V_{rd2_f}$		$V_{TH} > V_{rd2_f}$	
	S	L	S	L	S	L
Initial	0	1	0	1	0	1
Coarse Read	0	1	1	1	1	1
Logical Transfer	0	1	1	0	1	0
Fine Read	0	1	1	0	0	0
Logical Transfer	0	1	1	1	0	0

### 3.2.3 LSB位C/F读取操作

LSB位的C/F读取需要按顺序执行两次,其操作电压分别为 $V_{rd1_c}/V_{rd1_f}$ 和 $V_{rd3_c}/V_{rd3_f}$ .阈值分布被划为五个区间: $V_{TH} < V_{rd1_c}$ ,  $V_{rd1_c} < V_{TH} < V_{rd1_f}$ ,  $V_{rd1_f} < V_{TH} < V_{rd3_c}$ ,  $V_{rd3_c} < V_{TH} < V_{rd3_f}$ ,  $V_{TH} > V_{rd3_f}$ .除WL上施加的子读电压不同,LSB位的第一次C/F读取与MSB位C/F读取相同,此处不再赘述.

LSB位第二次C/F读取操作存在如下差异:(1)初始化只需将L1重置为“0”,L2保持不变;(2)第二次子读后逻辑运算为 $L = \bar{S}$ .由MSB位C/F读取结果可知前两个区间的结果相同,该结果即LSB位C/F读取的最终结果,故将其合并为状态“E”.表3列出了LSB位第二次C/F读取的真值表.

表3 LSB位C/F读真值表

Operation	$V_{TH}$		$V_{rd1_f} < V_{TH} < V_{rd3_c}$		$V_{rd3_c} < V_{TH} < V_{rd3_f}$		$V_{TH} > V_{rd3_f}$	
	S	L	S	L	S	L	S	L
Initial	0	1	0	0	0	0	0	0
Coarse Read	0	1	0	0	1	0	1	0
Logical Transfer	0	1	0	0	1	1	1	1
Fine Read	0	1	0	0	1	1	0	1
Logical Transfer	0	1	0	0	1	0	0	1

## 4 电路仿真

基于此页缓存器结构本文采用中芯国际0.13 $\mu\text{m}$ 的工艺进行Spectre仿真,对提出的页缓存器结构施加满足时间约束的激励,验证其C/F读取算法的可行性.仿真电路中用到的参数如下:位线预充电电压为 $V_{BL} = 1.0 \sim 1.2\text{V}$ ,控制信号的脉冲持续时间为50ns,位线电

容 $C_{BL} = 3\text{pF}$ .

MSB位C/F读取仿真结果如图7所示. $V(BLx)$ 和 $V(SOx)$ ( $x = 1, 2, 3$ )分别表示 $V_{TH} < V_{rd2_c}$ ,  $V_{rd2_c} < V_{TH} < V_{rd2_f}$ ,  $V_{TH} > V_{rd2_f}$ 区间的位线和SO点电压.以区间 $V_{rd2_c} < V_{TH} < V_{rd2_f}$ 为例,当在WL上施加子读电压 $V_{rd2_c}$ 时,NAND存储串弱导通, $V(SO2)$ 为高电平(图7中9.3 $\mu\text{s}$ 处).当 $S_S$ 偏置为高电平时,驱动锁存器

L1 的值  $V(S2)$  由初始化值“0”翻转为“1”;当在 WL 上施加子读电压  $V_{rd2}$  时,NAND 存储串导通, $C_{so}$  被放电(13.9 $\mu$ s 处),SO 点电压  $V(SO2)$  降低不足以驱动锁存器 L1 翻转, $V(S2)$  保持不变.其他两个区间的分析与上述同理.图 8 为 LSB 位 C/F 读取仿真结果,与上述表示方法相同.每一步对应的锁存器数据与真值

表完全对应.

综和仿真结果证明该页缓存器结构能够实现 C/F 读取算法.与传统读操作相比,C/F 读取操作增加了第二次子读所需的时间,如图 7 所示,仿真时间为 14 $\mu$ s (0.5 $\mu$ s - 14.5 $\mu$ s),传统读操作仿真时间为 10 $\mu$ s (0.5 $\mu$ s - 10.5 $\mu$ s),时间开销增加了 40%.

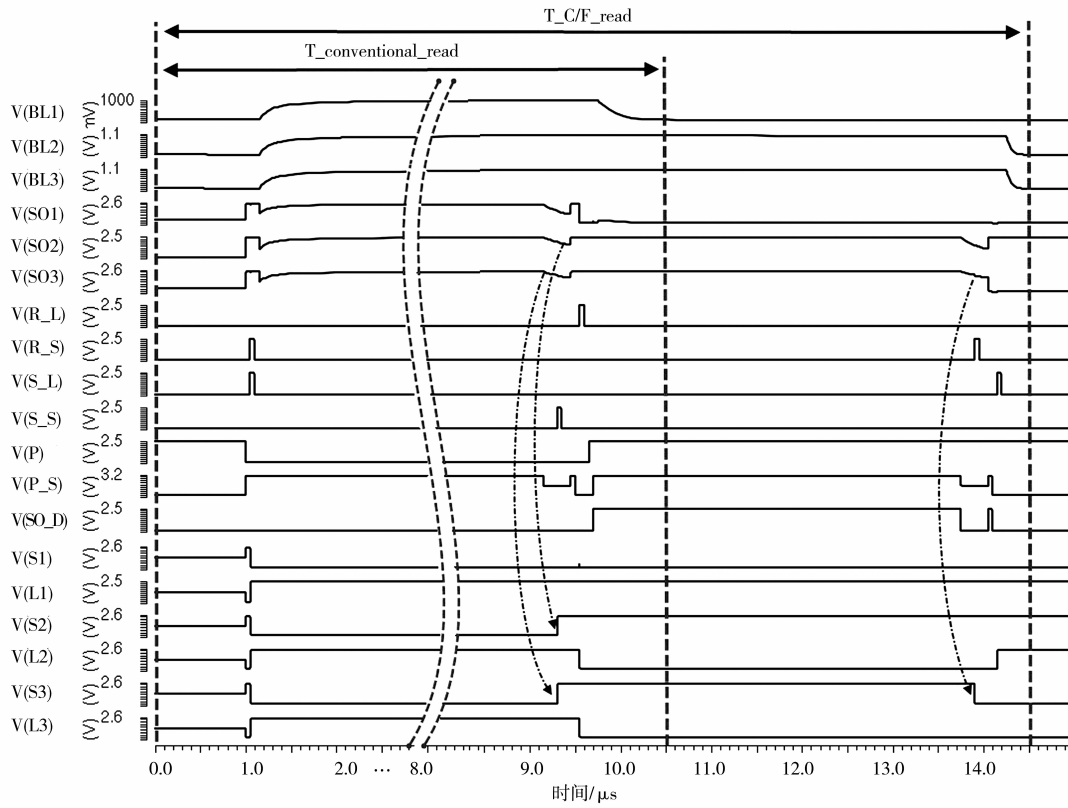


图7 MSB位C/F读取仿真时序

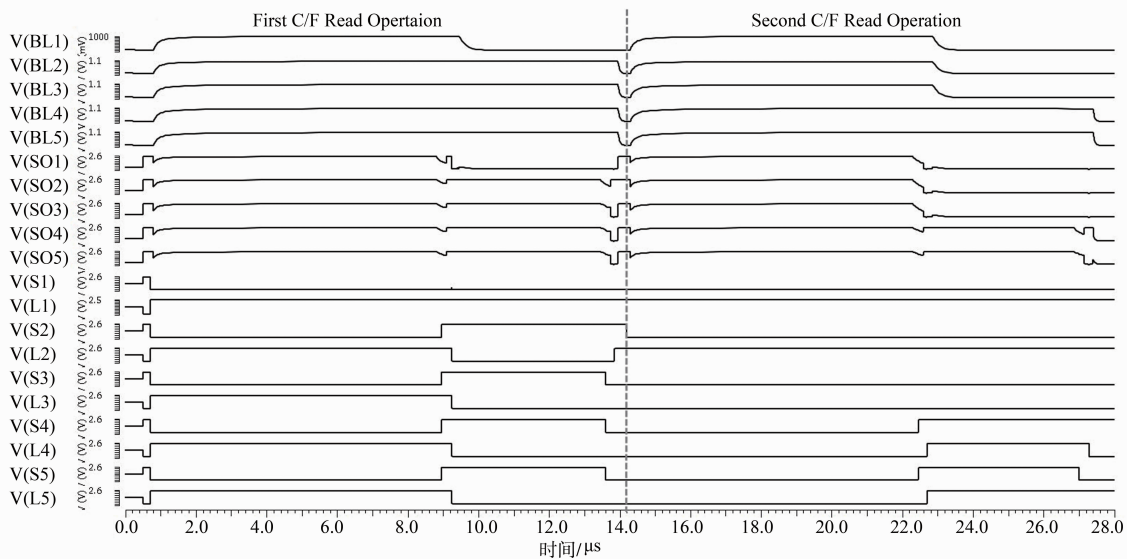


图8 LSB位C/F读取仿真时序

## 5 性能分析

针对此页缓存器电路及其 C/F 读取算法进行共源线噪声分析. 第一次子读电压的取值范围可以通过计算得到, 第二次子读电压取为传统读电压. 以第一次读取操作为例, 假设第一次子读电压取值为  $x$ , 取值范围为  $x_1 < x < x_2$ , 根据正态分布函数可得两次子读操作引起的阈值偏移分别为:

$$S_1(x) = 4\text{KBytes} * 300\text{nA} * 20\Omega * 3 * F(x) \quad (3)$$

$$S_2(x) = 4\text{KBytes} * 300\text{nA} * 20\Omega * 3 * [1 - F(x)] \quad (4)$$

$F(x)$  为正态分布的分布函数, 为使错误率为 0, 第一次子读产生的阈值偏移需小于两次子读电压的差值, 第二次子读产生的阈值偏移需不小于全概率, 即需满足以下条件:

$$\begin{cases} S_1(x) < 0 - x \\ F[0 - S_2(x)] \geq 1 \end{cases} \quad (5)$$

可求得  $x_1 = -0.9176$ ,  $x_2 = -0.5582$ . 第一次子读电压取值满足该区间即可使读错误率的理论值为 0. 此处选取第一次子读电压  $V_{rd1_c} = -0.65$ , 三次 C/F 读取操作的电压取值如表 4 所示. 由正态分布函数可知, 该存储状态 84% 的存储单元位于  $V_{rd1_c}$  左侧, 16% 的存储单元位于  $V_{rd1_c}$  和  $V_{rd1_f}$  之间. C/F 读取算法第一次子读操作产生的阈值偏移小于两次子读电压的差值, 因此只有第二次子读操作产生的共源线噪声影响读取结果, C/F 读取操作的共源线噪声  $V_{SL_{cf}}$  和阈值偏移  $\Delta V_{th_{cf}}$  分别为:

$$V_{SL_{cf}} = 4\text{KBytes} * 16\% * 300\text{nA} * 20\Omega \approx 31.4\text{mV} \quad (6)$$

$$\Delta V_{th_{cf}} = 3 * V_{SL_{cf}} = 94.2\text{mV} \quad (7)$$

表 4 C/F 读取操作的电压取值

传统读取电压	Value (V)	C/F 读取电压	Value (V)
		$V_{rd1_c}$	-0.65
$V_{rd1}$	0	$V_{rd1_f}$	0
		$V_{rd2_c}$	0.95
$V_{rd2}$	1.6	$V_{rd2_f}$	1.6
		$V_{rd3_c}$	2.55
$V_{rd3}$	3.2	$V_{rd3_f}$	3.2

阈值偏移的影响如图 9 所示. 经计算, C/F 读取算法的读错误率为 0%. 而普通读取操作读错误率为 8.06%. 由此可见, C/F 读取算法大大提高了 NAND 闪存读可靠度.

同理, 可计算得到第二次和第三次读取、C/F 读取

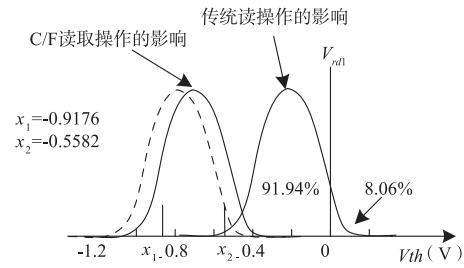


图 9 C/F 读取与传统读取方式对比

操作的共源线噪声及其引起的读错误率. 计算结果如表 5 所示, 随着读取电压的增大, 传统读取方式产生的共源线噪声越来越大, 引起的错误率也显然上升; 而应用 C/F 读取算法产生的共源线噪声维持为 31.4mV, 错误率也维持为 0%. 由此可得, 读取电压越大, C/F 读取算法的性能越突出.

表 5 传统读取方式与 C/F 读取算法对比

No. Read	$V_{SL_{rd}}/\text{BER}$	$V_{SL_{cf}}/\text{BER}$
First	196.6mV/8.06%	31.4mV/0%
Second	393.2mV/21.5%	31.4mV/0%
Third	589.8mV/33.3%	31.4mV/0%

## 6 总结

本文提出了一种新型页缓存器结构, 并设计实现了适用于此结构的 C/F 读取算法, 能够减小共源线噪声至少为 165.2mV, 减小阈值偏移电压至少为 495.6mV, 在 ECC 检纠错条件下能够将错误率从 7.2% 降低到 0%, 特别是在第二次和第三次读取操作中优势更为明显, 能够减小共源线噪声 361.8mV ~ 558.4mV. 另外, 该电路结构具有较大的灵活性, 既可以采用普通的读取模式, 也可以采用 C/F 读取模式. 同时, 该结构和算法也可应用于 TLC (Triple Level Cell) 和 3D NAND 闪存, 在大规模的电流感应读取操作时, C/F 读取算法能够有效减小共源线噪声, 提高读操作的精度和准确性. 随着存储单元阈值状态数的增多, C/F 读取算法将会有更大的应用空间.

### 参考文献

- [1] NAMHYUNG K, et al. Data flash market tracker [DB/OL]. <https://technology.ihs.com/344713/data-flash-market-tracker-q1-2012>, 2012-12-28.
- [2] MICHELONI R, et al. Inside NAND Flash Memories [M]. New York: Springer Dordrecht Heidelberg London New York, 2010. 20-24, 197-260.
- [3] MOMODOMI M, et al. An experimental 4-Mbit CMOS EEPROM with a NAND-structured cell [J]. IEEE Journal

- of Solid-State Circuits, 1989, 24: 1238 – 1243.
- [4] CERNEA R, et al. Non-volatile memory and method with control gate compensation for source line bias errors: US, US7499324-B2 [P]. 2009-03-03.
- [5] CAI Y, et al. Error patterns in MLC NAND flash memory: measurement, characterization, and analysis [A]. Design Automation and Test in Europe Conference and Exhibition [C]. New York: IEEE, 345 E 47TH ST, 2012. 521 – 526.
- [6] SHIM D, et al. Nonvolatile memory device, Memory system comprising same, And method of operating same: US, US8861276-B2 [P]. 2014-10-14.
- [7] CERNEA R. LI Y. Non-volatile memory and method with reduced neighboring field errors: US, US7239551-B2 [P]. 2007-07-03.
- [8] SEKAR D C, et al. Non-volatile storage with compensation for source voltage drop: US, US7606072 – B2 [P]. 2009-10-20.
- [9] CRIPPA L, et al. Method of programming a multi-level memory device: US, US2014036588-A1 [P]. 2014-02-06.
- [10] CERNEA R, et al. Non-volatile memory and method with reduced bit line crosstalk errors: US, EP1543521 – B1 [P]. 2012-05-30.

## 作者简介



陈珂 女, 1992 年 7 月出生于山东潍坊, 成都信息工程大学硕士研究生, 现主要研究方向为 NAND 存储器页缓存器电路。

E-mail: ck920725@hotmail.com



杜智超 女, 1988 年 2 月出生于宁夏石嘴山, 中科院微电子所博士研究生, 现主要研究方向为 NAND 存储器件与集成技术。

E-mail: duzhichao@ime.ac.cn

霍宗亮 男, 1975 年出生于陕西, 中科院微电子所研究员, 博士生导师, 现研究方向为新型纳米存储器件与集成技术。

E-mail: huozongliang@ime.ac.cn