

# 基于机器学习的高效率集成电路 DFT 技术研究

蔡志匡<sup>1,2</sup>, 赵泽宇<sup>1</sup>, 杨 涵<sup>1</sup>, 王子轩<sup>1,2</sup>, 郭宇锋<sup>1,2</sup>

(1. 南京邮电大学集成电路科学与工程学院, 江苏南京 210023;  
2. 南京邮电大学射频集成与微组装技术国家地方联合工程实验室, 江苏南京 210023)

**摘 要:** 本文提出了一种基于机器学习的高效率集成电路可测性设计技术. 该技术以自动收集的数据作为训练集, 以决定系数为评价指标, 为每类目标参数选择出最佳预测模型, 并预测出基于不同配置参数的可测性设计结构所对应的目标参数, 最后使用最优配置推断技术, 以目标参数差值的加权和作为衡量指标, 输出最优的可测性设计配置参数. 实验数据表明, 针对可测性设计技术中最重要的测试覆盖率参数, 平均预测误差仅为 0.075 6%; 根据目标参数差值的加权和的最小值情况, 实现高效推断芯片可测性设计的最优配置参数. 该技术的预测效果具有高可靠性, 能够在保证高测试覆盖率的前提下, 有效减少测试成本和面积开销等.

**关键词:** 可测性设计; 测试压缩; 测试覆盖率; 测试时间; 机器学习

**基金项目:** 国家重点研发计划项目(No.2018YFB2202005); 国家自然科学基金(No.61974073, No.U22B2024)

**中图分类号:** TN47; TP181 **文献标识码:** A **文章编号:** 0372-2112(2023)12-3473-10

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.12263/DZXB.20220858

## Research on High-Efficiency Integrated Circuit DFT Technology Based on Machine Learning

CAI Zhi-kuang<sup>1,2</sup>, ZHAO Ze-yu<sup>1</sup>, YANG Han<sup>1</sup>, WANG Zi-xuan<sup>1,2</sup>, GUO Yu-feng<sup>1,2</sup>

(1. College of Integrated Circuit Science and Engineering, Nanjing University of Posts and  
Telecommunications, Nanjing, Jiangsu 210023, China;

2. National and Local Joint Engineering Laboratory of RF Integration and Micro-Assembly Technology,  
Nanjing University of Posts and Telecommunications, Nanjing, Jiangsu 210023, China)

**Abstract:** This paper proposes a high-efficiency design for test (DFT) technique for integrated circuits based on machine learning. The technology uses the automatically collected data as the training set and determination coefficient as the evaluation index, selects the best prediction model for each type of target parameters, and predicts the target parameters corresponding to the design for test structure based on different configuration parameters, and finally uses the optimal configuration. The inference technology uses the weighted sum of difference value of target parameters as a measure to output the optimal design for test configuration parameters. The experimental data shows that for the most important test coverage parameter in design for test technology, the average prediction error is only 0.075 6%; according to the minimum value of weighted sum of difference value of target parameters, the optimal configuration parameters of the design for test can be efficiently inferred. The prediction effect of this technology has high reliability, and can effectively reduce the test cost and area overhead on the premise of ensuring high test coverage.

**Key words:** design for test; test compression; test coverage; test time; machine learning

**Foundation Item(s):** National Key Research and Development Program of China (No.2018YFB2202005); National Natural Science Foundation of China (No.61974073, No.U22B2024)

## 1 引言

随着芯片规模的增加, 缺陷出现的可能性随之变大, 芯片测试具有更高的复杂度, 整个行业对芯片测试

提出了更高的要求<sup>[1,2]</sup>. 2016年国际半导体技术路线图认为: 解决芯片测试的关键问题是在保障高可靠测试目标的前提下, 尽可能降低测试成本<sup>[3]</sup>. 在可测性设计

(Design For Test, DFT)中<sup>[4-7]</sup>,非最优的配置参数可能会导致芯片的测试时间延长,测试覆盖率降低,很大程度上影响芯片的效率和可靠性.在传统的DFT流程中,参数的设置往往是由工程师的设计经验或反复调试来确定的.例如,扫描压缩比的设置,为了缩短测试时间通常选择较大的扫描压缩比,但是设置较大的扫描压缩比并不总是会减少测试时间,同时更高的扫描压缩比通常会增加面积开销.因此,在DFT环节中,如何对各个参数进行设置,如何在保证测试覆盖率的前提下,更好地去平衡测试时间、功耗、面积开销等指标成为一个非常值得研究的问题.

随着超大规模集成电路的大规模应用,数字电路的测试自动化变得越来越重要,近几年,随着机器学习的不断发展,研究人员逐渐将机器学习与DFT技术相结合<sup>[8-13]</sup>,国内外学者着重于研究针对可测性设计中某一目标参数去寻求最佳配置.2017年Z Li等人提出一种基于支持向量回归的模型<sup>[8]</sup>,参数输入包括扫描链输入输出端口的数量、扫描链长度、扫描链数量、多输入移位寄存器长度以及伪随机测试向量生成器PRPG(Pseudo Random Pattern Generation)长度,通过给不同PRPG长度的设计生成扫描压缩架构,在生成的扫描压缩架构上运行ATPG(Automatic Test Pattern Generation),得到测试报告,并将收集到的数据用于构建训练库,运用机器学习技术,最终得到预测模型,输出最佳PRPG长度.2019年Zorian等人提出基于一个有监督的机器学习推荐系统<sup>[9]</sup>,该系统以电路最佳运行时间为目的,考虑了最大扫描链长度和扫描链输入/输出端口的数量,预测最佳扫描压缩配置.通过提取机器学习模型所需的特征数据,包括扫描触发器、故障、逻辑门和时钟域数量以及静态和随机测试范围,将收集到的特征数据送入机器模型,通过迭代对收集到的特征数据进行评估,推断出最佳配置的扫描压缩配置.同年,C Wu等人提出一种基于深度神经网络DNN(Deep Neural Network)的机器学习的方法来进行压缩分析<sup>[10]</sup>,针对不同设计的测试压缩配置的各种设计来训练DNN,获得可用于快速预测新设计的不同配置的测试覆盖率和模式计数的DNN模型.为了构建可应用不同电路的DNN模型,提取影响测试覆盖率和数据量的设计特征,然后对有限数量的配置进行自动测试向量生成,选择最佳配置.本文所提出的技术不只局限于单一目标参数,将芯片的性能参数和测试参数同时作为目标参数,包括测试覆盖率、测试时间、面积、功耗与时序,通过从每个设计的不同压缩配置中收集数据,训练机器学习模型以获得所有配置的目标参数结果,从而推断出设计的最佳配置.

## 2 高效率集成电路DFT技术

在芯片测试中,理想的测试目标是较短的测试时间和高测试覆盖率.在DFT技术中,原始扫描链数量和扫描压缩比的设置往往是根据工程师的设计经验来确定,不同的配置参数可能会导致芯片的测试时间过长、测试覆盖率降低和面积开销过大等,影响芯片的效率和可靠性.因此,如何设置合适的原始扫描链数量和扫描链压缩比以保障DFT的最佳配置显得尤为重要.本文将芯片的测试参数与性能参数作为目标参数,分别是测试覆盖率、测试时间、面积、功耗和时序,通过预测和推断得到DFT技术中两个最佳配置参数,即原始扫描链数量和扫描压缩比的值.图1是基于机器学习的高效率集成电路DFT技术流程图,该技术由四个阶段实现,分别是数据收集阶段、选择最佳预测模型阶段、参数预测阶段和最佳配置推断阶段.

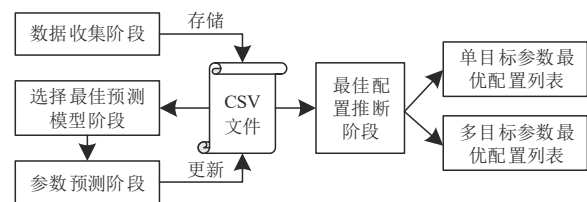


图1 基于机器学习的高效率集成电路DFT技术流程图

### 2.1 数据收集阶段

为了得到最佳的DFT配置参数,以保障芯片的低测试成本和高测试覆盖率等目标.本文所提出技术中的数据收集阶段需要对芯片电路进行DFT环境搭建,并收集设定不同配置参数时目标参数的运行结果,图2为数据收集阶段的流程图.

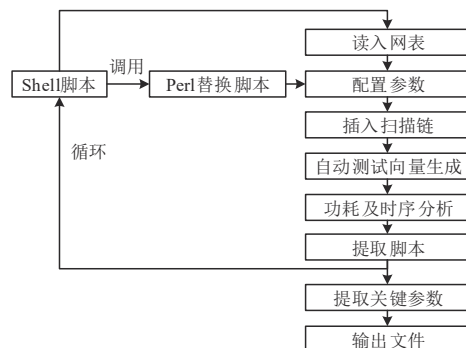


图2 数据收集阶段的流程图

数据收集阶段能够高效地自动收集不同配置参数的运行结果,即测试覆盖率、测试时间、面积、功耗和时序这五类目标参数.该阶段能够按照指定的规则循环地改变两个配置参数后执行DFT流程,包括扫描链的插入、测试向量生成、以及功耗与时序分析<sup>[14-17]</sup>.最后

从不同报告文件中提取相关信息,并把所有的结果以逗号分隔值 CSV(Comma-Separated Values)文件输出。

收集数据阶段中 Shell 脚本能够自动地根据用户的需求生成替换脚本,指定用于预测的最大扫描链数量  $n$ 、扫描压缩比  $q$ 、收集间隔  $x$  和  $y$  的值,  $x$  与  $y$  代表扫描链数量和扫描压缩比每轮递增的间隔数,该值根据  $n$  和  $q$  的大小自行进行设定。生成所有替换脚本后,Shell 脚本将自动调用所有替换脚本和整个流程,Perl 提取脚本将从所有不同配置参数组合所对应的五个报告文件中生成结果文件,从中提取关键参数信息,以指定格式生成 CSV 文件。

### 2.2 选择最佳预测模型阶段

经过数据收集阶段能够得到一份 CSV 文件,该文件存储所有配置参数组合及对应的五类目标参数运行结果。在本节中,将通过选择最佳预测模型阶段得到五类目标参数相应的最佳预测算法,如图 3 所示,该阶段的输入是 CSV 文件的文件名和目标参数的类型,输出是该类目标参数最佳的预测算法。

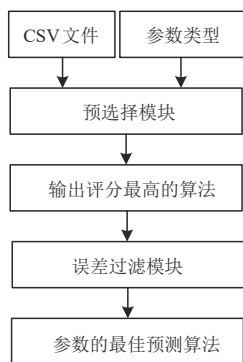


图3 选择最佳预测模型阶段的流程图

预选择模块能够为每类目标参数输出评分最高的机器学习算法,该模块的流程如图 4 所示,首先,用户需要自行指定文件名和本轮待预测的目标参数类型,该模块会自动读入用户指定的文件,即读入 2.1 节中数据收集阶段最终生成的 CSV 文件。该模块将导入 13 种常见的机器学习算法,包括:线性回归、K 近邻回归、支持向量回归机<sup>[18-20]</sup>、Lasso 回归、岭回归、多层感知器回归、决策树、极端随机树<sup>[21,22]</sup>、极度梯度提升树、随机森林<sup>[23,24]</sup>、自适应提升算法<sup>[25]</sup>、梯度提升树和引导聚集算法。对数据做三种不同的处理方式,分别是不做任何处理、标准化处理和平滑处理。将经过三种不同处理方式的数据分割为三个新的训练集,分别使用 13 种常见的机器学习算法建立模型,并输出每种模型的评分。

预选择模块最终输出评分的标准是使用决定系数  $R^2$  来对回归模型的拟合效果进行打分,决定系数对于测试集来说,可能会出现负数的情况,通常情况下,决定系数取值范围为 0 到 1 之间,取值越大则说明自变量

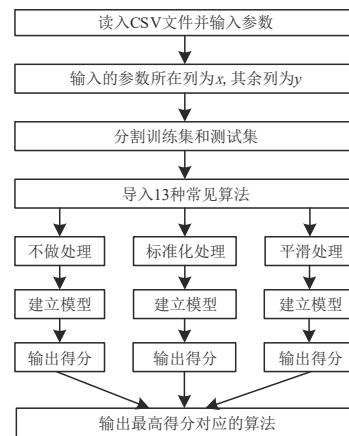


图4 预选择模块的流程图

可以非常有效地解释因变量。在统计学中,该参数能够充分地反映出模型对数据的拟合能力,也就是说,目标参数作为因变量波动时,有多少百分比能够被配置参数的两个自变量的波动所描述。

误差过滤模块将调用预选择模块输出评分,并对输出的评分进行比较,选择出每种处理方式中 13 种算法的最高得分,再将 3 组最高得分进行比较,得到最高分对应的算法和处理方式。最后,为了保证选择的算法和处理方式的最佳性,将此过程重复 10 次,输出预选择模块输出次数最多的算法和处理方式。

### 2.3 参数预测阶段

经过选择最佳预测阶段后,能够输出用户指定 CSV 文件及目标参数类型的最佳机器学习预测算法,在本节中,将通过参数预测阶段得到该类目标参数所有可选范围内 DFT 结构的预测值。参数预测阶段主要由两个模块实现,分别是数据处理模块和预测算法实现模块,该阶段将在选择最佳预测阶段后自动启用,该阶段的输入是预选择模块指定的 CSV 文件,输出是预选择模块指定目标参数所有配置的预测值。

#### 2.3.1 数据预处理模块

在参数预测阶段启动后,首先调用数据预处理模块,目的是对 2.2 节中指定的 CSV 文件中存储的数据进行预处理。在 2.1 节中,数据收集阶段已经对电路综合、扫描链插入、测试向量生成、功耗与时序分析过程输出的报告进行了初步处理,并提取出了有用的关键参数信息。因此,数据预处理模块只需要对 CSV 文件中数据的异常值进行处理即可,并使用选择最优预测模型阶段中推荐的处理方法进一步处理。

本文替换异常值的方法为前后均值法和差值法,当异常值的扫描压缩比不是所有数据中扫描压缩比的最值时,异常值的替换采用前后均值法,即:

$$data_i = \frac{data_{i+1} + data_{i-1}}{2} \quad (1)$$

若不满足则异常值的替换采用前后差值法,当异常值的扫描压缩比为所有数据中扫描压缩比的最大值时,异常值的替换为:

$$\text{data}_i = \text{data}_{i-1} + (\text{data}_{i-1} - \text{data}_{i-2}) \quad (2)$$

当异常值的扫描压缩比为所有数据中扫描压缩比的最小值时,异常值的替换为:

$$\text{data}_i = \text{data}_{i+1} + (\text{data}_{i+1} - \text{data}_{i+2}) \quad (3)$$

处理完异常值后,将选择下一步数据处理方式,共提供两种处理方法,分别是平滑处理和标准化处理. 本文使用的平滑处理方式是对数据使用  $\log$  函数,标准化的方法采用的是  $z$ -score 标准化.

### 2.3.2 预测算法实现模块

在选择最佳预测模型阶段输出最适合指定目标参数的算法后,将自动调用对应的预测算法实现模块. 该阶段的流程如图 5 所示,首先把数据预处理模块处理后的数据分割为训练集和测试集,并使用网格搜索和交叉验证去寻找最佳超参数,超参数的选择可以直接使用寻找到的最佳超参数,也可以自行指定超参数进行对比分析,超参数设定完成后开始训练模型并输出该模型的评价指标. 最后,设置扫描链数量和压缩比范围,本文设置的可选范围为扫描链数量为 2~30,压缩比范围为 2~20,将自动生成用于预测的 CSV 文件,并开始预测目标参数,输出 551 组预测数据.

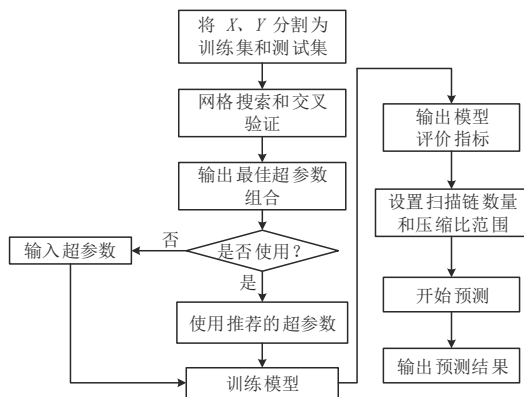


图5 预测算法实现模块的流程图

### 2.4 最佳配置推断阶段

得到可选范围内所有 DFT 结构的五类目标参数的预测结果后,便可进入最佳配置推断阶段. 该阶段能够在所有预测结果中计算出最佳的 DFT 配置参数,在保障测试覆盖率的前提下,尽量减少芯片的测试时间及面积开销等. 最佳配置推断阶段的流程如图 6 所示,先打开 CSV 文件,该文件存储着可选范围内 DFT 结构的五类目标参数的所有预测结果,并创建列表逐行读入文件中所有的数据.

读入所有数据后,对所有的数据进行归一化处理,

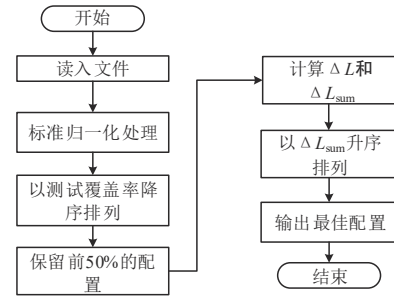


图6 最佳配置推断阶段的流程图

其目的是将所有的数据缩放在一个特定的范围内,使数据从有量纲变为无量纲,让具有不同量级的目标参数之间能够非常便捷地比较和加权. 该阶段中采用的归一化方法为 Min-Max 归一化,公式如下:

$$x_{\text{new}} = \frac{x - x_{\min}}{x_{\max} - x_{\min}} \quad (4)$$

其中,  $x$  为不同配置组合所对应的各类目标参数的值,  $x_{\min}$  为该类目标参数中的最小值,  $x_{\max}$  为该类目标参数中的最大值.

测试覆盖率对于 DFT 来说,它的重要性不言而喻,需要以测试覆盖率作为目标,对所有配置组合进行降序排列,并保留配置组合中前 50% 的配置. 这一步的目的是舍弃那些测试覆盖率较低的配置组合,从而保证 DFT 的高效性.

然后,对新的预测数据列表计算  $\Delta L$  和  $\Delta L_{\text{sum}}$ ,  $\Delta L$  是所有预测数据与它所属目标参数最优值的差值,计算公式如下:

$$\Delta L = |x - x_{\text{best}}| \quad (5)$$

其中,  $x_{\text{best}}$  为每类目标参数的最优值,测试覆盖率和时序的最优值是预测的所有配置组合结果中的最大值,测试时间、面积和功耗的最优值是预测的所有配置组合结果中的最小值.

$\Delta L$  代表每个目标参数与最优值的差值,每类或多类目标参数的  $\Delta L$  除以每类参数的  $\Delta L$  之和的平均值,能够将五类参数变为相同的权重,将其相加后作为最终的衡量指标. 即将所有预测数据中的值使用  $\Delta L$  进行替换,并计算出  $\Delta L_{\text{sum}}$ ,  $\Delta L_{\text{sum}}$  能够有效评估某种配置组合得到的五类目标参数结果的优劣性,公式如下:

$$\Delta L_{\text{sum}} = \frac{x_{\text{cov}}}{\bar{x}_{\text{cov}}} + \frac{x_{\text{cycle}}}{\bar{x}_{\text{cycle}}} + \frac{x_{\text{area}}}{\bar{x}_{\text{area}}} + \frac{x_{\text{power}}}{\bar{x}_{\text{power}}} + \frac{x_{\text{timing}}}{\bar{x}_{\text{timing}}} \quad (6)$$

其中,  $x$  代表每类目标参数对应的值计算出的  $\Delta L$ ,  $\bar{x}$  代表该类目标参数所有  $\Delta L$  之和的平均值,即  $x_{\text{cov}}$  为所有预测数据中测试覆盖率的值使用  $\Delta L$  进行替换后的结果,  $\bar{x}_{\text{cov}}$  为所有可选范围内预测数据中测试覆盖率所有  $\Delta L$  之和的平均值, cycle 代表目标参数中的测试时间, area 代表面积, power 代表功耗, timing 代表时序. 本文

的  $\Delta L_{\text{sum}}$  仅作为无特殊倾向性的设计示例,在实际场景中可根据需求为每类目标参数配置系数,比如低功耗设计可将式(6)中功耗目标参数项乘以系数,此时  $\Delta L_{\text{sum}}$  将会增加功耗的权重,优先输出功耗更低的设计。

计算出  $\Delta L$  与  $\Delta L_{\text{sum}}$  之后,首先以柱状图的方式输出每类目标参数分别的最优配置列表,能直观显示出每类参数的最优配置,然后根据  $\Delta L_{\text{sum}}$  的值升序排列,以柱状图的方式输出芯片的多参数最优配置列表。列表中  $\Delta L_{\text{sum}}$  的值越小代表芯片的此种配置组合越好,  $\Delta L_{\text{sum}}$  的最小值所对应的配置组合就是该芯片最终计算出的最佳配置,该配置组合的扫描链数量和扫描压缩比的值能够在保障测试覆盖率的前提下,拥有较少的芯片测试时间及较小的面积开销等。

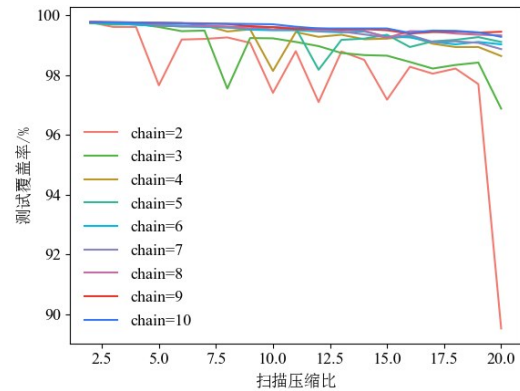
### 3 实验结果与分析

本文的实现基于一款专用集成电路,在数据收集阶段中,扫描链数量可选范围设置为 30 以内,扫描压缩比可选范围设置为 20 以内,收集不同 DFT 配置规则设定为扫描链数量间隔 3 条,扫描压缩比无间隔收集,即共收集电路 DFT 配置不同组合 190 组,收集的扫描链数量为 3、6、9、12、15、18、21、24、27 和 30,扫描压缩比为 2、3、4、5、6、7、8、9、10、11、12、13、14、15、16、17、18、19 和 20。

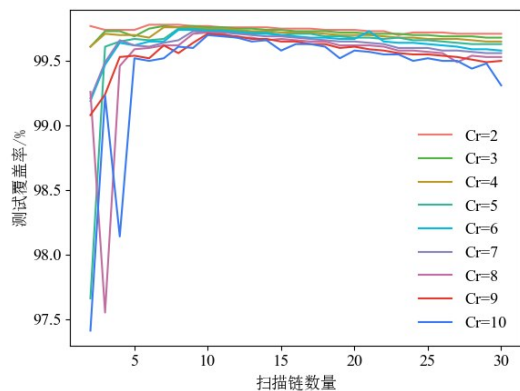
在该阶段中,为了验证本论文所提出的技术中参数预测阶段预测结果的准确性,除了收集以上 190 组电路的 DFT 配置组合以外,还需要额外收集可选范围内扫描压缩比和扫描链数量所有组合的目标参数结果,共 551 组样本用于误差分析。

配置规则根据配置参数与测试覆盖率的关系而设定,本文仅使用了 551 组样本数,原因在于扫描压缩比的值和扫描链数量在过大的情况都没有任何意义。扫描链数量过多意味着将消耗大量的功能性输入输出端口作为扫描端口,在实际工程中端口的数量是有限的。此外,根据前期实验发现,随着扫描压缩比和扫描链数量的增加,测试覆盖率呈现下降的趋势。测试覆盖率作为 DFT 中最重要的参数,若这两个参数配置过大,此类配置不被 DFT 所接受。如图 7 所示,chain 为扫描链数量, Cr 为扫描压缩比的值,图 7(a)所示为当扫描链数量不变时,测试覆盖率随扫描压缩比的增加呈现整体下降、局部大幅度震荡的趋势。红色和绿色线段波动较大的原因是当原始扫描链数量较少时,原始扫描链经过扫描压缩结构变为多条压缩扫描链,压缩扫描链上的值在压缩与解压缩时,它们之间容易互相影响造成测试覆盖率的降低。同理,如图 7(b)所示,除了扫描链数量少且扫描压缩比大的情况外,当扫描链压缩比不变时,测试覆盖率随扫描链数量的增加整体呈现轻微波

动下降的趋势。



(a) 不同扫描压缩比测试覆盖率变化



(b) 不同扫描链数量测试覆盖率变化

图 7 测试覆盖率随扫描压缩比和扫描链数量变化情况

选择最佳预测模型阶段为测试覆盖率、测试时间和面积这三类目标参数选择出的最佳算法分别为 XGBoost、K-Nearest Neighbors、Random Forest, 功耗和时序这两类目标参数选择的最佳算法均为 Support Vector Regression. 下文将分别介绍五类目标参数所对应的参数预测阶段的结果。本文使用解释方差分(Explained Variance Score, EVS)、平均绝对值误差(Mean Absolute Error, MAE)、均方误差(Mean Squared Error, MSE)、可决系数  $R^2$  作为模型的评价指标。

对于测试覆盖率这一目标参数,通过网格搜索和交叉验证的方法,得到的最佳超参数的值分别为: gamma 为 0、subsample 为 0.9、colsample\_bytree 值为 1、reg\_alpha 为 0、reg\_lambda 为 1.1、learning\_rate 为 0.1,表 1 显示了使用默认参数和自行设置参数模型的评价指标。

对于测试时间这一目标参数,通过网格搜索和交叉验证的方法,得到的最佳超参数的值分别为:

表 1 XGBoost 模型的评价指标

不同参数	MAE	MSE	EVS	$R^2$
使用默认参数	0.209 5	0.132 7	0.882 8	0.882 7
自行设置参数	0.189 0	0.128 9	0.886 1	0.886 1

$n\_neighbor$  为 3、 $weight$  为“distance”、 $p$  为 1, 表 2 显示了使用默认参数和自行设置参数模型的评价指标.

表 2 K-Nearest Neighbors 模型的评价指标

不同参数	MAE	MSE	EVS	$R^2$
使用默认参数	0.089 1	0.022 6	0.967 1	0.966 3
自行设置参数	0.057 1	0.008 6	0.987 4	0.987 2

对于面积这一目标参数, 通过网格搜索和交叉验证的方法, 得到的最佳超参数的值为:  $n\_estimators$  为 189, 表 3 显示了使用默认参数和自行设置参数模型的评价指标.

表 3 Random Forest 模型的评价指标

不同参数	MAE	MSE	EVS	$R^2$
使用默认参数	0.047 0	0.003 9	0.995 8	0.995 7
使用推荐参数	0.461 2	0.003 2	0.996 6	0.996 5

对于功耗这一目标参数, 通过网格搜索和交叉验证的方法, 得到的最佳超参数的值分别为: 惩罚因子  $C$  为 35.938,  $gamma$  为 0.077, 表 4 显示了使用默认参数和自行设置参数模型的评价指标.

表 4 Support Vector Regression 模型的评价指标

不同参数	MAE	MSE	EVS	$R^2$
使用默认参数	0.135 7	0.028 5	0.971 7	0.971 4
使用推荐参数	0.105 5	0.020 8	0.979 2	0.979 2

对于时序这一目标参数, 在选择最佳预测模型阶段中输出的评分为 -0.010 56, 不满足预设评分大于 0 的要求. 在改变两个配置参数后, 本文实验电路的时序仅部分配置受到影响, 导致大多数配置的结果均为相同值, 训练集的过度非线性造成评分小于 0. 由于评分不满足预设评分大于 0 的要求, 选择预测数据填充的方式为训练数据的最大值.

当参数预测阶段输出所有预测结果后, 即可选范围内不同 DFT 结构的五类目标参数的预测结果, 最佳配置推断阶段启动. 首先会分别输出每类目标参数各自的最优配置列表, 然后根据式(6)输出以  $\Delta L_{sum}$  为衡量标准的最佳配置列表, 如图 8 所示, 最佳配置列表中的第一名的 DFT 结构为原始扫描链数量为 9、扫描压缩比的值为 3.

本文所提出的技术, 数据收集阶段耗时较大, 数据预处理和预测算法实现模块耗时 20 多分钟, 最佳配置推断阶段耗时小于 1 分钟. 相较于传统工程师基于经验值或反复尝试的方法, 本方法能够在有限的时间内

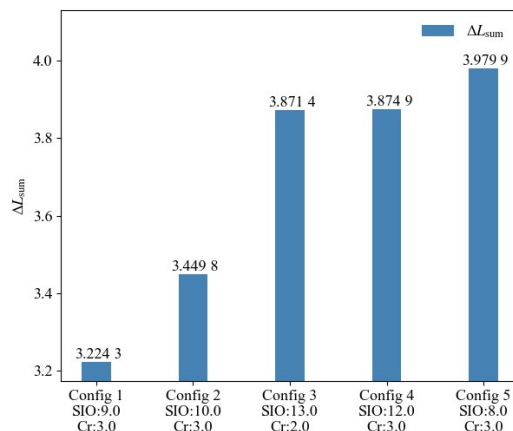


图 8 推荐的最佳配置

输出设计的最优 DFT 配置.

### 3.1 预测效果分析

为了确保最佳配置推断阶段中输出最优配置参数的有效性, 需要先保证预测效果的有效性. 上文已给出对目标参数在测试集上模型的四个评价指标的值, 以  $R^2$  为例, 四类目标参数  $R^2$  的值分别为 0.881、0.987 2、0.996 5 和 0.997 92, 除了测试覆盖率稍逊一筹外, 另外三个都表现非常优异. 测试覆盖率的预测准确性主要损失在部分极端配置上, 即如图 9(a) 所示, 部分扫描链数量较少且扫描压缩比较大的配置, 此类配置具有测试覆盖率低的特点.

为了进一步保证预测效果, 在数据收集阶段中, 除了收集用于训练的数据以外, 还额外收集了 551 组真实数据用于本节, 本节将对五类目标参数的真实值和预测值进行对比分析, 并计算出它们之间的相对误差. 为了更加清晰直观地观测真实值与预测值之间的差异, 下文给出了五类目标参数真实值和预测值之间的折线图, 如图 9 所示, 图中红线代表目标参数的真实值, 蓝线代表目标参数的预测值.

图 9(a) 为测试覆盖率这一目标参数 551 组真实值与预测值的对比图, 整体拟合效果不错, 平均相对误差为 0.075 6%. 前 100 组配置中测试覆盖率较低的配置拟合效果非常差, 此外, 第 500 组配置附近有三组覆盖率较低的配置拟合效果也不好. 根据 2.4 节可知, 在最佳配置推断阶段中, 仅保留测试覆盖率较好的前 50% 配置, 图 9(a) 中拟合不好的均为测试覆盖率较低的配置, 所以这些配置的预测准确性无关紧要.

图 9(b) 为测试时间这一目标参数 551 组真实值与预测值的对比图, 整体拟合效果不错, 平均相对误差为 4.752 7%. 虽然前 19 组配置的拟合效果较差, 第 40 组至第 55 组配置的拟合效果也有略微的偏差, 但预测数据的整体趋势与真实数据是一致的. 此外, 部分测试时

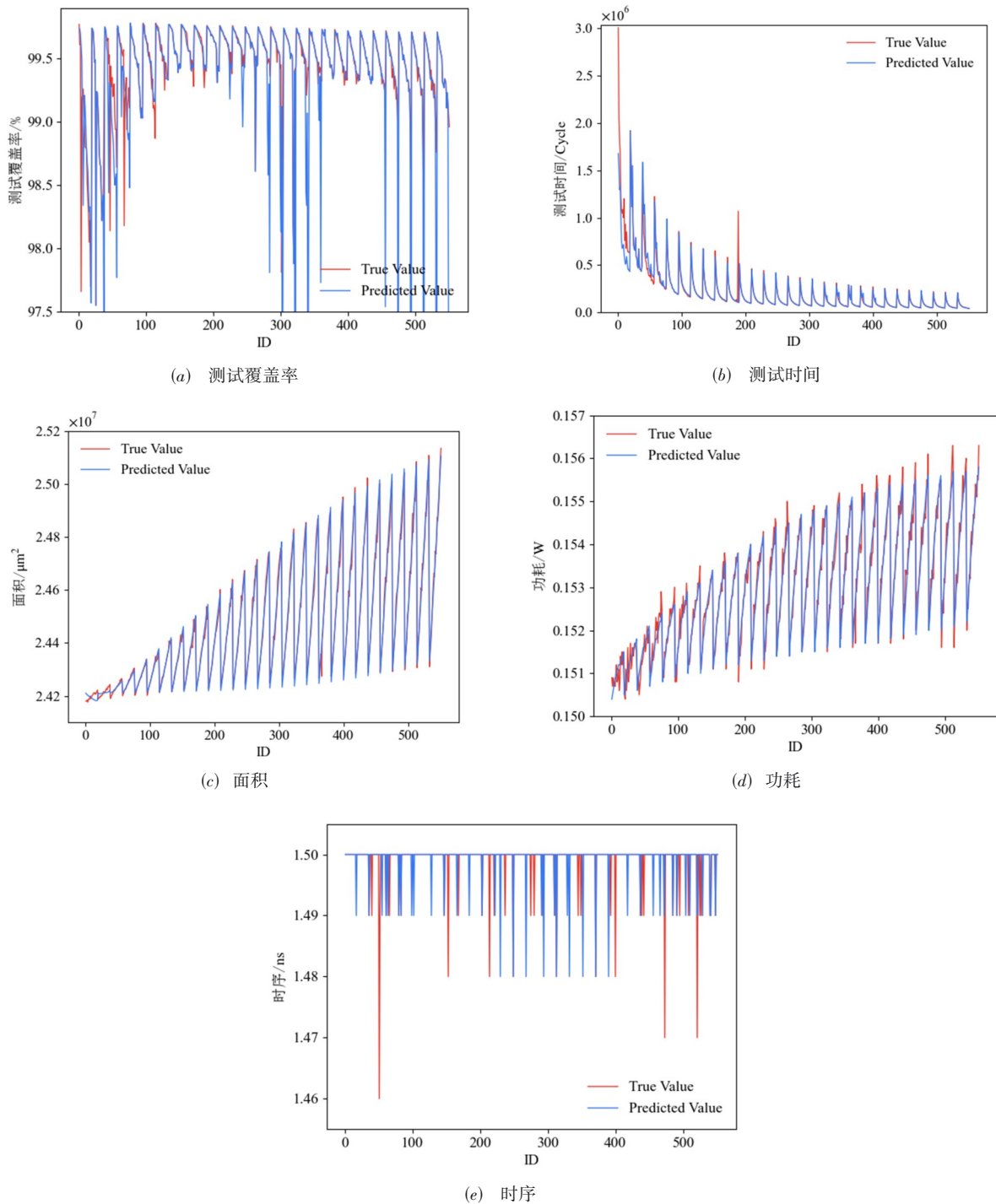


图9 五个目标参数真实值与预测值的拟合效果

间较大的点的拟合效果不够好,特别是第1组配置和第189组配置.在最佳配置推断阶段中,测试时间较大的点往往不会被选为最佳配置,所以前19组配和部分测试时间较大的配置的拟合效果几乎不会影响最终预测效果的准确性.

图9(c)为面积这一目标参数551组真实值与预测

值的对比图,整体拟合效果表现不错,仅部分转折点的拟合效果不够好,平均相对误差为0.0718%.图9(d)为功耗这一目标参数551组真实值与预测值的对比图,整体拟合效果不错,平均相对误差为0.1168%.与面积类似,部分转折点的拟合效果不够好,此外,前100组配置的真实值波动起伏较为杂乱,导致拟合效果不佳.这部

分的拟合效果不理想是否会影响到最佳配置推断阶段的准确性,将在3.2节中进一步论证.图9(e)为时序这一目标参数551组真实值与预测值的对比图,由于训练集的评分不满足预设要求,这一目标参数的551组预测值中,190组使用训练集进行填充,剩下的361组选用最大值填充得到,平均相对误差为0.042 35%.使用最大值填充得到的预测值与真实值之间的平均相对误差仍很小,是因为这一参数的真实值有513组均为相同值,也就是最大值,仅38组配置的时序有略微的减少.此外,因为190组训练集中已包含15组时序有略微的减少的配置,所以使用填充法的预测值与真实值之间仅23组配置的值不同.这23组配置无法被预测,是否会影响最佳配置推断阶段的准确性,将在3.2节中进一步论证.

### 3.2 最优化效果分析

根据2.4节可知, $\Delta L_{\text{sum}}$ 能够有效地评估某种配置组合得到的五类目标参数结果的优劣性.上节提到时序参数由填充法得出,为探讨时序参数中23组无法被预测的配置是否影响高效率集成电路DFT技术推荐配置的结果,现将 $\Delta L_{\text{sum}}$ 减少时序参数因子作对比实验,即:

$$\Delta L_{\text{sum}} = \frac{x_{\text{cov}}}{\bar{x}_{\text{cov}}} + \frac{x_{\text{cycle}}}{\bar{x}_{\text{cycle}}} + \frac{x_{\text{area}}}{\bar{x}_{\text{area}}} + \frac{x_{\text{power}}}{\bar{x}_{\text{power}}} \quad (7)$$

式(7)中各项含义已在2.4节中阐述过,此处不再赘述.使用原始 $\Delta L_{\text{sum}}$ 与减少时序参数因子后的 $\Delta L_{\text{sum}}$ 的高效率集成电路DFT技术推荐配置如表5所示,推荐

的配置前五名均一致,所以时序参数中23组无法被预测的配置并未对高效率集成电路DFT技术的推荐配置造成任何影响.

表5 不同 $\Delta L_{\text{sum}}$ 推荐配置的对比分析

配置参数		最优配置	最优配置	最优配置	最优配置	最优配置
		1	2	3	4	5
未更改 $\Delta L_{\text{sum}}$	扫描链数量	9	10	13	12	8
	扫描压缩比	3	3	2	3	3
更改 $\Delta L_{\text{sum}}$	扫描链数量	9	10	13	12	8
	扫描压缩比	3	3	2	3	3

所有预测数据中,不同配置的排序方式是优先扫描链数量升序排列,当扫描链数量一致时,以扫描压缩比降序排列.本次设定扫描链数量和扫描压缩比可选范围分别为20和30,能够推出最优配置5为第116组配置,最优配置1~4为第116组以后的配置,所以3.1节中所提到的功耗这一目标参数前100组配置拟合效果不佳,并未对最佳配置推断阶段造成任何不利影响.

为了更直观地分析最优配置的优越性,本文将每个单目标参数最佳配置中的第一名作为对比项.如表6所示,最优配置为高效率集成电路DFT技术输出的推荐配置列表中的第一名,配置1为测试覆盖率最高的配置,配置2为测试时间最少的配置,配置3为面积开销最少的配置,配置4为功耗最小的配置,由于时序最佳的相同配置过多,此处不再单独列出.

表6 高效率集成电路DFT技术推荐配置的对比分析

参数		最优配置	配置1	配置2	配置3	配置4
配置参数	扫描链数量	9	8	9	4	2
	扫描压缩比	3	2	16	2	2
目标参数	测试覆盖率/%	99.77	99.77	99.39	99.74	99.74
	测试时间/cycle	456 893	712 439	11 361	1 587 959	1 679 623
	面积/ $\mu\text{m}^2$	24 227 237	24 221 922	24 422 289	24 189 766	24 189 766
	功耗/W	0.151 23	0.150 98	0.153 03	0.150 64	0.150 44
	时序/ns	1.5	1.5	1.5	1.5	1.5

配置1相较于最优配置,它们两者的测试覆盖率相同,配置1的测试时间增加了55.93%,尽管面积开销减少了0.02%,功耗减少了0.17%,但是相较于测试时间的增幅,面积和功耗的降幅是极小的,不足以抵消测试时间增幅导致测试成本大幅增加的问题.

配置2相较于最优配置,测试覆盖率从99.77%降低到了99.39%,测试时间降低了97.51%,面积增加了0.81%,功耗增加了1.19%.对于DFT而言,测试覆盖率无疑是最重要的指标,除非其余指标均有优异的表现,才会根据需求选用测试覆盖率较低的配置.然而配置2除了测试时间表现非常优异,其余指标都很糟糕.

配置3相较于最优配置,测试覆盖率从99.77%降

低为99.74%,测试时间增加了247.56%,面积开销减少了0.15%,功耗减少了0.39%.配置4相较于最优配置,测试覆盖率从99.77%降低为99.74%,测试时间增加了267.62%,面积开销减少了0.15%,功耗减少了0.52%.配置3与配置1同理,面积和功耗的降幅不足以抵消测试时间增幅导致测试成本大幅增加的问题.

上文将最优配置和单目标参数最优配置进行了比较论证,实际上,在2.4节中已详细阐述过最优配置的推断过程,高效率集成电路DFT技术输出的最优配置是根据 $\Delta L_{\text{sum}}$ 值得出,是所有预测配置中综合表现最优的配置.

## 4 结论

本文提出了一种基于机器学习的高效率集成电路 DFT 技术,该技术将芯片的测试参数和性能参数作为目标参数,包括测试覆盖率、测试时间、面积、功耗与时序,以原始扫描链数量和扫描压缩比为配置参数,为不同目标参数选择最佳算法,快速预测可选范围内 DFT 结构的目标参数,并高效地推断出 DFT 的最佳配置参数. 为了验证预测误差,本文借助 EDA 工具额外收集了所有运行结果,实验数据表明,针对 DFT 技术中最重要的参数——测试覆盖率,平均预测误差仅为 0.075 6%,根据  $\Delta L_{\text{sum}}$  的最小值情况,实现高效推断芯片 DFT 设计的最优配置参数. 该技术的预测效果具有高可靠性,能够在保证高测试覆盖率的前提下,有效减少测试成本和面积开销等.

### 参考文献

- [1] YAN H, FENG X, HU Y, et al. Research on chip test method for improving test quality[C]//2019 IEEE 2nd International Conference on Electronics and Communication Engineering (ICECE). Piscataway: IEEE, 2020: 226-229.
- [2] LIU Z Y, HUANG Q C, FANG C L, et al. Improving test chip design efficiency via machine learning[C]//2019 IEEE International Test Conference (ITC). Piscataway: IEEE, 2020: 1-10.
- [3] IBTESAM M, SOLANGI U S, KIM J, et al. Reliable test architecture with test cost reduction for systolic-based DNN accelerators[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2022, 69(3): 1537-1541.
- [4] TALATULE S D, ZODE P, ZODE P. A secure architecture for the design for testability structures[C]//2015 19th International Symposium on VLSI Design and Test. Piscataway: IEEE, 2015: 1-6.
- [5] WANG L T, STROUD C E, TOUBA N A. System-on-Chip Test Architectures: Nanometer Design for Testability [M]. Amsterdam: Morgan Kaufmann Publishers, 2008.
- [6] WANG L T, WU C W, WEN X Q. VLSI Test Principles and Architectures: Design for Testability[M]. Amsterdam: Elsevier Morgan Kaufmann Publishers, 2006.
- [7] LARSSON E. Introduction to Advanced System-on-Chip Test Design and Optimization[M]. Berlin/Heidelberg: Springer-Verlag, 2005.
- [8] LI Z P, COLBURN J E, PAGALONE V, et al. Test-cost optimization in a scan-compression architecture using support-vector regression[C]//2017 IEEE 35th VLSI Test Symposium (VTS). Piscataway: IEEE, 2017: 1-6.
- [9] ZORIAN A, SHANYOUR B, VASEEKAR M. Machine learning-based DFT recommendation system for ATPG QOR[C]//2019 IEEE International Test Conference (ITC). Piscataway: IEEE, 2020: 1-7.
- [10] WU C H, HUANG Y, LEE K J, et al. Deep learning based test compression analyzer[C]//2019 IEEE 28th Asian Test Symposium (ATS). Piscataway: IEEE, 2020: 1-15.
- [11] 欧阳丹彤, 刘扬, 宋金彩, 等. 结合结构特征基于测试集重排序的故障诊断方法[J]. 电子学报, 2022, 50(1): 63-71.  
OUYANG D T, LIU Y, SONG J C, et al. Fault diagnosis method based on test set reordering combined with structural features[J]. Acta Electronica Sinica, 2022, 50(1): 63-71. (in Chinese).
- [12] TSAI F J, YE C S, LEE K J, et al. Prediction of test pattern count and test data volume for scan architectures under different input channel configurations[C]//2020 IEEE International Test Conference (ITC). Piscataway: IEEE, 2021: 1-10.
- [13] PRADHAN M, BHATTACHARYA B B. A survey of digital circuit testing in the light of machine learning[J]. WIREs Data Mining and Knowledge Discovery, 2021, 11(1): e1360.
- [14] EGGERSGLÜB S, WILLE R, DRECHSLER R. Improved SAT-based ATPG: More constraints, better compaction[C]//2013 IEEE/ACM International Conference on Computer-Aided Design (ICCAD). Piscataway: IEEE, 2013: 85-90.
- [15] BECKER B, DRECHSLER R, EGGERSGLÜB S, et al. Recent advances in SAT-based ATPG: Non-standard fault models, multi constraints and optimization[C]//2014 9th IEEE International Conference on Design & Technology of Integrated Systems in Nanoscale Era (DTIS). Piscataway: IEEE, 2014: 1-10.
- [16] RAJSKI J, TYSZER J, KASSAB M, et al. Embedded deterministic test[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2004, 23(5): 776-792.
- [17] DEVGAN A, KASHYAP C. Block-based static timing analysis with uncertainty[C]//ICCAD-2003. International Conference on Computer Aided Design (IEEE Cat. No.03CH37486). Piscataway: IEEE, 2004: 607-614.
- [18] ABO-KHALIL A G, LEE D C. MPPT control of wind generation systems based on estimated wind speed using SVR[J]. IEEE Transactions on Industrial Electronics, 2008, 55(3): 1489-1490.

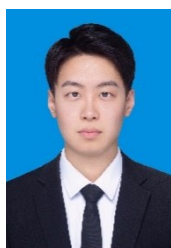
- [19] BALABIN R M, LOMAKINA E I. Support vector machine regression (SVR/LS-SVM)—An alternative to neural networks (ANN) for analytical chemistry? Comparison of nonlinear methods on near infrared (NIR) spectroscopy data[J]. *Analyst*, 2011, 136(8): 1703-1712.
- [20] HONG W C, DONG Y C, CHEN L Y, et al. SVR with hybrid chaotic genetic algorithms for tourism demand forecasting[J]. *Applied Soft Computing*, 2011, 11(2): 1881-1890.
- [21] CHEN T Q, HE T, BENESTY M, et al. Xgboost: Extreme gradient boosting[EB/OL]. (2022-04-16)[2022-06-20]. <http://ftp.ipv4.heanet.ie/mirrors/cran.r-project.org/web/packages/xgboost/vignettes/xgboost.pdf>.
- [22] CHEN T Q, GUESTRIN C. XGBoost: A scalable tree boosting system[C]//Proceedings of the 22nd ACM SIGKDD International Conference on Knowledge Discovery and Data Mining. New York: ACM, 2016: 785-794.
- [23] WANG L A, ZHOU X D, ZHU X K, et al. Estimation of biomass in wheat using random forest regression algorithm and remote sensing data[J]. *The Crop Journal*, 2016, 4(3): 212-219.
- [24] HUTENG S C, VOHLAND M. Downscaling land surface temperatures at regional scales with random forest regression[J]. *Remote Sensing of Environment*, 2016, 178: 127-141.
- [25] SCHAPIRE R E. Explaining AdaBoost[M]//Empirical Inference. Berlin, Heidelberg: Springer Berlin Heidelberg, 2013: 37-52.

#### 作者简介



**蔡志匡** 男, 1983年7月出生于江苏连云港, 2014年毕业于东南大学电子科学与工程学院。现任南京邮电大学集成电路科学与工程学院教授、博士生导师。主要研究方向为低功耗集成电路设计与测试。

E-mail: whczk@njupt.edu.cn



**赵泽宇** 男, 1999年3月出生于江苏徐州, 2021年进入南京邮电大学集成电路科学与工程学院, 在读硕士研究生。主要研究方向为可测性设计、机器学习。

E-mail: 1021021028@njupt.edu.cn



**杨涵** 女, 1997年7月出生于云南昭通, 2019年进入南京邮电大学电子与光学工程学院、微电子学院, 硕士研究生已毕业。主要研究方向为可测性设计、机器学习。

E-mail: 1319025322@njupt.edu.cn



**王子轩(通讯作者)** 男, 1982年11月出生于江苏徐州, 2014年毕业于东南大学电子科学与工程学院。现任南京邮电大学集成电路科学与工程学院副教授, 硕士生导师。主要研究方向为高效集成电路设计。

E-mail: wangzixuan@njupt.edu.cn



**郭宇锋** 男, 1974年5月出生于河南洛阳, 2005年毕业于电子科技大学, 获微电子学博士学位。现任南京邮电大学集成电路科学与工程学院教授、博士生导师。主要研究方向为新型微电子器件、集成电路设计、无线能量和信息协同传输。

E-mail: yfguo@njupt.edu.cn