

随机波动驱动的异步元胞自动机及其计算通用性

黄鑫, 李佳*, 葛亮, 宋伟

(重庆大学计算机学院, 重庆 400044)

摘要: 元胞自动机被广泛认为是基于分子自组装技术制造量子计算机、纳米计算机的基本架构, 而元胞自动机的复杂度直接影响其并行分布式计算效率以及物理实现的可行性. 现有复杂度最低的异步元胞自动机使用3个元胞状态和3条变迁规则能够构造所有逻辑电路, 具备与图灵机等价的计算通用性(图灵通用性). 为进一步降低通用异步元胞自动机的复杂度, 本文提出新型电路元件以及基于该元件的逻辑电路设计方法. 不同于同步电路的逻辑门元件, 新型电路元件能够有效处理信号的随机波动, 对单电子隧道晶体管等纳米材料技术有积极的应用价值. 据此, 本文提出新的异步元胞自动机模型, 该模型仅需3个元胞状态和2条规则, 比现有的通用模型复杂度低. 除图灵通用性外, 本文通过设计大规模分布式逻辑电路, 进一步证明所提的异步元胞自动机具备与所有同步元胞自动机等等的计算能力.

关键词: 元胞自动机; 异步更新; 布朗运动; 延迟不敏感电路; 通用性

基金项目: 重庆市技术创新与应用发展专项(No.cstc2019jcsx-zdztzxX0024)

中图分类号: TP301; TN40

文献标识码: A

文章编号: 0372-2112(2024)05-1648-09

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20220225

Fluctuation-Driven Asynchronous Cellular Automaton and Its Computational Universality

HUANG Xin, LI Jia*, GE Liang, SONG Wei

(College of Computer Science, Chongqing University, Chongqing 400044, China)

Abstract: Cellular automata are widely considered as a fundamental architecture for nano-computers and quantum computers based on molecular self-assembly technology. In such a situation, the complexity of cellular automata will directly affect their efficiency of parallel distributed computing, together with the feasibility of physical implementation. The simplest model of all asynchronous cellular automata in the literatures employs three cellular states and three transition rules, which can construct all logic circuits and thus hold the computational universality equivalent to Turing machine (Turing universality). In order to further reduce the complexity of universal asynchronous cellular automata, this paper proposes a new model, which requires only three cellular states and two transition rules. The smaller number of transition rules is mainly attributed to the new circuit elements and the design of large-scale distributed circuits. Different from the logic gates of synchronous circuits, the novel circuit elements can effectively utilize the random fluctuations of signals, whereby they may promise potential applications via nano-technologies such as single-electron tunnel transistors. In addition to Turing universality, this paper explicitly provides a scalable and distributed scheme to construct parallel logic circuits, which enables our proposed asynchronous cellular automaton to realize the same parallel computing capability as synchronous cellular automata.

Key words: cellular automaton; asynchronous transition; brownian motion; delay-insensitive circuit; universality

Foundation Item(s): Chongqing Technology Innovation and Application Development Project (No.cstc2019jcsx-zdztzxX0024)

1 引言

元胞自动机是由大量相同的有限状态自动机(元胞)组成的离散动力系统^[1,2]. 异步元胞自动机允许各

元胞独立进行状态更新, 不需要分配时钟信号到每个元胞^[3], 能够有效降低能量消耗, 被广泛认为是未来量子计算机^[4-6]、纳米计算机的基本架构^[7]. 元胞状态数

量以及变迁规则数量是衡量元胞自动机复杂度的基本指标,直接影响并行计算的效率以及软硬件实现的可行性^[4,5,8,9]. 为此,探求降低通用元胞自动机复杂度的计算方法是核心研究问题之一^[1,2].

理论上,通用元胞自动机复杂度的下限是 2 个元胞状态和 1 条变迁规则. 同步模型中,Banks 元胞自动机^[10]使用 2 个元胞状态和 3 条变迁规则,能够在元胞空间中配置所有布尔电路,因此具备与图灵机同等的计算能力,即图灵通用性(Turing Universality). Banks 元胞自动机要求所有元胞在中央时钟信号的驱动下,同步改变状态. 这意味着如果时钟信号传输出现延迟,将导致部分元胞状态变迁产生时间相位误差,可能影响整个计算过程^[3]. 相反,异步元胞自动机允许所有元胞按照各自的时机随机改变状态,因此不需要分配中央时钟信号. 另外,异步模型执行任何确定性计算需要额外的元胞状态和变迁规则来控制自身内在不确定性^[3],通常会增加元胞自动机的复杂度. 尽管如此,文献^[11]提出的异步元胞自动机仅使用 3 个元胞状态和 10 条变迁规则构建所有延迟不敏感电路,具备图灵通用性. 延迟不敏感电路是一类特殊的异步电路,其输入和输出操作不受线路和电路元件产生的任何延迟所影响^[12],对减少电路能耗有意义.

上述同步^[10]及异步^[11]通用元胞自动机属于传统元胞自动机模型,其变迁函数或规则只作用于单个元胞,通过读取相邻元胞的状态来改变自身的状态. 相比而言,模块元胞自动机(Block Cellular Automaton)不仅能读取与元胞相邻的其他元胞状态,而且能同时改变元胞邻域内所有元胞状态. 邻域内的局部同步变迁能够降低异步元胞自动机的复杂度. 为此,文献^[13]提出的异步模块元胞自动机成功将构建所有异步电路所需的元胞状态数和变迁规则数量都降到 3,其变迁规则数量与传统异步模型^[11]相比大幅减少. 除此之外,在物理实现电子流动或隧道时,电子从一个元胞流向邻域元胞时,会同时影响两个元胞的状态^[7],这种局部同步性可在模块元胞自动机的物理实现中发挥重要作用^[14-16].

为进一步降低通用异步元胞自动机的复杂度,本文提出新型异步模块元胞自动机,只需 3 个元胞状态和 2 条变迁规则即能构造所有延迟不敏感电路,从而具备图灵通用性. 降低复杂度尤其是减少变迁规则数量的关键是本文设计出的异步电路元件和异步电路的配置方法. 与传统同步及异步电路不同,本文设计的异步电路能够有效处理信号的随机波动,称作布朗电路^[17,18]. 热振动与噪音是最普遍的自然现象之一,当电子器件尺寸接近纳米级时,量子效应以及外界热噪音引发的微粒子布朗运动特性显著^[19]. 布朗电路^[17,18]参照生物有效利用热振动的活动机能^[20],通过利用信号布朗运动特性自发探索计算状态空间的有效资源,从而降低

通用元件的数量以及各元件功能的复杂性^[13,18]. 已有研究表明,布朗电路在单电子隧道晶体管^[21,22]、自旋电子半导体^[23]等纳米材料技术上亦有重要应用价值.

此外,元胞自动机是并行计算的基本模型,是作为纳米计算机基本架构的基础,而图灵机是经典的串行计算模型. 为此,文献^[24]提出元胞自动机的内在通用性(Intrinsic Universality),将能够模拟其他元胞自动机作为衡量元胞自动机并行计算能力的标准^[25]. 例如,Banks 元胞自动机^[10]能够有效模拟其它任何同步元胞自动机,具备内在通用性^[25]. 本文将 Banks 元胞自动机局部变迁函数转化为延迟不敏感电路模块,并将大量电路模块放置于元胞空间中,模块之间用统一的方式局部相连,使各个电路能够采用握手机制(handshaking)与周边模块交换信号实现同步变迁. 据此,本文提出的异步元胞自动机不仅与图灵机等价,而且能够模拟 Banks 元胞自动机,具备同步元胞自动机同等的并行计算能力.

2 相关工作

2.1 布朗电路元件

定义 1 延迟不敏感电路模块定义为

$$(I, O, A, R) \quad (1)$$

其中, I 和 O 分别表示输入线路和输出线路的有限集合; A 是有限状态集 ($A \neq \emptyset$); $R \subseteq (2^I / \{\emptyset\}) \times A \times (2^O / \{\emptyset\}) \times A$ 是有限规则集. 对于任意 $\gamma \subseteq I, \delta \subseteq O, s, s' \in A$, 变迁规则 $\gamma; s \rightarrow \delta, s' \in R$ 表示当电路模块处于状态 s , 每条输入线路 $I_i \in \gamma$ 上有一个信号时, 模块被激活工作, 将输入线路 I_i 上的信号吸收并在每条输出线路 $O_j \in \delta$ 上产生一个信号, 同时将模块状态转换为 s' .

布朗电路^[17,26]作为特殊的延迟不敏感电路,允许信号在线路上前后随机波动. 死锁是异步系统难以避免的问题^[27,28],而信号随机波动使电路能够从死锁状态中自行回溯,有助于设计功能更简单、数量更少的通用电路元件^[17,18,21,23]. 图 1 为三种布朗电路元件,定义如下:

$$CJoin = (\{K, K', J, J'\}, \{K, K, J, J'\}, \{\epsilon\}, R_{CJ}) \quad (2)$$

其中, $R_{CJ} = (\{K, K'\}; \epsilon \rightarrow \{J, J'\}; \epsilon, \{J, J'\}; \epsilon \rightarrow \{K, K'\}; \epsilon)$, 线路 K 和 K' 上的信号分别传送到线路 J 和 J' 上,该过程可逆.

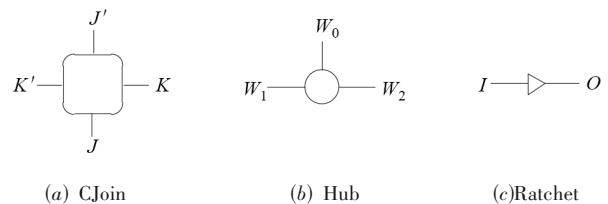


图 1 布朗电路元件

$$\text{Hub} = (\{W_0, W_1, W_2\}, \{W_0, W_1, W_2\}, \{\epsilon\}, R_H) \quad (3)$$

其中, $R_H = \{\{W_i\}; \epsilon \rightarrow \{W_j\}; \epsilon | 0 \leq i, j \leq 2 \wedge i \neq j\}$, 到达线路 W_i 的信号传输到线路 $W_j, i, j \in \{0, 1, 2\}, i \neq j$.

$$\text{Ratchet} = (\{I\}, \{O\}, \{\epsilon\}, \{I\}; \epsilon \rightarrow \{O\}; \epsilon) \quad (4)$$

到达线路 I 的信号传输到线路 O 上, 该元件与二极管作用相当, 信号一旦通过后不能再返回.

定理 1 $\{\text{CJoin}, \text{Hub}, \text{Ratchet}\}$ 构成延迟不敏感电路的通用元件集.

该定理表明, 在信号具备随机波动特性的条件下, 图 1 中的三种布朗电路元件能够构造所有延迟不敏感电路^[18].

2.2 异步模块元胞自动机

定义 2 具有冯·诺伊曼邻域的异步模块元胞自动机定义为

$$(Z^2, N, Q, f) \quad (5)$$

其中, Z^2 表示元胞空间二维数组 (Z 为整数集合); $N = \{(0, 0), (0, -1), (-1, 0), (0, 1), (1, 0)\}$ 为邻域索引; Q 是元胞状态有限集 ($Q \neq \emptyset$); 函数 $f: Q^{|N|} \rightarrow Q^{|N|}$ 是局部变迁函数, 满足旋转和反射对称.

定义 3 异步模块元胞自动机 (Z^2, N, Q, f) 构型 (configuration) 定义为

$$\text{映射 } c: Z^2 \rightarrow Q \quad (6)$$

对每个元胞分配状态集合 Q 中的一个状态, 所有构型集合定义为 $\text{Conf}(Q) = \{c | c: Z^2 \rightarrow Q\}$.

定义 4 设 $c, c' \in \text{Conf}(Q)$ 为异步模块自动机 (Z^2, N, Q, f) 构型, 存在从 c 到 c' 的全局变迁 $c \rightarrow c'$, 当且仅当

$$\begin{aligned} & \exists (a, b) \in Z^2 \forall (x, y) \in Z^2 / \{a, b\}: \\ & (c'(a, b), c'(a, b-1), c'(a-1, b), c'(a, b+1), c'(a+1, b)) \\ & = f(c(a, b), c(a, b-1), c(a-1, b), c(a, b+1), c(a+1, b)) \\ & \wedge c'(x, y) = c(x, y) \end{aligned} \quad (7)$$

根据定义 4, 异步元胞自动机允许各元胞与其他元胞独立且随机改变状态. 为方便起见, 本文将异步模块元胞自动机简称为异步元胞自动机.

3 新型通用异步元胞自动机

3.1 新型布朗电路元件

为进一步减少布朗电路元件的数量, 通过合并 Cjoin 和 Ratchet 元件, 得到新的布朗电路元件 TJoin, 如图 2(a) 所示. TJoin 元件定义如下:

$$\text{Tjoin} = (\{I, J, J'\}, \{O, J, J'\}, \{\epsilon\}, R_{TJ}) \quad (8)$$

其中, $R_{TJ} = \{\{I, J\}; \epsilon \rightarrow \{O, J'\}; \epsilon, \{I, J'\}; \epsilon \rightarrow \{O, J\}; \epsilon\}$.

当信号同时到达线路 I 和线路 J' (图 2(b)) 或线路 J (图 2(c)) 时, 则在线路 O 和线路 J 或 J' 上各产生一个信号. 线路 J' 和 J 可作为输入或输出线路使用, 线路 I 只接受输入信号, 线路 O 只用于输出信号.

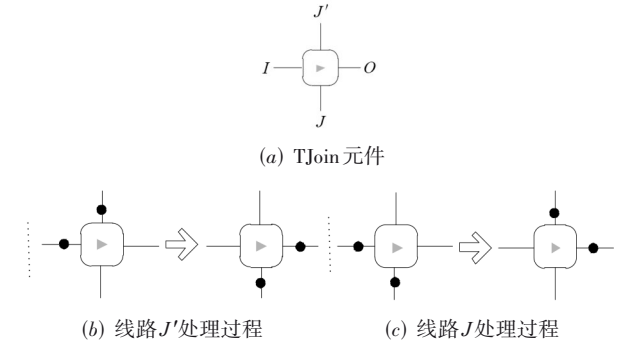


图 2 TJoin 电路元件信号处理过程.

所有延迟不敏感电路均可用三个通用元件进行构建^[26, 29, 30], 其定义如下:

$$\text{Merge} = (\{A, B\}, \{C\}, \{\epsilon\}, R_M) \quad (9)$$

其中, $R_M = \{\{A\}; \epsilon \rightarrow \{C\}; \epsilon, \{B\}; \epsilon \rightarrow \{C\}; \epsilon\}$.

$$\begin{aligned} 2 \times 2\text{-Join} = & (\{A_0, A_1, B_0, B_1\}, \{C_{ij}, C'_{ij} | 0 \leq i, j \leq 1\}, \\ & \{\epsilon\}, R_J) \end{aligned} \quad (10)$$

其中, $R_J = \{\{A_i, B_j\}; \epsilon \rightarrow \{C_{ij}, C'_{ij}\}; \epsilon | 0 \leq i, j \leq 1\}$.

$$\begin{aligned} \text{Csequencer} = & (\{A_0, A_1, C\}, \{B_0, B'_0, B_1, B'_1\}, \{\epsilon\}, \\ & R_S) \end{aligned} \quad (11)$$

其中, $R_S = \{\{A_i, C\}; \epsilon \rightarrow \{B_i, B'_i\}; \epsilon | 0 \leq i \leq 1\}$.

定理 2 $\{\text{TJoin}, \text{Hub}\}$ 为延迟不敏感电路通用元件集.

证明 由于 Merge, 2×2-Join 和 CSequencer 能够构建所有延迟不敏感电路, 只需证明 TJoin 和 Hub 元件能构造这些通用元件. 图 3 为具体电路设计方案. 其中, 图 3(a) 利用 1 个 Hub 元件和 3 个 Ratchet 模块构建 Merge 电路. 图 3(b) 利用 4 个 TJoin 元件、4 个 Hub 元件和 8 个 Ratchet 模块构建 2×2-Join 电路, 到达线路 A_i 和 $B_j (i, j \in \{0, 1\})$ 的一组输入信号, 使在线路 C_{ij} 和 C'_{ij} 上各自产生一个输出信号. 图 3(c) 利用 2 个 TJoin 元件、2 个 Hub 元件和 6 个 Ratchet 模块构建 CSequencer 电路. 图 3(d) 利用 TJoin 元件构建 Ratchet 模块, 当信号从线路 I 传输到线路 O 时, 左侧信号会向右移动, 而当线路 I 上输入下一个信号时, 信号从右向左移回, 但线路 O 上的信号不能回撤到线路 I .

预先在图 2 所示的 TJoin 元件线路 J 或 J' 上放置一个信号, 输入到线路 I 的信号移动到线路 O (但不能反方向移动), 实现布朗电路元件 Ratchet 的功能. 为验证

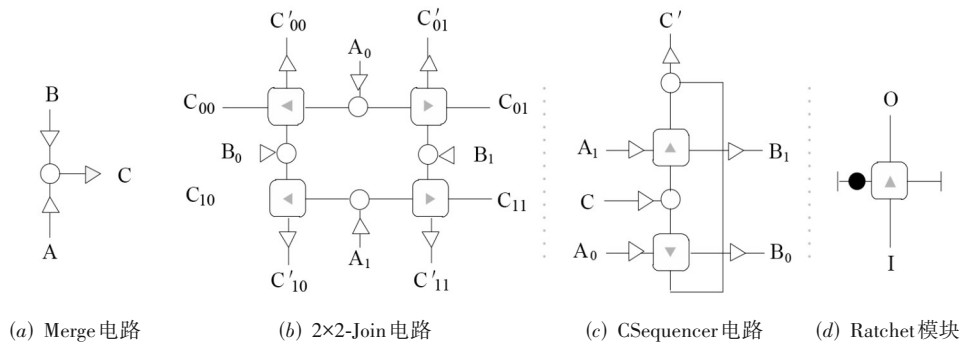


图3 基于TJoin元件和Hub元件构建延迟不敏感电路通用元件和Ratchet元件

电路的正确性,假设图3(b)中的电路接收到两个信号,分别来自线路 A_0 和 B_0 .从输入线路 A_0 (或 B_0)上接收到的信号在两个TJoin元件之间的线路上随机移动,交替搜索被激活元件.随机波动最终使两个信号均移动到左上角的TJoin元件,激活该元件并在线路 C_{00} 和 C'_{00} 上输出信号.同样验证对其他输入信号的情形.由此,该电路能够构造原始延迟不敏感电路 2×2 -Join元件,而信号的随机波动是实现输入输出行为的关键.同理可验证其他电路的正确性.

根据定理2,TJoin元件和Hub元件能够构建所有延迟不敏感电路,元件数量的减少能够有效降低具备计算通用性的异步元胞自动机复杂度.

3.2 新型异步元胞自动机模型及图灵通用性

本文提出的新型异步元胞自动机定义为

$$(Z^2, N, \{0, 1, 2\}, f_n) \quad (12)$$

其中,变迁函数 f_n 只包括2条变迁规则以及与它们旋转对称和反射对称等价的变迁规则,如图4所示.其中,变迁规则1主要用于驱动信号在线路上随机移动,而变迁规则2用于TJoin元件处理信号.

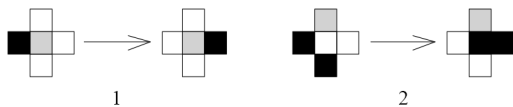


图4 新型异步元胞自动机变迁规则(数字代表对应的变迁规则编号,元胞状态0、1、2分别用空白、灰色和黑色表示)

元胞自动机空间中,线路是由状态0和状态1的元胞交替排列成的线性构型组成.信号(标记)由一个状态2的元胞表示,并且总是驻留在状态为0的元胞上.在变迁规则1的驱动下,信号可在线路上随机向左或向右移动,与微粒子的布朗运动相似.为实现通用计算,需要将电路元件彼此相连.图5(a)给出了交叉线路的构型.对此,必须考虑两条线路交叉时的信号匹配问题.为解决该问题,可使用图5(b)所示的构型,将两个Ratchet元件连接成模块,并放置于线路上,使该线路产生移位,从而使交叉线路信号相匹配,如图5(c)所示.

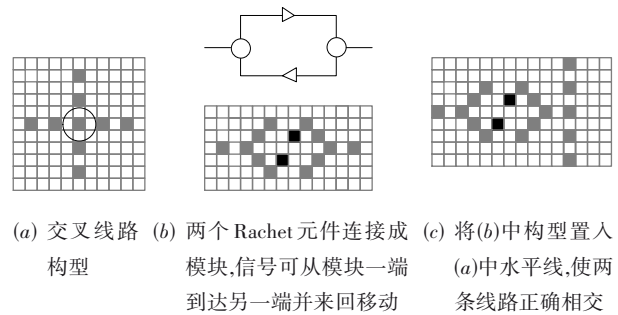


图5 交叉线路及信号移位模块构型

定理3 异步元胞自动机 $(Z^2, N, \{0, 1, 2\}, f_n)$ 能够构建所有延迟不敏感电路,具备与延迟不敏感电路同等的通用计算能力,即图灵通用性.

证明 异步元胞自动机能够配置延迟不敏感电路(布朗电路)的通用元件集{TJoin, Hub}.同时,利用Ratchet元件连接成模块能够有效解决线路交叉时的匹配问题,从而使在元胞空间中能够自由放置设计好的延迟不敏感电路,证明元胞自动机具备与延迟不敏感电路及图灵机同等^[21]的计算能力.依据图3中的电路拓扑图,图6展示了使用TJoin元件及Hub元件构建的异步电路 2×2 -Join和CSequencer.

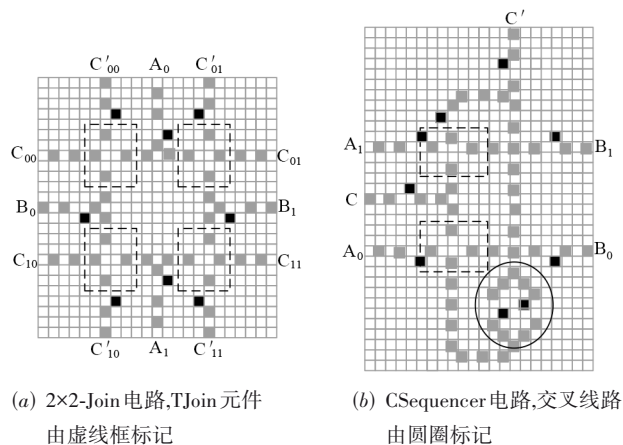


图6 利用TJoin元件和Hub元件构建

4 新型异步元胞自动机与 Banks 元胞自动机的等价性

4.1 Banks 元胞自动机

定义 5 具有冯·诺伊曼邻域关系的同步元胞自动机定义为

$$(Z^2, N, Q, \delta) \tag{13}$$

其中, Z, N, Q 与定义 2 相同, $\delta: Q^5 \rightarrow Q$ 为状态变迁函数. 假设 $c^t \in \text{Conf}(Q)$ 为 $t \geq 0$ 时刻的构型, 则 $t+1$ 时刻的构型 c^{t+1} 可由全局变迁函数 $\Delta: \text{Conf}(Q) \rightarrow \text{Conf}(Q)$ 表示, 得到:

$$\begin{aligned} \forall (x, y) \in Z^2 \\ c^{t+1}(x, y) &= \Delta(c^t)(x, y) \\ &= \delta(c^t(x, y), c^t(x, y-1), c^t(x-1, y), c^t(x, y+1), \\ &\quad c^t(x+1, y)) \end{aligned} \tag{14}$$

Banks 元胞自动机^[10]定义为

$$(Z^2, N, \{0, 1\}, \psi) \tag{15}$$

局部变迁函数 $\psi: \{0, 1\}^5 \rightarrow \{0, 1\}$ 可用图 7 给出的变迁规则及其旋转和反射对称规则表达.

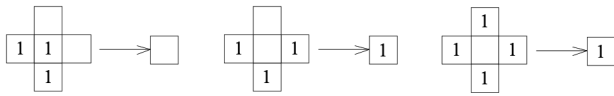


图 7 Banks 元胞自动机变迁规则(数字 1 代表状态 1, 空白代表状态 0)

命题 1 Banks 元胞自动机能够模拟所有同步元胞自动机, 具有内在通用性.

证明 如前所述, 在元胞空间中配置布尔电路(线路、逻辑门元件、时钟、交叉线等), 能够证明 Banks 元胞自动机具备与布尔电路(图灵机)同等的通用计算能力^[10]. 图 8(a)展示了线路构型及信号传输过程. 同时, 将 Banks 元胞自动机空间规则地划分为块, 在每个块上放置相同的逻辑电路执行其他同步模型单个元胞的逻辑功能, 并与相邻块中的其他电路互连. 由此, Banks 元胞自动机能够模拟其他任何同步元胞自动机^[31], 具备内在通用性^[24].

4.2 棋盘元胞自动机

通过将大量延迟不敏感电路模块嵌入在异步元胞空间并有规则地连接起来, 使每个电路模块(而不是每个元胞)执行 Banks 元胞自动机中对应的一个元胞的状态变迁. 为此, 本文将 Banks 元胞自动机转换为更易于模拟的棋盘元胞自动机.

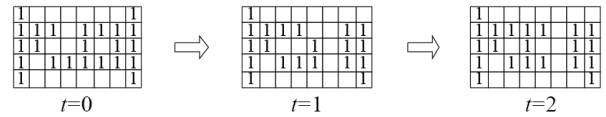
定义 6 具有冯·诺伊曼邻域关系的棋盘元胞自动机定义为

$$(Z^2, N, Q, \Phi) \tag{16}$$

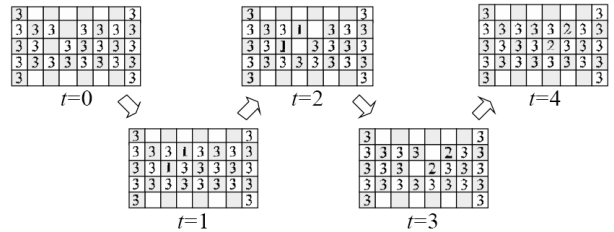
假设 $c^t \in \text{Conf}(Q)$ 为 $t \geq 0$ 时刻的构型, 则 $t+1$ 时刻的构型 c^{t+1} 由以下方式求得:

$$\begin{aligned} \forall (x, y) \in Z^2: c^{t+1}(x, y) &= \begin{cases} \Phi(c^t(x, y), \dots, c^t(x+1, y)), & x+y \equiv t \pmod{2} \\ c^t(x, y), & \text{otherwise} \end{cases} \end{aligned} \tag{17}$$

棋盘元胞自动机是特殊的同步元胞自动机, 其元胞空间如同国际象棋的棋盘, 交替排列着灰、白元胞, 如图 8(b)所示. 每个灰(白)元胞的周边都是白(灰)元胞, 同时所有灰元胞在每个奇数时刻同步进行状态变迁, 所有白元胞在每个偶数时刻同步进行状态变迁.



(a) Banks 元胞自动机线路构型及信号传输示例



(b) 等价棋盘元胞自动机中线路构型及信号传输过程

图 8 Banks 元胞自动机与棋盘元胞自动机空间构型

设映射函数 $\pi_j: \{0, 1\}^2 \rightarrow \{0, 1\} (1 \leq j \leq 2)$, 满足 $\forall (q_1, q_2) \in \{0, 1\}^2: \pi_j((q_1, q_2)) = q_j$. 将 Banks 元胞自动机 $(Z^2, N, \{0, 1\}, \psi)$ 转换为等价棋盘元胞自动机 $(Z^2, N, \{0, 1\}^2, \Phi_\psi)$, 其中局部变迁函数 Φ_ψ 分解成两个函数 $\Phi_w, \Phi_g: \{0, 1\}^5 \rightarrow \{0, 1\}$, 定义为

$$\begin{aligned} \forall \alpha, \beta, \gamma, \mu, \nu \in \{0, 1\}^2: \\ \Phi_w(\alpha, \beta, \gamma, \mu, \nu) &= (c, c) \wedge \Phi_g(\alpha, \beta, \gamma, \mu, \nu) \\ &= (\pi_2(\alpha), c) \end{aligned} \tag{18}$$

且 $c = \psi(\pi_2(\alpha), \pi_1(\beta), \pi_1(\gamma), \pi_1(\mu), \pi_1(\nu))$

函数 Φ_w 和 Φ_g 分别为更新白元胞和灰元胞的变迁函数.

命题 2 Banks 元胞自动机 $(Z^2, N, \{0, 1\}, \psi)$ 与棋盘元胞自动机 $(Z^2, N, \{0, 1\}^2, \Phi_\psi)$ 等价.

证明 设 $c^0 \in \text{Conf}(\{0, 1\})$ 为 Banks 元胞自动机的初始构型. 棋盘元胞自动机从初始构型 $d^0 \in \text{Conf}(\{0, 1\}^2)$ 开始模拟 Banks 元胞自动机, 满足: $\forall (x, y) \in Z^2: d^0(x, y) = (c^0(x, y), c^0(x, y))$.

假设 Banks 元胞自动机从初始构型 c^0 开始, 迭代 $k \geq 0$ 次, 得到构型 c^k . 同样, 棋盘元胞自动机从构型 d^0 开始, 对所有灰元胞和所有白元胞交替更新 k 次, 得到构型 d^{2k} , 归纳证明: $\forall (x, y) \in Z^2: c^k(x, y) = \pi_2(d^{2k}(x, y))$, 即构型 c^k 通过函数 π_2 映射与构型 d^{2k} 相同.

对任何 $(x, y) \in Z^2$, 有 $c^0(x, y) = \pi_2(d^0(x, y))$. 同时, 假设对所有 $0 \leq t \leq k, c^t(x, y) = \pi_2(d^{2t}(x, y))$ 成立. 令

$$\begin{cases} \alpha^m = d^m(x, y) \\ \beta^m = d^m(x, y - 1) \\ \gamma^m = d^m(x - 1, y) \\ \mu^m = d^m(x, y + 1) \\ \nu^m = d^m(x + 1, y) \end{cases} \quad (19)$$

其中, $m \geq 0$. 如果元胞 (x, y) 在棋盘元胞自动机中为灰元胞, 当 $t = 2k + 1$ 时, 根据函数 Φ_g 进行状态变迁, 并在 $t = 2k + 2$ 时, 该元胞状态保持不变. 因此有

$$\begin{aligned} & d^{2(k+1)}(x, y) \\ &= d^{2k+1}(x, y) \\ &= \Phi_g(\alpha^{2k}, \beta^{2k}, \gamma^{2k}, \mu^{2k}, \nu^{2k}) \\ &= (\pi_2(\alpha^{2k}), \psi(\pi_2(\alpha^{2k}), \pi_1(\beta^{2k}), \pi_1(\gamma^{2k}), \\ &\quad \pi_1(\mu^{2k}), \pi_1(\nu^{2k}))) \\ &= (\pi_2(\alpha^{2k}), \psi(\pi_2(\alpha^{2k}), \pi_2(\beta^{2k}), \pi_2(\gamma^{2k}), \\ &\quad \pi_2(\mu^{2k}), \pi_2(\nu^{2k}))) \\ &= (c^k(x, y), \psi(c^k(x, y), c^k(x, y - 1), c^k(x - 1, y), \\ &\quad c^k(x, y + 1), c^k(x + 1, y))) \\ &= (c^k(x, y), c^{k+1}(x, y)) \end{aligned} \quad (20)$$

如果 (x, y) 是棋盘元胞自动机的白元胞, 当 $t = 2k + 1$ 时, 只有与白元胞相邻的灰元胞变迁状态, 而白元胞在 $t = 2k + 2$ 时刻更新状态. 同理可证 $c^k(x, y) = \pi_2(d^{2(k+1)}(x, y))$. 结合上述结果, 命题 2 得证.

4.3 延迟不敏感电路模块及列阵结构电路设计

棋盘更新机制使得电路间能够交替传送信号, 实现自然握手机制锁步电路的运行, 从而实现电路异步化. 为此, 设计两个延迟不敏感电路模块即 WB 模块和

GB 模块, 分别用于模拟棋盘元胞自动机中白元胞和灰元胞的状态变迁, 如图 9 所示.

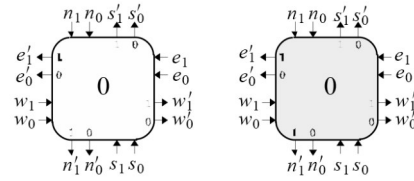


图 9 WB 模块和 GB 模块结构图

WB 模块定义为

$$(I_B, O_B, \{0, 1\}, R_W) \quad (21)$$

其中, $\begin{cases} I_B = \{n_0, n_1, w_0, w_1, s_0, s_1, e_0, e_1\} \\ O_B = \{n'_0, n'_1, w'_0, w'_1, s'_0, s'_1, e'_0, e'_1\} \end{cases}$, 且

$$R_W = \left\{ \{n_i, w_j, s_k, e_l\}; c \rightarrow \{n'_d, w'_d, s'_d, e'_d\}; d | 0 \leq c, i, j, k, l \leq 1 \wedge d = \psi(c, i, j, k, l) \right\}$$

GB 模块定义为

$$(I_G, O_G, \{0, 1\}, R_G) \quad (22)$$

其中, $R_G = \left\{ \{n_i, w_j, s_k, e_l\}; c \rightarrow \{n'_c, w'_c, s'_c, e'_c\}; d | 0 \leq c, i, j, k, l \leq 1 \wedge d = \psi(c, i, j, k, l) \right\}$.

基于 WB 模块和 GB 模块, 设计模拟 Banks 元胞自动机(棋盘元胞自动机)的延迟不敏感电路. 延迟不敏感电路由 WB 模块和 GB 模块规则地交替排列组成, 与棋盘元胞自动机中的白元胞和灰元胞一一对应, 如图 10 所示. 电路具备阵列结构并且连线只局限于相邻模块之间, 可扩展性高. 同时, 相邻 WB 模块和 GB 模块的输入和输出线路成对对齐, 规则的互连在一起, 避免连接线间交叉, 并且棋盘元胞自动机构型之外的所有元胞满足开放边界, 可用 Merge 模块实现.

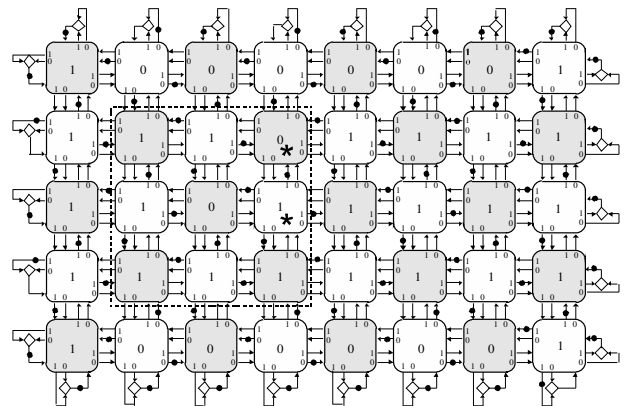


图 10 具备可扩展阵列结构的延迟不敏感电路, 实现图 8(b) 中初始时刻棋盘元胞自动机构型

初始时, WB 模块的输出线路 n'_c 、 w'_c 、 s'_c 和 e'_c 上放置有信号, 表示该 WB 模块的状态 $c \in \{0, 1\}$, 与模块对应的棋盘元胞自动机的白元胞状态一致. 因此, 只有 GB 模块才会接受到输入信号, 并被激活对信号进行处理, 完成对应的灰元胞状态变迁. 当且仅当所有相连的 GB 模块完成操作并输出相应的信号后, WB 模块才会被激活.

信号总是在一对互连的 WB 模块和 GB 模块之间交替交换, 这不仅使信号能够在它们之间传递, 而且能够利用自然握手机制模拟棋盘元胞自动机中元胞的交替变迁. 尤其是由于电路延迟不敏感性, 即使每个相邻 GB 模块独立于其他模块运行, 每个 WB 模块只有在与它相连的 GB 模块完成操作后才能被激活. 同样, 每个 GB 模块只有在与其连接的 WB 模块模拟完相邻白元胞变迁后, 才能被激活模拟同一个元胞的下一变迁. 这种交替更新模拟机制, 使延迟不敏电路模块能够模拟 Banks 元胞自动机和棋盘元胞自动机. 由此可证, 图 10 中的延迟不敏感电路能够模拟图 8 中的 Banks 元胞自

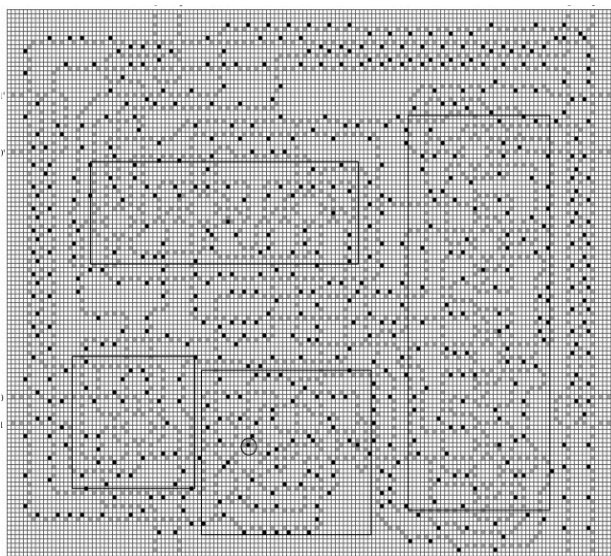


图 11 利用布朗电路元件 Tjoin 和 Hub 构建 WB 模块

5 总结

本文设计出一组新型布朗电路元件, 并基于该组元件构造实现 Banks 元胞自动机单个元胞(有限状态自动机)逻辑功能的异步电路模块. 通过将大规模电路模块有规则地配置在元胞空间中, 进一步证明本文提出的包含 3 个元胞状态和 2 条变迁规则的异步元胞自动机模型在计算能力上不仅与图灵机等价, 而且与 Banks 元胞自动机等价. Banks 元胞自动机能够通过时空调整模拟所有同步元胞自动机, 表明本文提出的异步元胞自动机具备与同步元胞自动机等等的并行计算能力.

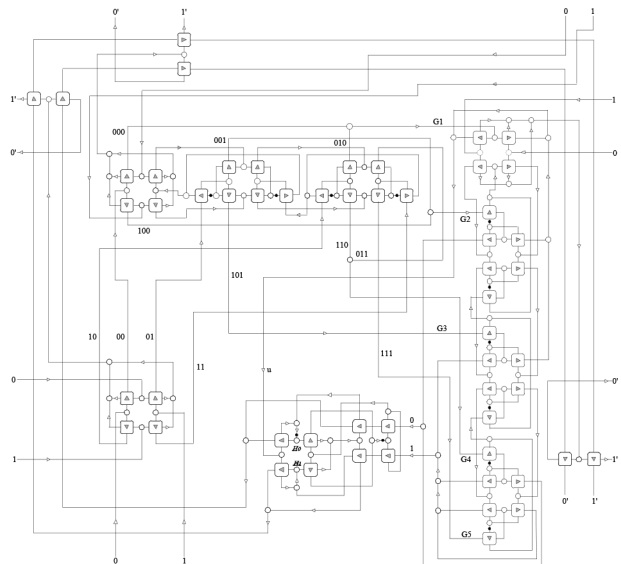
动机和棋盘元胞自动机.

4.4 延迟不敏感电路及布朗电路构建

根据定理 2, WB 模块和 GB 模块能够由布朗电路元件 TJoin 和 Hub 构建. 图 11 给出了 WB 模块电路图以及配置在异步元胞自动机空间的构型.

定理 4 异步元胞自动机 $(Z^2, N, \{0, 1, 2\}, f_n)$ 与 Banks 元胞自动机等价.

证明 根据布朗电路的通用性, WB 模块和 GB 模块能够进一步分解为更简单的延迟不敏电路元件 Tjoin 和 Hub, 并嵌入到本文提出的异步元胞自动机中模拟 Banks 元胞自动机. 图 11 为基于 Tjoin 和 Hub 元件构建的 WB 模块及其空间构型; 同理可将 GB 模块嵌入到布朗元胞自动机中. 由此, 可将元胞空间规整地划分, 保持图 10 所示的电路模块列阵结构的一致性、规则性, 实现异步元胞自动机通过适当时空调整有效模拟 Banks 元胞自动机, 从而证明两种模型具备同等的并行计算能力.



最后, 根据 Banks 元胞自动机具有内在通用性, 如何通过适当时空调整, 将同步元胞自动机上设计的高效并行算法应用在本文提出的异步元胞自动机上, 是今后重点研究工作之一.

参考文献

- [1] VON N J, BURKS A. Theory of Self-Reproducing Automata[M]. New York: Springer, 1966.
- [2] BHATTACHARJEE K, NASKAR N, ROY S, et al. A survey of cellular automata: Types, dynamics, non-uniformity and applications[J]. Natural Computing, 2020, 19: 433-461.

- [3] FATES N. A guided tour of asynchronous cellular automata[J]. *Journal of Cellular Automata*, 2014, 9(5-6): 387-416.
- [4] 李俊文, 夏银水. 基于 QCA 的五输入 Majority 门设计及应用[J]. *电子学报*, 2019, 47: 404-409.
LI J W, XIA Y S. Quantum-dot cellular automata based design of five-input majority gate and its applications[J]. *Acta Electronica Sinica*, 2019, 47(2): 404-409. (in Chinese)
- [5] 邓飞飞, 解光军, 王晓旸, 等. 量子元胞自动机共面五输入择多门结构的分析与设计[J]. *电子学报*, 2020, 48: 861-869. (in Chinese)
DENG F F, XIE G J, WANG X Y, et al. Analysis and design of coplanar five-input majority gate in quantum-dot cellular automata[J]. *Acta Electronica Sinica*, 2020, 48(5): 861-869. (in Chinese)
- [6] DEBNATH B, DAS J C, DE D. Nanoscale cryptographic architecture design using quantum dot cellular automata[J]. *Frontiers of Information Technology & Electronic Engineering*, 2019, 20(11): 1578-1586.
- [7] BANDYOPADHYAY A, PATI R, SAHU S, et al. Massively parallel computing on an organic molecular layer[J]. *Nature Physics*, 2010, 6(5): 369-375.
- [8] CICUTTIN A, DE MICCO L, CRESPO M L, et al. Physical implementation of asynchronous cellular automata networks: Mathematical models and preliminary experimental results[J]. *Nonlinear Dynamics*, 2021, 105: 2431-2452.
- [9] MORAN A, FRASSER C F, ROCA M, et al. Energy-efficient pattern recognition hardware with elementary cellular automata[J]. *IEEE Transactions on Computers*, 2019, 69(3): 392-401.
- [10] BANKS E R. *Universality in cellular automata*[C]//11th Annual Symposium on Switching and Automata Theory (swat 1970). Piscataway: IEEE, 1970: 194-215.
- [11] FEI L J, LEE J, HUANG X, et al. Effect of random fluctuations on minimizing the complexity of universal asynchronous cellular automata[J]. *Physica D: Nonlinear Phenomena*, 2021, 428: 133052 1-9.
- [12] MARTIN A J, NYSTROM M. Asynchronous techniques for system-on-chip design[J]. *Proceedings of the IEEE*, 2006, 94(6): 1089-1120.
- [13] LEE J P F, ADAMATZKY A, ALONSO-SANZ R. *On brownian cellular automata*[C]//Automata-2008: Theory and Applications of Cellular Automata. New York: Luviver Press, 2008: 278-291.
- [14] YAMASHITA T, ISOKAWA T, PEPER F, et al. Turing-completeness of asynchronous noncamouflaged cellular automata[J]. *Information and Computation*, 2020, 274: 104539.1-104539.17
- [15] HELBING D, HUBERMAN B A. Moving like a solid block[J]. *Nature*, 1998, 396(6713): 738-740.
- [16] LEHMANN F, ROOP P S, RANJITKAR P. Extending particle hopping models for road traffic with timed automata[J]. *Physica A: Statistical Mechanics and Its Applications*, 2020, 553: 124107.1-124107.20.
- [17] PEPER F, LEE J, CARMONA J, et al. Brownian circuits: Fundamentals[J]. *ACM Journal on Emerging Technologies in Computing Systems (JETC)*, 2013, 9(1): 3.1-3.24.
- [18] LEE J, PEPER F, COTOFANA S D, et al. Brownian circuits: Designs[J]. *International Journal of Unconventional Computing*, 2016, 12(5-6): 341-362.
- [19] KISH L B, GRANQVIST C G. On the security of the Kirchhoff-law-johnson-noise (KLJN) communicator[J]. *Quantum Information Processing*, 2014, 13: 2213-2219.
- [20] RAO C V, WOLF D M, ARKIN A P. Control, exploitation and tolerance of intracellular noise[J]. *Nature*, 2002, 420(6912): 231-237.
- [21] ERCAN İ, SÜTGÖL Z D, ÖZHAN F O. Physical limitations on fundamental efficiency of set-based brownian circuits[J]. *Entropy*, 2021, 23(4): 406.1-406.16.
- [22] AGBO I, SAFIRUDDIN S, COTOFANA S. Implementable building blocks for fluctuation based calculation in single electron tunneling technology[C]//2009 9th IEEE Conference on Nanotechnology (IEEE-NANO). Piscataway: IEEE, 2009: 366-369.
- [23] JIBIKI Y, GOTO M, TAMURA E, et al. Skyrmion Brownian circuit implemented in continuous ferromagnetic thin film[J]. *Applied Physics Letters*, 2020, 117(8): 1-5.
- [24] OLLINGER N, BÄCK T, KOK J N. *Universality in Cellular Automata*[M]//Handbook of Natural Computing. Heidelberg: Springer, 2012: 189-229.
- [25] BRICENO R, RAPAPORT I. Communication complexity meets cellular automata: Necessary conditions for intrinsic universality[J]. *Natural Computing*, 2021, 20(2): 307-320.
- [26] PATRA P, FUSSELL D S. *Building-Blocks for Designing DI Circuits*[R]. University of Texas at Austin, Department of Computer Sciences, 1993.
- [27] 茅剑锋, 赵千川. 异步电路验证算法[J]. *计算机学报*, 2004, 27(1): 66-78.
MAO J F, ZHAO Q C. Verification algorithms for asynchronous circuits[J]. *Chinese Journal of Computers*, 2004, 27(1): 66-78. (in Chinese)
- [28] 孙智权. 基于 Balsa 的异步集成电路设计方法[J]. *科学技术与工程*, 2008, 8(16): 4527-4530.
SUN Z Q. Design methodology asynchronous circuits

- based on Balsa[J]. Science Technology and Engineering, 2008, 8(16): 4527-4530. (in Chinese)
- [29] KELLER R M. Towards a theory of universal speed-independent modules[J]. IEEE Transactions on Computers, 1974, 100(1): 21-33.
- [30] LEE J, PEPER F, ADACHI S, et al. Universal delay-insensitive systems with buffering lines[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2005, 52(4): 742-754.
- [31] WOODS D. Intrinsic universality in self-assembly[M]// Encyclopedia of Algorithms. New York: Springer, 2016: 993-998.

作者简介



黄 鑫 女,1982年出生. 辽宁盘山人. 博士. 主要研究方向为人工生命、仿生计算.
E-mail: hx69@alu.cqu.edu.cn



李 佳 男,1971年出生. 重庆人. 现为重庆大学计算机学院教授,博士生导师. 教育部新世纪优秀人才. 主要研究方向为仿生计算、自然计算.
E-mail: lijia@cqu.edu.cn



葛 亮 男,1980年出生. 重庆人. 现为重庆大学计算机学院副教授、硕士生导师. 中国计算机学会会员,重庆市人工智能学会委员. 主要研究方向为数据挖掘、机器学习、Web应用技术.
E-mail: geliang@cqu.edu.cn



宋 伟 男,1969年出生. 四川内江人. 现为重庆大学计算机学院副教授. 主要研究方向为大数据挖掘与应用.
E-mail: songw@cqu.edu.cn