

# 基于7阶相关NRZ编码的D2D接口设计

张 庚, 赖明澈\*, 吕方旭, 齐星云, 王 强, 许超龙, 李 萌, 任博琳

(国防科技大学, 湖南长沙 410073)

**摘要:** 本文提出了一种新型高带宽密度、低功耗的面向片上(Die to Die, D2D)互连的7阶相关非归零(Non-Return-to-Zero, NRZ)编码接口电路结构. 为了进一步提高5阶相关NRZ编码在D2D互连中的信噪比和带宽密度, 设计了基于发射矩阵和接收矩阵的编解码电路. 基于发射矩阵, 在发射端设计了基于电压模驱动的编码电路, 有效降低了功耗; 基于接收矩阵, 在接收端设计了基于有源可调电感的解码均衡电路, 提高了通信速率. 同时, 为了解决接收端时钟偏斜问题, 还设计了误码校准电路. 该接口电路采用28 nm CMOS(Complementary Metal Oxide Semiconductor)工艺设计, 核心面积为3 mm<sup>2</sup>, 可适用于10~50 mm的片上互连. 后端仿真结果表明, 在奈奎斯特频率为20 GHz、信道插损为-8 dB的条件下, 接收端最窄眼宽为0.45 UI, 误码率小于10<sup>-15</sup>, 能耗效率为1.2 pJ/b, 带宽密度为448 Gbps/mm.

**关键词:** 片上互连; 相关非归零编码; 带宽密度; 有线收发机; 电压模驱动; 有源电感

**基金项目:** 国家自然科学基金(No.62204263); 国防基础科学研究计划项目(No.WDZC20215250107)

**中图分类号:** TN47 **文献标识码:** A **文章编号:** 0372-2112(2024)08-2688-18

**电子学报 URL:** <http://www.ejournal.org.cn>

**DOI:** 10.12263/DZXB.20230360

## Design of D2D Interface Based on 7-Order Correlated NRZ Coding

ZHANG Geng, LAI Ming-che\*, LÜ Fang-xu, QI Xing-yun, WANG Qiang,

XU Chao-long, LI Meng, REN Bo-lin

(National University of Defense Technology, Changsha, Hunan 410073, China)

**Abstract:** In this paper, a novel high-bandwidth density and low-power 7-order correlated NRZ (Non-Return-to-Zero) coding interface circuit for D2D (Die to Die) interconnection is proposed. In order to further improve the SNR (signal-to-noise ratio) and bandwidth density of 5-order correlated NRZ coding, this paper designs encoding and decoding circuits based on transmission and reception matrices. Based on the transmission matrix, a voltage-mode encoding circuit is designed at the transmitting end to effectively reduce power consumption. Based on the reception matrix, a decoding equalization circuit based on active adjustable inductor is designed at the receiving end to improve communication speed. In order to solve the problem of clock skew at the receiving end, this paper also designs an error correction circuit. The interface circuit is designed using 28 nm CMOS (Complementary Metal Oxide Semiconductor) technology, with a core area of 3 mm<sup>2</sup>, and can be applied to on-chip interconnects ranging from 10 to 50 mm. The backend simulation results indicate that, under the condition of a Nyquist frequency of 20 GHz and a channel loss of -8 dB, the receiver's narrowest eye width is 0.45 UI, with a bit error rate less than 10<sup>-15</sup>, energy efficiency of 1.2 pJ/b, and bandwidth density of 448 Gbps/mm.

**Key words:** die to die; correlated non-return-to-zero coding; bandwidth density; wireline transceiver; source-series terminated; active inductor

**Foundation Item(s):** National Natural Science Foundation of China (No.62204263); National Defense Basic Scientific Research Program of China (No.WDZC20215250107)

## 1 引言

随着集成电路技术的高速发展, 制造工艺不断逼近物理线宽极限, 集成电路制造进入了“后摩尔时

代”<sup>[1-3]</sup>. 同时, 巨额的成本代价使得新工艺带来的性价比越来越低<sup>[4,5]</sup>. 为打破工艺限制的瓶颈, 异构芯片技术 Chiplet 为性能提升和摆脱工艺依赖提供了最佳解决

路径,其架构如图1所示<sup>[6]</sup>.

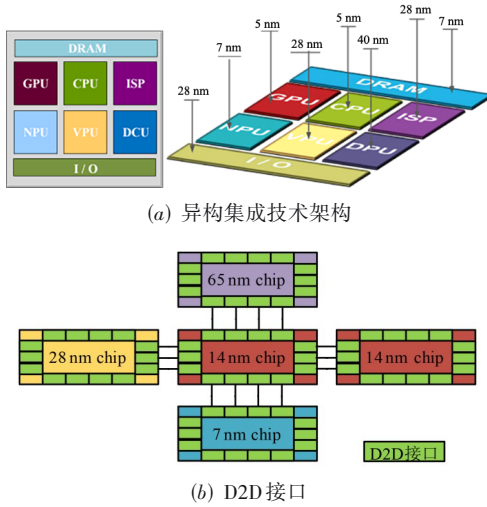


图1 不同chip之间的互连

图1(a)中,不是所有chip的设计都能从尺寸缩放中得到收益,所以采用适合其设计的工艺节点来降低整体成本是必要的.如图1(b)所示,不同工艺的chip间进行高速数据交换的同时,要保证交换接口不能影响整个大芯片的性能与指标,因此要设计一种支持高带宽密度(单位长度上的带宽)、低功耗和低误码率的D2D(Die-to-Die, D2D)互连接口<sup>[7]</sup>.

表1 PAM4传输的D2D互连接口

对比文献	年	插损/dB	工艺/nm	带宽密度/(Gbps/mm)	总带宽/Gbps	能耗效率/(pJ/bit)	误码率
文献[8]	2021	-4/-7	7	491	896	1.70 <sub>@112Gbps</sub>	$6 \times 10^{-11}/1.3 \times 10^{-10}$
文献[9]	2021	-10	7	471	850	1.55 <sub>@106.25Gbps</sub>	$10^{-10}$
文献[10]	2022	-11.5	5	475	1 808	1.55 <sub>@113Gbps</sub>	$10^{-9}$

如表2所示,为了解决高误码率的问题,文献[12,13]采用了差分并行的NRZ传输.差分传输方式具有高速率、驱动能力强和抗干扰等优势<sup>[14,15]</sup>.单端传输的并行接口均衡能力较弱,在标准封装中,D2D互连的总带宽会受通道传输距离的限制.文献[12]的优势在于可以支持距离更长的信道,劣势在于发射端和接收端的数据通路采

表2 差分NRZ传输的D2D互连接口

对比文献	年	插损/dB	工艺/nm	带宽密度/(Gbps/mm)	总带宽/Gbps	能耗效率/(pJ/bit)	误码率
文献[12]	2016	-18.4	28	80	112	4.410 <sub>@56Gbps</sub>	$10^{-12}$
文献[13]	2018	-8	16	169.7	448	2.250 <sub>@56Gbps</sub>	$10^{-15}$

如表3所示,为了解决带宽密度低和误码高的问题,文献[16~18]采用了单端并行NRZ传输.单端传输的带宽密度主要取决于封装技术和单通道的传输速率.在标准封装下,封装焊球间距(bump pitch)的范围

如表1所示,为了解决D2D互连的高带宽需求,文献[8~10]采用了四电平脉冲幅度调制技术(4-level Pulse Amplitude Modulation, PAM4)和先进工艺与封装.与相关非归零(Non-Return-to-Zero, NRZ)信号传输技术相比,PAM4增加了脉冲幅度调制的电平数,实现了高带宽传输.文献[8]的发射机采用了数模转换器+有限脉冲响应滤波器(Digital-to-Analog Converter+Finite Impulse Response, DAC+FIR)架构,接收机采用了连续时间线性均衡器+可变增益放大器+时钟数据恢复(Continuous Time Linear Equalizer+Variable-Gain Amplifier+Clock Data Recovery, CTLE+VGA+CDR)的架构,能耗效率仅为1.70 pJ/bit,在-7 dB信道的损失下,误码率降低至 $1.3 \times 10^{-10}$ ,带宽密度提高至491 Gbps/mm.与文献[8]相比,文献[9]的接收机采用了CTLE的结构,带宽密度提高到471 Gbps/mm,但是总传输带宽低于文献[8].文献[10]解决了高速下时钟偏斜问题,并采用16通道共用了一个锁相环的结构,将互连的双向带宽提高到1.6 Gbps以上.文献[8~10]虽然采用了相关低功耗设计,但是数字信号处理(Digital Signal Processor, DSP)、FIR(Finite Impulse Response)和判决反馈均衡(Decision Feedback Equalization, DFE)等模块带来的功耗是无法避免的.同时,由于PAM4信号的信噪比远低于NRZ,导致误码率无法达到 $10^{-15}$ <sup>[11]</sup>.采用PAM4传输方式的D2D互连虽然可以实现高带宽和高带宽密度的数据互连,但在实际应用中仍存在误码率和功耗方面的性能瓶颈.

用二分之一的架构,时钟功耗整体较高.文献[13]对文献[12]进行了改进,将能耗效率降低至2.25 pJ/bit.差分传输的引脚效率和理论功耗是单端传输的一半,而引脚效率是影响带宽密度的关键因素.因此,通过增加通道数量来提升总带宽,芯片的引脚效率成为D2D互连接口带宽密度低的主要原因.

为100~200 μm不等,这就决定了片上边缘(die edge)宽度,进而影响带宽密度.另一个影响带宽密度的原因是单通道的传输速率.在标准封装下,信号的抗干扰性能远不如先进封装,要想达到差分信号的抗干扰性能,必

须在电路设计上进行改进. 文献[16,17]采用了单端对地参考技术,有效地解决了开关同步噪声等影响. 文献[17]在文献[16]的基础上,采用了空间编码,使传输的“0”“1”电平信号趋于平衡,进而降低了电源/地的噪声对信号的影响,其单线传输速率提高到40 Gbps. 同时,通道数量从8个通道增加到12个,带宽密度增加

至480 Gbps/mm. 文献[18]是由英特尔、台积电、三星等公司联合推出的UCIe协议,当采用标准封装技术时,在基板中实现16个通道的单端数据传输,单通道速率为32 Gbps,并对功耗提出了更高的要求. 虽然单端NRZ传输能够实现节省的引脚,但随着数据速率的提高,单端信号的抗干扰能力变弱,单线传输速率难以提升.

表3 单端NRZ传输的D2D互连接口

对比文献	年	插损/dB	单线传输速率/Gbps	焊球间距/ $\mu\text{m}$	能耗效率/(pJ/bit)	误码率	封装形式
文献[16]	2019	-4	25	150	1.17	$10^{-15}$	PCB/MCM
文献[17]	2021	-8	40	130	1.70	$10^{-15}$	MCM
文献[18]	2022	小于-4	32	110	1.25	$10^{-15}$	标准封装

如表4所示,为了有效提高带宽密度并解决单端信号抗干扰能力差的问题,文献[19,20]采用了一种5阶相关NRZ编码技术. 该技术利用多通道传输信号的相关性,在6个单端信道上传输5 bit数据,提高了信号抗共模噪声和开关噪声等能力. 文献[19]首次提出了相关编码技术,采用了32组编码册进行数字编码,经过低功耗的电压模驱动发出,整体设计采用了两个收发机共用一个锁相环结构,带宽密度为166 Gbps/mm. 为了

解决文献[19]面积大和总带宽低的问题,文献[20]改进了编码方式,去除了大量的数字编码,而是采用了编码矩阵与电压模驱动相结合的设计,降低了单个发射机的面积,4个收发机共用一个锁相环的结构,将带宽密度提高到208 Gbps/mm. 但是文献[20]的编码方式在发射端存在不等高眼图,导致接收机信号的信噪比较低,进而影响单通道的传输速率,限制了带宽密度的提升.

表4 5阶相关NRZ编码传输的D2D互连接口

对比文献	年	插损/dB	工艺/nm	带宽密度/(Gbps/mm)	单线传输速率/Gbps	能耗效率/(pJ/bit)	误码率
文献[19]	2016	-3	28	166	20.83	0.94	$10^{-15}$
文献[20]	2020	-6	16	208	20.83	1.02	$10^{-15}$

为了进一步改善5阶相关NRZ编码在D2D通信中的信噪比,进而提高单线传输速率,本文提出了基于7阶相关NRZ编码的发射矩阵和接收矩阵,该矩阵由沃尔什哈达玛变换和逆变换推导而来. 为降低发射机的功耗,设计了基于7阶相关NRZ编码发射矩阵的编码驱动电路,该结构采用电压模驱动方式降低发端功耗. 为了进一步提高接收机的信噪比,设计了基于7阶相关NRZ编码接收矩阵的解码均衡电路,该结构采用多输入差分结构,并加入可调有源电感进行均衡,可使该芯片适用于不同距离的D2D互连.

图2所示为本文研究的技术路线. 本文研究的问题属于片上高速互连领域,主要研究的是芯片与芯片之间高速通信,目前国际上针对标准封装的单线传输速率已经达到40 Gbps(NRZ传输)<sup>[17]</sup>,但是所支持的传输距离较短(20 mm以下). 本文的工作主要解决了高速下单端NRZ信号传输的抗干扰能力弱的问题,提出了新型编码方式,设计了收发电路. 在信号保持高传输速率的同时,使信号保持较高的抗干扰性能,并将传输距离提高到50 mm. 本文研究的意义在于解决了芯片间高速通信中带宽密度低、误码率高等问题. 提出了新型编码方式并设计了收发电路,使得单端NRZ信号传

输的抗干扰性能得到大幅提升,为芯片间高速通信提供了更加稳定可靠的解决方案. 本文的创新点有3个:(1)提出7阶相关NRZ编码,提高引脚效率;(2)提出编码驱动电路结构,将编码和驱动相结合,降低发端功耗;(3)提出可调节的解码均衡电路结构,以适应不同的传输距离.

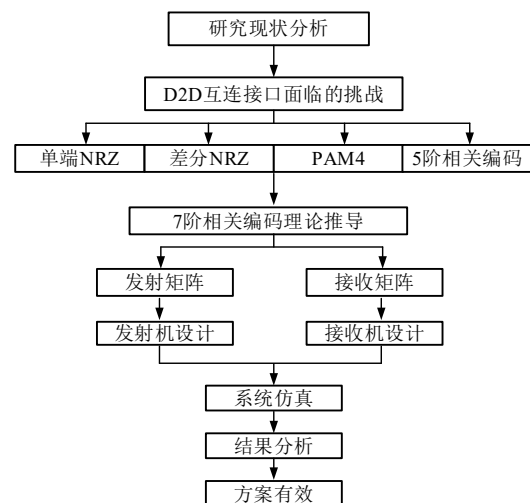


图2 研究采取的技术路线

## 2 编码与架构

### 2.1 7 阶相关 NRZ 编码

相关 NRZ 编码是一种应用于超短距离有线数据传输的方法,其特征在于发送端和接收端之间通过发射矩阵编码和接收矩阵解码的方式进行传输,具有抗共模噪声、低码间干扰和低信道串扰等优势<sup>[20]</sup>. 7 阶相关 NRZ 编码是指在 8 线上传输 7 bit 数据,是由沃尔什哈达玛变换得出,其递推关系<sup>[21,22]</sup>为

$$H_N = H_{2^n} = H_2 \otimes H_{2^{n-1}}$$

$$= \begin{bmatrix} H_{2^{n-1}} & H_{2^{n-1}} \\ H_{2^{n-1}} & -H_{2^{n-1}} \end{bmatrix} = \begin{bmatrix} H_{2^{n-1}} & H_{2^{n-1}} \\ H_{2^{n-1}} & -H_{2^{n-1}} \end{bmatrix} = \begin{bmatrix} H_{\frac{N}{2}} & H_{\frac{N}{2}} \\ H_{\frac{N}{2}} & -H_{\frac{N}{2}} \end{bmatrix} \quad (1)$$

其中,

$$H(0) = W(0) = [1], H(1) = W(1) = \begin{bmatrix} 1 & 1 \\ 1 & -1 \end{bmatrix} \quad (2)$$

根据递推关系可以得出矩阵:

$$H(8) = \begin{bmatrix} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & -1 & 1 & -1 & 1 & -1 & 1 & -1 \\ 1 & 1 & -1 & -1 & 1 & 1 & -1 & -1 \\ 1 & -1 & -1 & 1 & 1 & -1 & -1 & 1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \\ 1 & -1 & 1 & -1 & -1 & 1 & -1 & 1 \\ 1 & 1 & -1 & -1 & -1 & -1 & 1 & 1 \\ 1 & -1 & -1 & 1 & -1 & 1 & 1 & -1 \end{bmatrix} \quad (3)$$

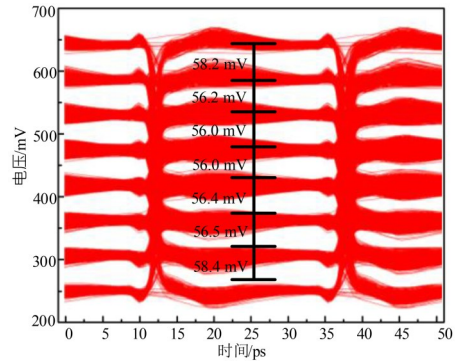
$$H(8) \otimes \begin{bmatrix} \frac{1}{2} & 0 & 0 & 0 & 0 & \frac{1}{4} & 0 & 0 \\ -\frac{1}{2} & \frac{1}{4} & \frac{1}{4} & 0 & 0 & 0 & -\frac{1}{4} & 0 \\ \frac{1}{2} & 0 & 0 & \frac{1}{2} & -\frac{1}{2} & \frac{1}{4} & 0 & 0 \\ \frac{1}{2} & \frac{1}{4} & -\frac{1}{4} & 0 & 0 & 0 & \frac{1}{4} & 0 \\ \frac{1}{2} & 0 & 0 & 0 & 0 & -\frac{1}{4} & 0 & 1 \\ \frac{1}{2} & \frac{1}{4} & \frac{1}{4} & 0 & 0 & 0 & \frac{1}{4} & 0 \\ -\frac{1}{2} & 0 & 0 & \frac{1}{2} & \frac{1}{2} & -\frac{1}{4} & 0 & 0 \\ -\frac{1}{2} & \frac{1}{4} & -\frac{1}{4} & 0 & 0 & 0 & -\frac{1}{4} & 0 \end{bmatrix} =$$

$$\begin{bmatrix} 1 & 1 & 0 & 1 & 0 & 0 & 0 & 1 \\ 1 & -1 & 0 & 1 & 0 & 0 & 0 & 1 \\ 1 & 0 & 1 & -1 & 0 & 0 & 0 & 1 \\ 1 & 0 & -1 & -1 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 0 & -1 & -1 & 0 & -1 \\ 1 & 0 & 0 & 0 & -1 & 1 & 0 & -1 \\ 1 & 0 & 0 & 0 & 1 & 0 & -1 & -1 \\ 1 & 0 & 0 & 0 & 1 & 0 & 1 & -1 \end{bmatrix} \quad (4)$$

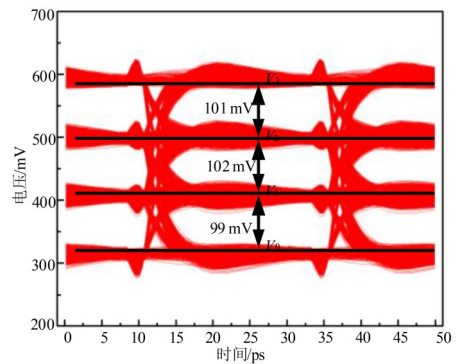
采用式(3)的哈达玛矩阵设计模拟编码与解码,可将引脚效率提高到 87.5%(8 线上传输 7 bit 数据). 采用矩阵式(3)编码后的眼图如图 3(a)所示,发端最小眼高仅为 56 mV. 发端信号眼高直接影响接收端信号质量. 因此,为了解决这一问题,对矩阵 H(8)进行式(4)的初等行变换,在不丢失信号信息的情况下,将信号编码在均等的 4 个模拟电平上.

通过式(5)计算后,可得图 3(a)的最小信噪比为 -3.09 dB,图 3(b)的信噪比为 1.82 dB,信噪比提升了 4.91 dB(1.76 倍). 其中  $P_1$  表示逻辑高的平均电压值,  $P_b$  表示逻辑低的平均电压值,  $\sigma_1$  表示逻辑高的信号噪声有效值,  $\sigma_0$  表示逻辑低的信号噪声有效值<sup>[23]</sup>.

$$SNR = 20 \lg \frac{P_1 - P_b}{\sigma_1 + \sigma_0} \quad (5)$$



(a) 7 阶哈达玛矩阵编码后的发射机眼图



(b) 矩阵变换后的发射机眼图

图 3 不同 7 阶矩阵编码后的对比

根据变换后式(4)中的矩阵,设计了图 4 所示的 7 阶相关 NRZ 编码的传输方案. 收发端的编码与解码对应了相应的模拟电信号,共模电压  $V_{cm}$  以及 7 位数据  $D_0 \sim D_6$ . 与发射机矩阵相乘后,编码生成 8 组模拟信号;接收端对 8 组模拟电信号进行解码,它与接收端矩阵相乘后恢复出原始的  $D_0 \sim D_6$ .  $W_i$  为编码后得到的第  $i$  组信号. 7 阶相关 NRZ 编码是指在 8 条线上传输 7 位数据,实现 87.5% 的高

引脚效率. 通过将共模信号  $V_{cm}$  编码到数据中, 使得信号具备抗共模干扰和避免开关噪声的能力<sup>[19]</sup>. 接收机通过多输入比较器解码并消除共模信号  $V_{cm}$ , 进而减低码间干扰.

## 2.2 收发机架构

收发机互连的整体设计如图5所示, 由发射机、前向时钟、接收机和锁相环组成. 发射机的时钟参考为

2.5 GHz. 为了使时钟和数据的频率匹配, 且引入抖动较小, 时钟采用前向时钟方案<sup>[24]</sup>. 4组7阶相关NRZ编码的收发机共用一个时钟信道. 时钟在信道上的传输速率为2.5 GHz, 接收端通过四分频锁相环恢复出高频时钟. 在接收机中设计了误差校准的时钟调整方案, 使时钟采样到数据的最佳位置.

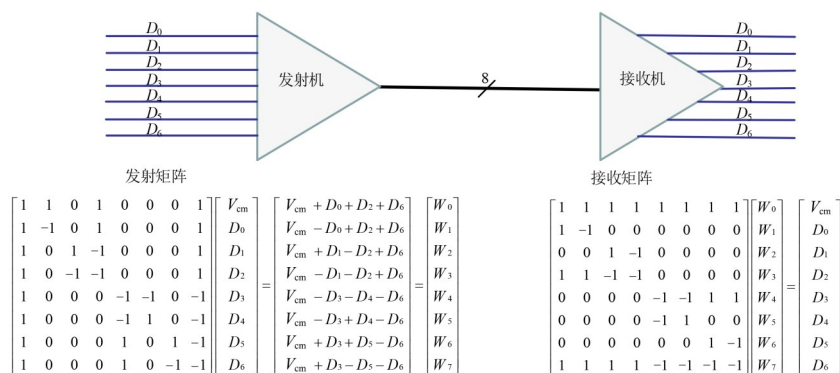


图4 7阶相关NRZ编码的编码与解码表达式

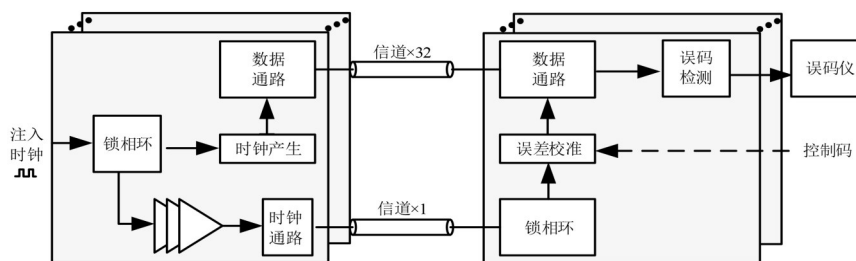


图5 收发机整体框架

## 3 发射机设计

图6为发射机的架构, 主要有数据通路和时钟通路两部分. 数据通路主要有: 合路器和电压模 (Source-Series Terminated, SST) 驱动模块. 时钟通路主要是由前向时钟组成.

### 3.1 高速合路器设计

串并转换采用4:1合路器的方式, 最后一级高速合路器采用的是模拟设计, 将4路10 Gbps合成一路40 Gbps的数据. 高速合路器的电路设计如图7所示, 4组10 Gbps的数据在两个正交时钟的采样下, 在B点合成高速数据流, 通过CMLT0CMOS和驱动(driver)后送往电压模驱动模块进行编码.

假设  $DIN_0=0$ , 当CLK90在下降沿时, CLK0为低电平, M4开始导通, M2处于导通, M5进入截止, M3处于截止, M6截止; 当CLK0在进入上升沿时, CLK90为高电平, M2进入截止, M4处于截止, M3开始导通, M5处于导通, 此时M3、M6开始导通后, 使得A处和B处电压被牵制在VSS附近. M5的作用就是在下一次采样前,

即CLK90时钟下降沿触发之前, 确保B处电平始终被牵制在VSS处, 避免信号受到上一级信号的影响. 因此, 该电路利用CLK90下降沿和CLK0上升沿实现对数据  $DIN_0$  的采样,  $DIN_1$ 、 $DIN_2$ 、 $DIN_3$  的数据采样以此类推. M7对采样后的信号B进行反向驱动, 4路采样后的数据信号在C点合路成一路40 Gbps数据. 图8~图10是不同速率下和不同VSS下的仿真结果, 从仿真结果可以看出当速率较低时VSS对合路信号的影响较小. 当速率达到40 Gbps时, VSS越大, 信号的眼图质量越高.

### 3.2 编码驱动电路设计

实现驱动电路与7阶相关NRZ编码相结合, 本驱动电路通过设置信号电压权重比的方法, 使得发射端具备编码能力. 图11为各个链路的编码示意图, 以  $W_0$  链路为例,  $D_0$ 、 $D_2$ 、 $D_6$  在驱动电路中的权重比分别为1、1、1, 其输出信号为

$$V_{(W_0)} = (3V_{CM} + V_{(D_0)} + V_{(D_2)} + V_{(D_6)}) \times A \quad (6)$$

其中,  $A$  为驱动电路放大倍数, 值为1/3. 通过数据分配和等权重比分配, 在数据发射端, 就可以完成数据

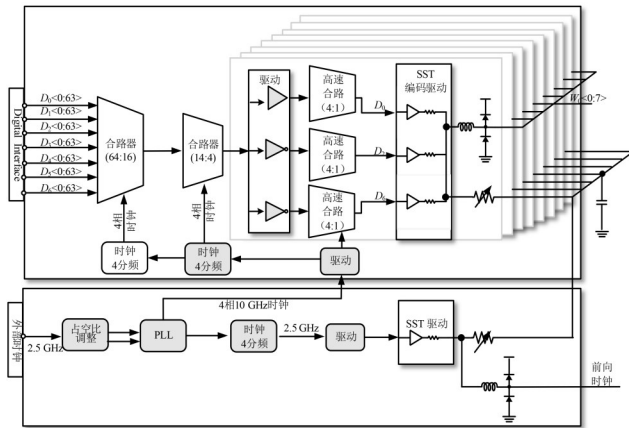


图6 发射机架构

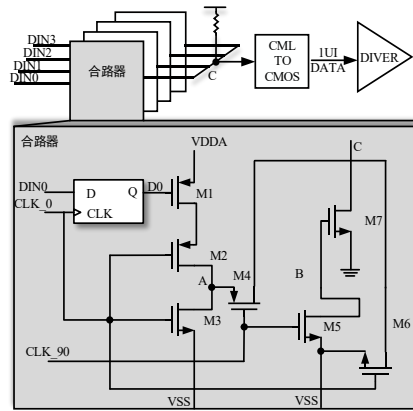


图7 高速合路器设计

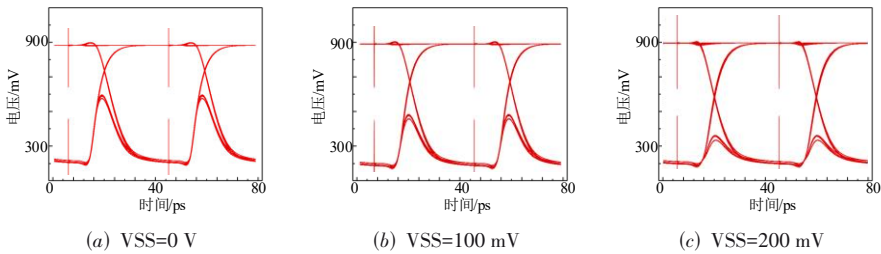


图8 不同VSS下 25 Gbps数据后仿眼图

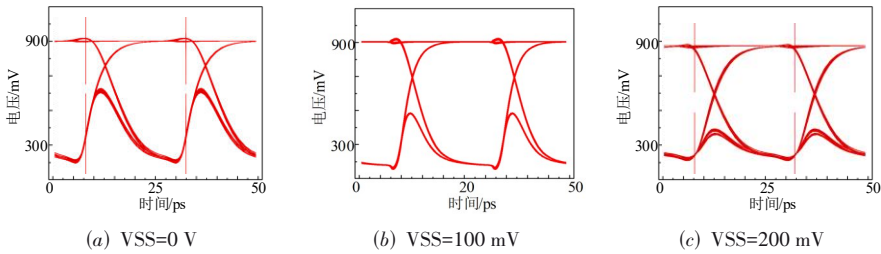


图9 不同VSS下 40 Gbps数据后仿眼图

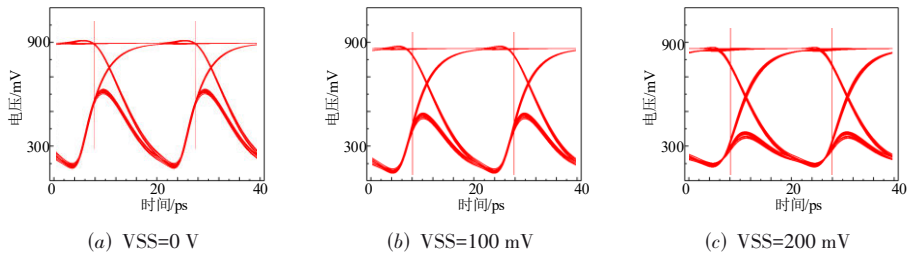


图10 不同VSS下 50 Gbps数据后仿眼图

$D_0 \sim D_6$ 的编码,实现对数据的编码.同时,这种编码结构也使得所有链路在驱动电路设计上是一致的,只是输入的信号有所区别.对于 $W_0$ 链路,表5中给出了 $D_0$ 、 $D_2$ 、 $D_6$ 输入信号在不同情况下,链路输出的电压值.因此, $W_0$ 链路信号共有4个不同的电压值.

常用的驱动有两种模式:电流模式驱动(Current Mode Logic, CML)与电压模式驱动(Soucre-Series Terminated, SST).当CML驱动电路与SST输出同样的电压摆幅,要消耗4倍的电流,带来极大的功耗<sup>[25]</sup>.为了降低功耗,编码驱动电路采用SST结构,电路结构如

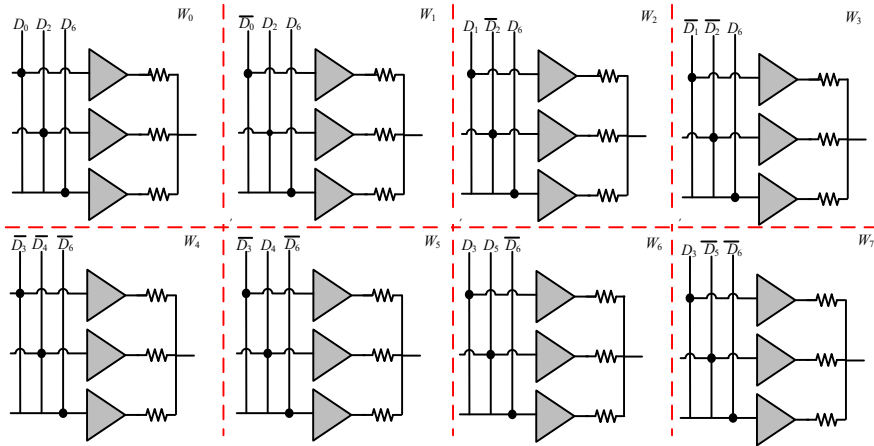


图 11 各链路电压模驱动编码结构示意图

表 5  $W_0$  链路在不同输入信号下的模拟信号输出值

单位: mV

$D_0 D_2 D_6$	$V(D_0)$	$V(D_2)$	$V(D_6)$	$V_{CM}$	$A$	$V_{W0}$
000	-150	-150	-150	450	1/3	300
001	-150	-150	+150	450	1/3	400
010	-150	+150	-150	450	1/3	400
011	-150	+150	+150	450	1/3	500
100	+150	-150	-150	450	1/3	400
101	+150	-150	+150	450	1/3	500
110	+150	+150	-150	450	1/3	500
111	+150	+150	+150	450	1/3	600

图 12 所示. 为实现驱动电路的输出阻抗与信道的特征阻抗  $Z_0$  匹配, 降低反射对电路信号的影响, 引入 4 组 NMOS 和 PMOS 可调电阻阵列. 采用  $R_{<0:3>}$  的数字控制, 调整输出阻抗. 在 27 °C 和  $t_t$  工艺角下, 选取  $R_0$  的电阻阻值为 30  $\Omega$ , 为了对抗 PVT 变化, 数控电阻阵列可以使得  $R_0$  的变化范围为 25~39  $\Omega$ <sup>[26]</sup>.  $R_1=150 \Omega, R_2=70 \Omega$ ,  $W_0$  链路驱动电路的输出电阻计算式见式 (7), 阻值为 50  $\Omega$ .

$$R_{out, W_0} = \frac{(R_0 + R_1)}{3} // R_2 \quad (7)$$

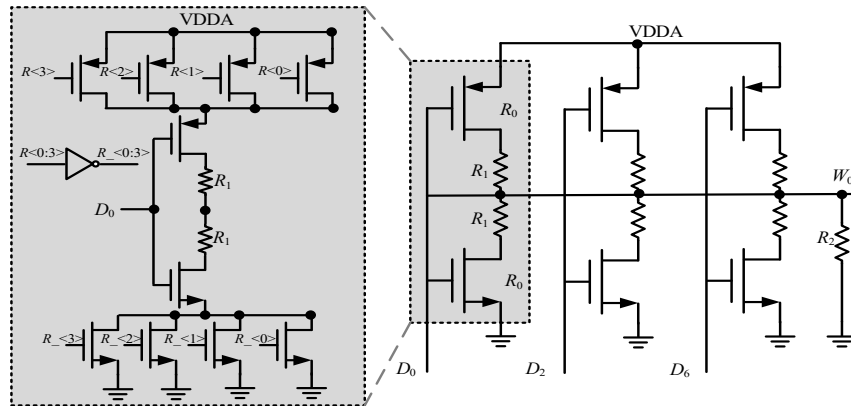


图 12  $W_0$  链路的驱动电路

### 4 接收机设计

图 13 是接收机的整体架构, 主要分为时钟通路和数据通路. 数据通路包括解码均衡电路、采样电路等, 时钟通路包括接收机锁相环和相位控制电路等. 整个收发端链路是 8 线传输 7 bit 的方式, 引脚效率为 87.5%. 解码均衡电路对高速数据进行解码, 解码的高速数据经过采样器和分接器后转换为低速并行数据. 时钟架构采用前向时钟, 为接收机的锁相环提供 2.5 GHz

参考时钟. 为减小芯片面积, 接收机锁相环采用环形振荡器方式, 相位调整电路用于配合误码校准方案来实现时钟对数据的采样.

#### 4.1 基于有源电感的解码均衡电路设计

为对应发端的编码电路, 接收端设计了解码均衡电路. 基于有源电感的解码均衡电路, 同时对发射端传输来的信号进行解码和均衡, 解决了无源电感面积大的问题<sup>[27]</sup>. 图 14 是 7 个链路的解码示意图.

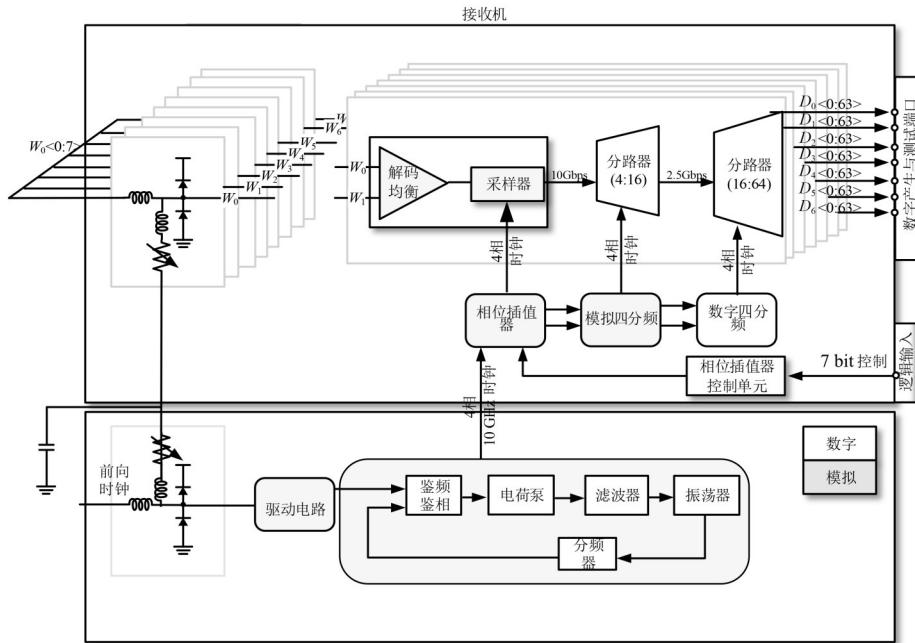


图 13 接收机架构

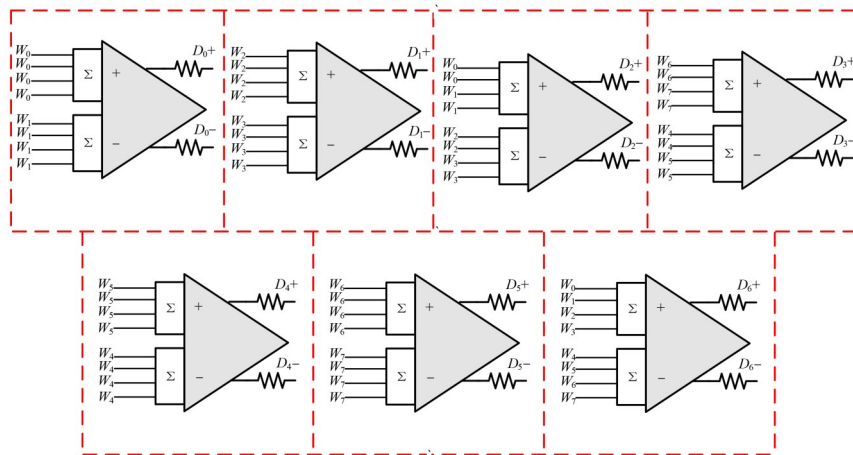


图 14 各链路解码均衡电路结构示意图

$W_0$  到  $W_7$  是发射端编码后的信号, 通过信道后, 连接到该电路, 信号的输入和输出都是差分。接收端共有 7 个解码电路, 恢复出 7 路高速信号。矩阵式(8)每一列对应发端发射出的信号  $W_0 \sim W_7$ , 经过该矩阵运算后解码出可以处理的二进制高速模拟信号。

$$\begin{bmatrix} 1 & -1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & -1 & 0 & 0 & 0 & 0 \\ 1 & 1 & -1 & -1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -1 & -1 & 1 & 1 \\ 0 & 0 & 0 & 0 & -1 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & -1 \\ 1 & 1 & 1 & 1 & -1 & -1 & -1 & -1 \end{bmatrix} \quad (8)$$

当输入信号为  $W_0, W_1$ , 权重为 4、-4 时, 其解码后的数据为高速  $D_0$  信号, 对应的模拟信号表达式为

$$V_{(D_0)} = (4V_{(W_0)} - 4V_{(W_1)}) \times A \quad (9)$$

当输入信号为  $W_2, W_3$ , 权重为 4、-4 时, 其解码后的数据为高速  $D_1$  信号, 对应的模拟信号表达式为

$$V_{(D_1)} = (4V_{(W_2)} - 4V_{(W_3)}) \times A \quad (10)$$

当输入信号为  $W_0, W_1, W_2, W_3$ , 权重为 2、2、-2、-2 时, 其解码后的数据为高速  $D_2$  信号, 对应的模拟信号表达式为

$$V_{(D_2)} = (2V_{(W_0)} + 2V_{(W_1)} - 2V_{(W_2)} - 2V_{(W_3)}) \times A \quad (11)$$

当输入信号为  $W_4, W_5, W_6, W_7$ , 权重为 -2、-2、2、2 时, 其解码后的数据为高速  $D_3$  信号, 对应的模拟信号表达式为

$$V_{(D_3)} = (V_{(W_6)} + V_{(W_7)} - V_{(W_4)} - V_{(W_5)}) \times A \quad (12)$$

当输入信号为  $W_4$ 、 $W_5$ ，权重为  $-4$ 、 $4$  时，其解码后的数据为高速  $D_4$  信号，对应的模拟信号表达式为

$$V_{(D_4)} = (4V_{(W_5)} - 4V_{(W_4)}) \times A \quad (13)$$

当输入信号为  $W_6$ 、 $W_7$ ，权重为  $4$ 、 $-4$  时，其解码后的数据为高速  $D_5$  信号，对应的模拟信号表达式为

$$V_{(D_5)} = (4V_{(W_6)} - 4V_{(W_7)}) \times A \quad (14)$$

当输入信号为  $W_0$ 、 $W_1$ 、 $W_2$ 、 $W_3$ 、 $W_4$ 、 $W_5$ 、 $W_6$ 、 $W_7$ ，权重为  $1$ 、 $1$ 、 $1$ 、 $1$ 、 $-1$ 、 $-1$ 、 $-1$ 、 $-1$  时，其解码后的数据为高速  $D_6$  信号，对应的模拟信号表达式为

$$V_{(D_6)} = (V_{(W_0)} + V_{(W_1)} + V_{(W_2)} + V_{(W_3)} - V_{(W_4)} - V_{(W_5)} - V_{(W_6)} - V_{(W_7)}) \times A \quad (15)$$

式(9)~(15)中， $A$  为解码电路的放大倍数。

高速数据传输中，高频信号通过信道后衰减较大，导致高频信号有较大的码间干扰，接收端信号误码率增高。若让高频信号尽可能恢复到与发端相同，常采用均衡来补偿信号通过信道的损失。传统的连续线性时间均衡器采用了退化电阻和退化电容方式，在拓展带宽方面采用了的无源电感的峰化技术，但无源电感面积较大，不适用于片上互连<sup>[28]</sup>。因此，本文采用有源电感的方式来设计连续时间线性均衡器。这种电路占用的面积比采用无源电感的电路更小，并且具有适应不同长度的信道(10~50 mm)插损。以  $D_0$  链路为例，电路结构如图 15 所示。

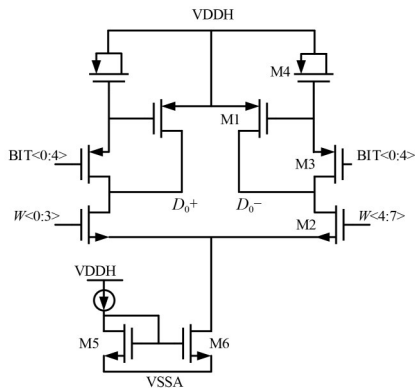


图 15 解码均衡电路设计

对差分信号进行半边法分析，简化后的电路结构如图 16 所示。M1、M3 与 M4 共同构成了有源电感的结构。M4 为有源电容，其电容值为  $C_1$ 。M3 为有源可变电阻，其阻值由并联的 BIT<0:4> 来控制，源极与漏极的电阻为  $R$ ，源极与漏极的 MOS 管和导线的寄生电容为  $C_2$ 。M1 的跨导为  $g_{m1}$ 。M2 作为共源极放大器的  $W<4:7>$  输入端，其总跨导为  $g_{m2}$ 。

$C_1$ 、 $R$  和 M1 共同构成了共源极放大器的负载，其阻

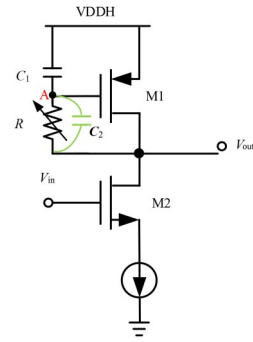
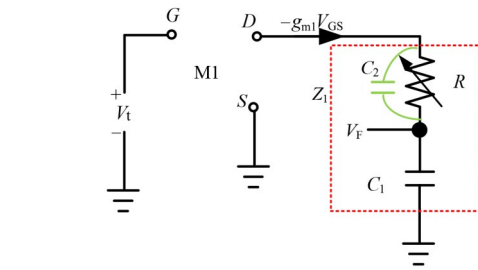


图 16 简化为的单端电路

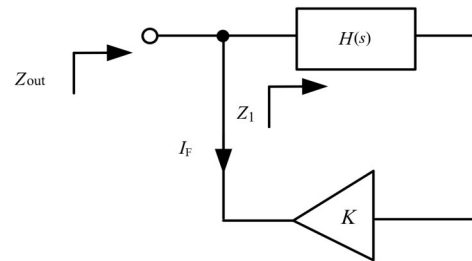
抗为  $Z_{out}$ ，因此得出信号的传递函数为

$$A(s) = g_{m2} Z_{out} \quad (16)$$

其负载方式采用了反馈的结构。为更好地研究该反馈结构，首先研究其开环函数和反馈模型，如图 17 所示。将反馈点处断开，在反馈点处加入信号源  $V_F$ ，输出位置信号为  $V_F$ 。



(a) 开环电路



(b) 反馈模型

图 17 有源电感的开环函数和反馈模型

根据开环电路得出其开环函数  $H(s)$  和开环的阻抗  $Z_1(s)$  分别为

$$H(s) = -\frac{V_F}{V_i} = \frac{g_{m1}}{C_1 s} \quad (17)$$

$$Z_1(s) = R // \frac{1}{C_2 s} + \frac{1}{C_1 s} \quad (18)$$

根据图 17(b) 的反馈模型，得出输出的阻抗  $Z_{out}(s)$  为

$$Z_{out}(s) = \frac{Z_1}{1 + KH(s)} \quad (19)$$

其中， $K$  为反馈增益，当  $K=1$  时，将式(17)和式(18)带入

式(19),得出闭环阻抗函数:

$$\begin{aligned} Z_{out}(s) &= \frac{Z_1(s)}{1+KH(s)} \\ &= \frac{\left(R//\frac{1}{C_2s}\right)C_1s+1}{C_1s+g_{m1}} \\ &= \frac{RC_1s+RC_2s+1}{(RC_2s+1)(C_1s+g_{m1})} \end{aligned} \quad (20)$$

将  $Z_{out}(s)$  代入式(16),得出电路的传输函数表达式为

$$A(s) = \frac{g_{m2}}{g_{m1}} \cdot \frac{1 + \frac{s}{\omega_z}}{\left(1 + \frac{s}{\omega_{p1}}\right)\left(1 + \frac{s}{\omega_{p2}}\right)} \quad (21)$$

零点表达式为

$$\omega_z = \frac{1}{R(C_1 + C_2)} \quad (22)$$

两个极点表达式为

$$\omega_{p1} = \frac{1}{RC_2}, \omega_{p2} = \frac{g_{m1}}{C_1} \quad (23)$$

其中,

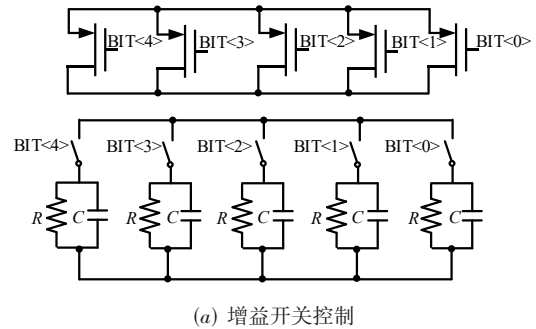
$$DC_{gain} = \frac{g_{m2}}{g_{m1}}, HF_{gain} = g_{m2}R \quad (24)$$

由传输函数可以看出,直流增益  $DC_{gain}$  主要是由 M1 和 M2 的跨导  $g_{m1}$  和  $g_{m2}$  决定,而高频增益的峰值主要由  $R$  决定. 当 M3 为等值 NMOS 电阻阵列时,可以等效为图 18(a). 由于电阻和电容是等值的,得出后仿真曲线均衡如图 18(b)所示,随着并联 NMOS 管的增加,电阻等比降低,电容等比增加,以保证两个极点不发生变化<sup>[29]</sup>.

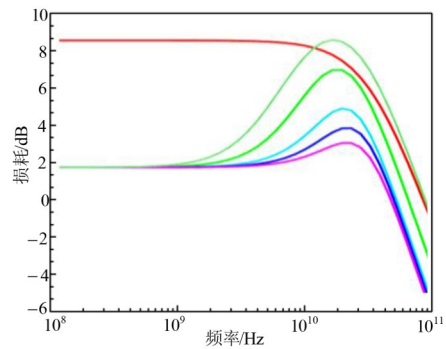
图 19 是解码后的加入电源噪声后有无均衡的后仿对比. 如图 19(a) 所示,在未加入均衡的时,在 50 mm (-8 dB 衰减)的信道损失下,40 Gbps 数据眼图的眼高为 46 mV,高频信号在通过信道后衰减较大,导致误码率增加. 通过打开 8 dB 的 CTLE 均衡后,得到的数据眼图如图 19(b)所示,眼睛打开宽度为 128 mV,眼高提高了 278%.

### 4.2 锁相环设计

时钟在信道中的衰减随频率的增加而增加,传统的 D2D 互连距离小于 30 mm,常采用全速时钟的前向时钟方案和 DLL(延迟锁相环). 但是当信道距离达到 50 mm 以上时,接收端时钟的幅度较小,容受噪声等因素的影响,导致时钟信号较差. 对文献中的时钟方案进行了改进,在发端发送 2.5 GHz 单端时钟来带代替差分时钟,将发端时钟路功耗降低 50%. 同时,本设计在接收端只需要 4 相位时钟,因此环形振荡器(Voltage Controlled Oscillator, VCO)的数量由 4 减少到 2,同时将

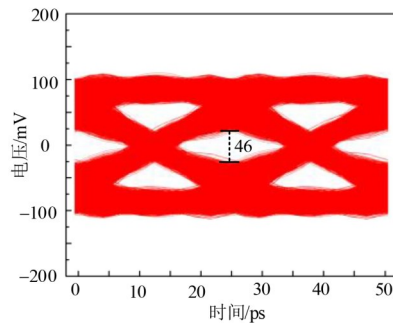


(a) 增益开关控制

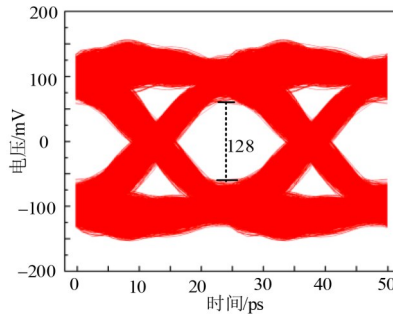


(b) 输出的幅频曲线

图 18 增益控制与幅频曲线



(a) 均衡全部关闭后的解码眼图



(b) 输出的幅频曲线

图 19 在 50 mm 信道下解码均衡的  $D_0$  数据均衡对比

8 相位的相位插值器采用功耗较低的 4 相位的相位插值器. 锁相环采用了全差分结构,能够有效对抗共模噪声和开关同步噪声. 锁相环设计如图 20 所示,差分的环

路滤波器的中 VCMP 和 VCMN 作为差分的共模电压通过正反馈到电荷泵中,以稳定共模点,其中  $R_1=R_2=897\ \Omega$ ,  $C_1=C_2=709\ \text{F}$ ,  $C_3=C_4=44\ \text{F}$ . 控制器用来控制环形振荡器的增益(KVCO)和中心频率点( $f_{\text{out}}$ ),KVCO的可调节范围为5~8 GHz/V,  $f_{\text{out}}$ 的可调节范围为8~12 GHz<sup>[30]</sup>.

### 4.3 误码校准设计

图21所示为CDR与多通道的数据偏斜,由于封装等因素,通道间存在4 ps以内的偏斜<sup>[20]</sup>,因此要在每个通路上要加入CDR来恢复出不同相位的时钟,进而消除偏斜.然而,在接收端,CDR中大面积的数字电路增加了接收端的面积和功耗<sup>[31]</sup>.为降低功耗和面积,设计了一种新型误码校准设计的方案.该方案去除了鉴相器、投票器、带宽控制器和数字滤波器等大面积的数字模块,保留了PI模块和权重编码模块,增加了伪随机码检测模块来提供外围误码检测.将每个通道上的时钟通路功耗由10 mW降低到4 mW.

为了校准锁相环输出的时钟相位,使其能够精准采样到数据的最佳位置,误码校准的时钟设计方案,如图22所示,其内部包含权重编码器、相位插值器(Phase Interpolator, PI)和误码检测电路.以  $D_0$  链路为例,当发射端发送 PRBS11 的伪随机码进行训练时,延迟校准中的 PI 在控制表(从 000000 到 111111)的控制下进行遍历,得到误码的浴盆曲线.在最佳位置(OUI)查询控制表中的控制码为  $X_1X_2X_3X_4X_5X_6$ ,并将其从外端输入到相位插值器中,使时钟的相位固定.在不同通道上进行误码校准设计,通过改变相位补偿偏斜所产生的相位差.

PI 的作用是将时钟旋转到设计者所需位置,其采用了非等值电流源的来提高 PI 线性度,电路设计如

图23所示<sup>[31]</sup>.  $R_1, R_2$  为负载电阻,且阻值相等,每个差分对管下面是由16个开关控制的非等值并联电流源阵列,4个相位的时钟来自接收机锁相环,6 bit 控制码经过权重编码器编码后,高2位用于生成改变主相位的4个控制码(Switch\_0, Switch\_180, Switch\_90, Switch\_270)和 IG、QG,低4位用于生成16个温度计码(BIT1-BIT16).

## 5 系统仿真与对比

### 5.1 整体设计

本收发机采用了28 nm 工艺进行设计,整体布线与布局采用9层金属,焊球间距为150  $\mu\text{m}$ ,芯片面积为1 mm  $\times$  3 mm,片边距为3 mm.可支持10~50 mm 距离的片上互连.图24(a)展示的是整体收发机的版图设计.采用4组收发机共用一对锁相环的方式,实现了总带宽为1 120 Gbps 的双向带宽.图24(b)是整体收发机各个模块的功耗占比.在发射端(Tx),模拟部分功耗占比最大,大约为32%.数字部分、时钟分频和发射机锁相环分别占比5%、4%和8%.同样,在接收端(Rx)模拟功耗为31%,数字部分、时钟分频和发射机锁相环分别占比4%、5%和10%.还有约3%用于电源电路的设计.在125  $^\circ\text{C}$  和tt工艺角下,整个收发机的链路能效效率为1.2 pJ/bit.

### 5.2 信号对比与功耗

在片上互连中,为了节省引脚,信号的高速通信采用单端传输来提高传输效率.图25是两种阻抗的匹配方式,图25(a)是收发端50  $\Omega$  匹配常应用传输距离大于30 mm 以上的互连,图25(b)片上互连采用的是发射端20  $\Omega$  和接收端50  $\Omega$  终端匹配方式,这是由于信号的传输距离较短(小于30 mm),反射对于信号的影响较小,

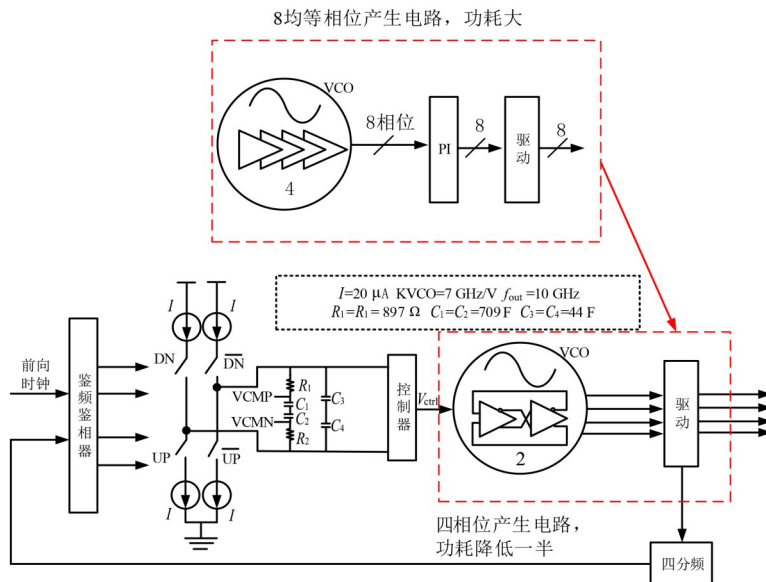
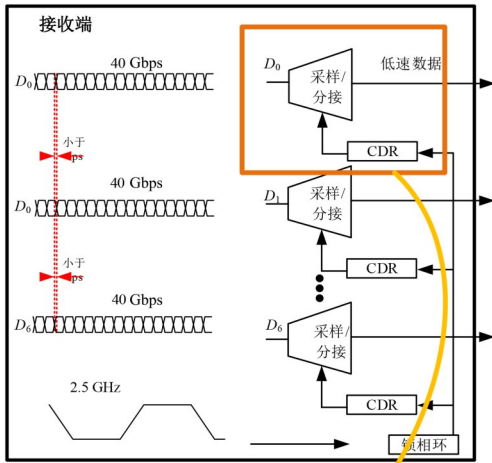


图20 接收机锁相环设计



CDR: 时钟数据恢复电路

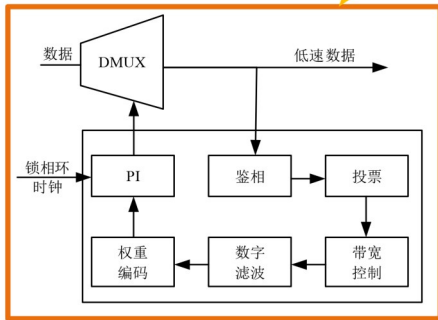


图 21 CDR 与通道间的偏斜

$D_0$  to  $D_6$  数据通路的去斜设计

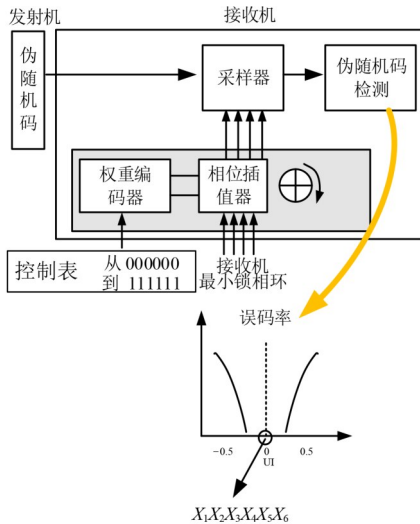


图 22 误码校准设计

因此只需要终端匹配,而发端则采用  $20\ \Omega$  进行匹配<sup>[18,19]</sup>。

根据式(25),可以计算出图 25(b)的直流功耗是图 25(a)的 1.42 倍,其中,  $R_{Tx}$  为发端电阻,  $R_{Rx}$  为接收端电阻,  $U$  为电源电压,  $I$  为通过导线的电流。根据式(26),可以计算出发端最大摆幅  $V_{max}$ ,图 25(b)的发端摆幅是

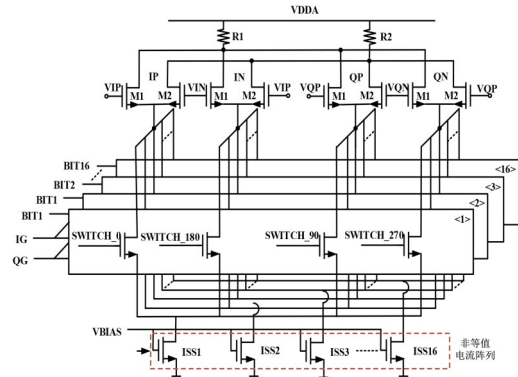
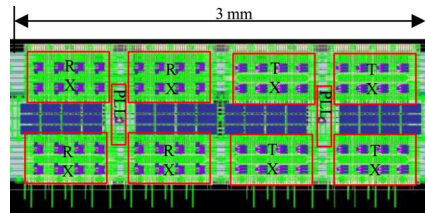
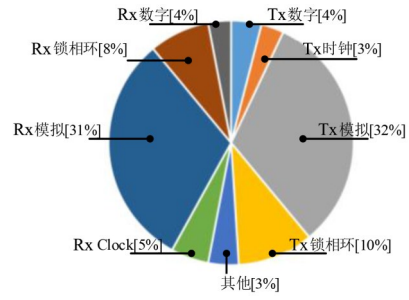


图 23 PI 的设计

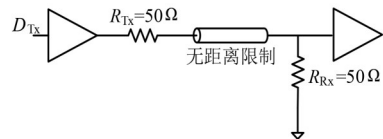


(a) 整体版图设计

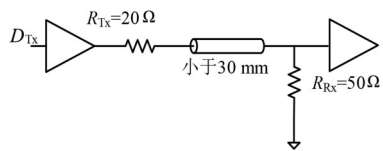


(b) 功耗占比

图 24 版图与功耗占比



(a) 双终端匹配



(b) 单终端匹配

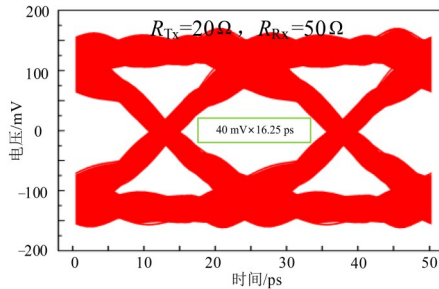
图 25 不同距离下的匹配方式

图 25(b)的 1.42 倍。因此,在短距离的 NRZ 单端传输中要增加单个驱动器功耗来增加输出摆幅,以保证接收端信号的收到较高的摆幅。

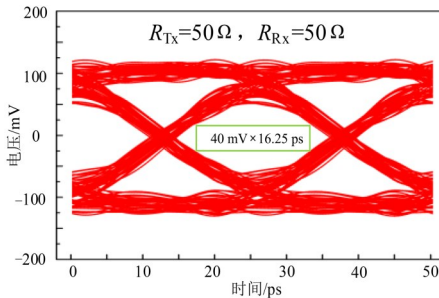
$$P = UI = \frac{U^2}{R_{Tx} + R_{Rx}} \quad (25)$$

$$V_{\max} = U - IR_{Tx} = U \frac{R_{Rx}}{R_{Rx} + R_{Tx}} \quad (26)$$

如图 26 所示,当传输距离为 25 mm 信道时(信道插损为  $-4$  dB),信号传输速率为 40 Gbps,无均衡、无抖动和无电源噪声条件下,图 26(a)是单终端的匹配下接收端的眼图,采用  $20 \Omega$  来增加信号整体幅度到 300 mV. 图 26(b)是双终端  $50 \Omega$  匹配下,采用 7 阶相关编码传输的接收端眼图. 单端信号受开关同步噪声和串扰的影响较大,因此增加信号幅度来提高信号眼图张开程度,而 7 阶相关编码经过多路差分后可以消除开关噪声和降低串扰<sup>[14]</sup>,其在较低摆幅下能够达到与单端信号相同的眼图指标.



(a) 单终端阻抗匹配的单端 NRZ 接收端眼图

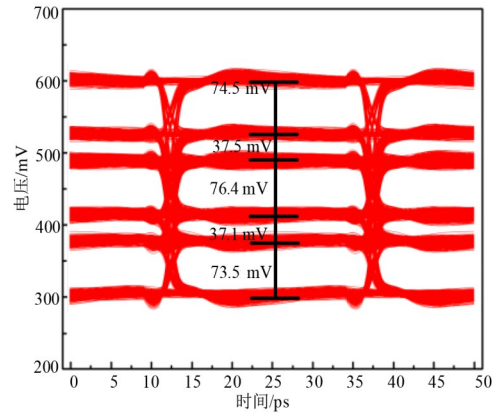


(b) 双终端阻抗匹配的 7 阶相关编码接收端眼图

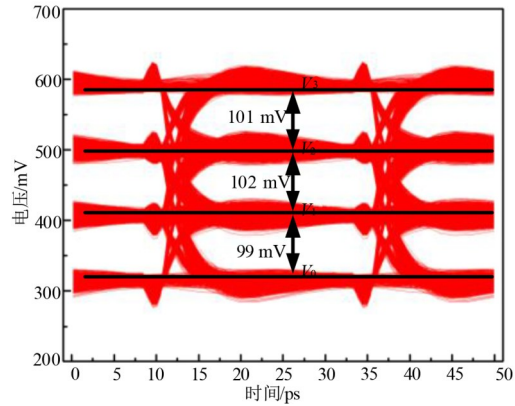
图 26 单端 NRZ 与 7 阶相关编码的接收端眼图对比  
(无均衡、无抖动、无电源噪声)

如图 27 所示,无均衡、无抖动和无电源噪声条件下,5 阶相关编码与 7 阶相关编码的发端眼图对比. 如图 27(a)所示,5 阶相关编码在编码过程中存在编码电平不均衡<sup>[30]</sup>,如图 27(b)所示,7 阶相关编码则是均匀编码在 4 个电平上. 根据式(5)的信噪比公式,得出 7 阶相关编码的发端最小信噪比是 5 阶相关编码的 2.7 倍,同时引脚效率是 5 阶相关编码的 1.05 倍,因此 7 阶相关编码表现出较高的优势.

通过以上对信号的分析与功耗的计算后,得出采用 7 阶相关编码的电路既可以保持较低的功耗和较高



(a) 5 阶相关编码后的发射机眼图



(b) 7 阶相关编码后的发射机眼图

图 27 两种相关编码的发端眼图对比  
(无均衡、无抖动、无电源噪声)

的传输效率(引脚率),也可传输较长的距离.

### 5.3 接收端眼图分析

表 6 是在发端  $20 \Omega$  阻抗匹配、无噪声和无抖动条件下,UCIe 协议中的眼图模板参数. 在 32 Gbps 的速率下,矩形眼图模板眼高为 40 mV,眼宽为 0.65 UI,误码小于  $10^{-15}$ . 因此根据眼图模板和浴盆曲线两种方式来分析误码率大小.

表 6 无噪声和无抖动下接收端眼图要求

速率 /Gbps	眼高/mV	眼宽/UI	信道插损/dB	传输距离/mm	误码率
16	40	0.75	$< -2$	$< 10$	$< 10^{-27}$
16	40	0.75	$< -4$	$< 25$	$< 10^{-27}$
24	40	0.65	$< -2$	$< 10$	$< 10^{-15}$
32	40	0.65	$< -2$	$< 10$	$< 10^{-15}$
32	40	0.65	$< -4$	$< 25$	$< 10^{-15}$

#### (1) 根据眼图模板估计误码率

图 28 是当不添加任何电源噪声的理想状态下时,40 Gbps 信号通过 25 mm(插损为  $-4$  dB)的  $D_0$  通道前后

对比眼图. 从图 28(a)可以看出,在无均衡时,眼图模板处于信号眼图内眼边沿,表示误码率在  $10^{-15}$  左右. 经过均衡后如图 28(b)所示,内眼完全盖住矩形眼图模板,表示误码率远小于  $10^{-15}$ .

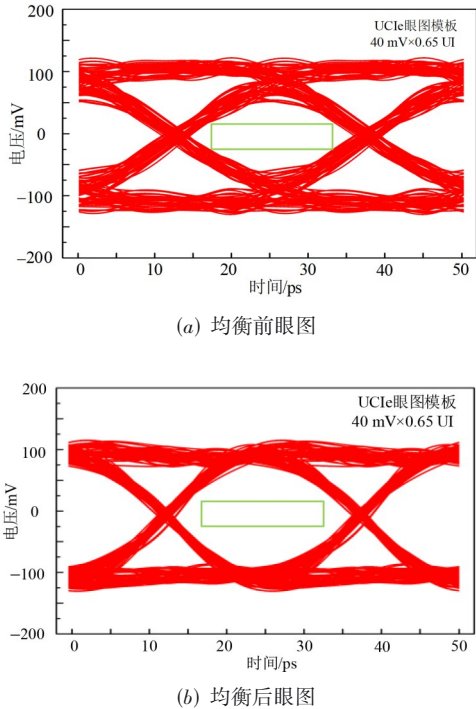


图 28 40 Gbps 无抖动、无电源噪声、信道长度为 25 mm 条件下(插损为-4 dB)经过 4 dB 均衡前后眼图

图 29 是当 40 Gbps 信号通过 50 mm (插损为-8 dB),  $D_0$  通道前后对比眼图. 图 29(a)是在无均衡时,眼图模板超过信号眼图内眼的边沿,表示误码率小于  $10^{-15}$ . 经过均衡后如图 29(b)所示,内眼面积可以盖住矩形眼图模板,表示误码率小于  $10^{-15}$ .

图 30 是当 40 Gbps 信号通过 50 mm (插损为-12 dB)的  $D_0$  通道前后对比眼图. 从图 30(a)可以看出,在无均衡时,眼图模板覆盖眼图内眼区域,表示误码率远远小于  $10^{-15}$ . 经过 8 dB 均衡后如图 30(b)所示,眼图模板处于信号眼图内眼的边沿,表示误码率在  $10^{-15}$  左右.

(2) 根据浴盆曲线趋势表示误码率

图 31 是在 50 mm 信道下,加入频率为 10 MHz,幅度  $V_{pp}=10$  mV 正弦电源噪声时<sup>[18]</sup>,40 Gbps 的信号在接收端经过解码均衡电路后的 7 bit 后仿眼图. 根据矩阵的对称性,接收端解码信号为  $D_0$ 、 $D_1$ 、 $D_4$ 、 $D_5$  的比较器是两输入,眼图相对一致,如图 31(a)、图 31(b)、图 31(e)、图 31(f)所示. 接收端解码信号为  $D_2$ 、 $D_3$  的比较器是四输入,眼图相对一致,如图 31(c)、图 31(d)所示. 接收端解码信号

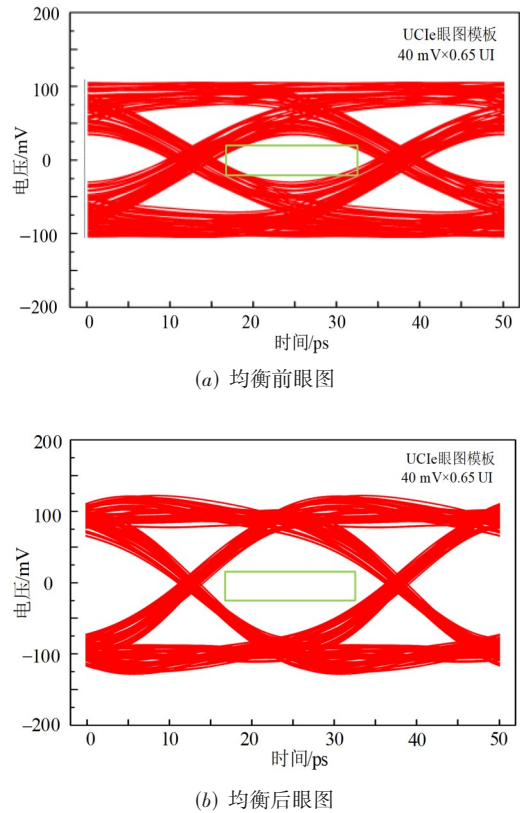


图 29 40 Gbps 无抖动、无电源噪声、信道长度为 50 mm 条件下(插损为-8 dB)经过 4 dB 均衡前后眼图

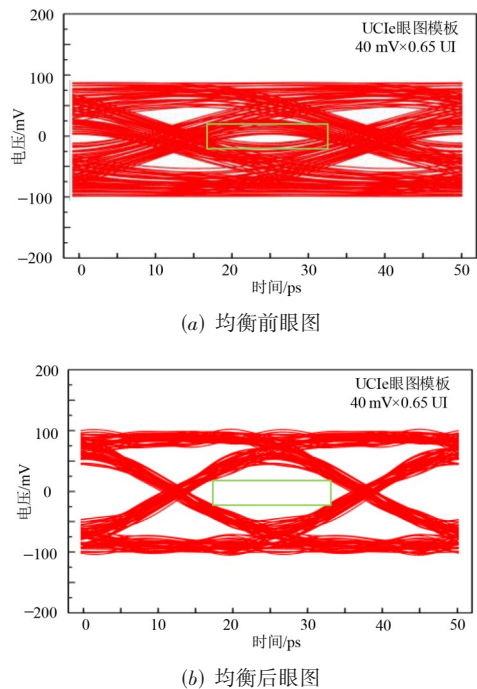


图 30 40 Gbps 无抖动、无电源噪声、信道长度为 75 mm 条件下(插损为-12 dB)经过 8 dB 均衡前后眼图

为  $D_6$  的比较器是六输入, 眼图如图 31(g) 所示。

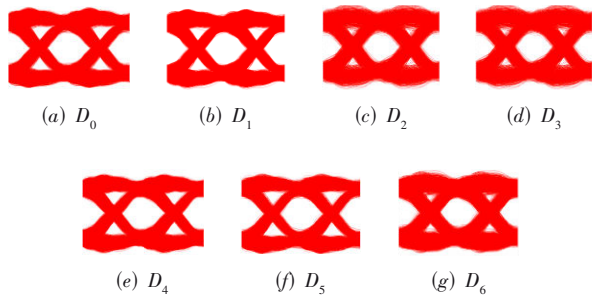


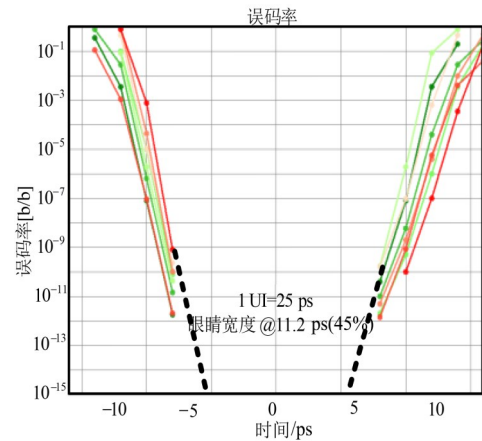
图 31 解码后的 7 bit 眼图

如图 32(a) 所示, 测量不同时钟相位下的误码率, 得出 7 bit 数据的浴盆曲线. 数据的速率为 40 Gbps, 信道损失为  $-8$  dB (50 mm 信道长度和接收端 8 dB 解码均衡的补偿条件下), 根据误码的预测趋势, 在误码率约为  $10^{-15}$  时最差眼睛打开宽度为 11.2 ps (45%). 图 32(b) 是在不同信道下损失和不同均衡器补偿后浴盆曲线在  $10^{-15}$  时的眼睛打开宽度, 表明信号传输的误码率小于  $10^{-15}$ .

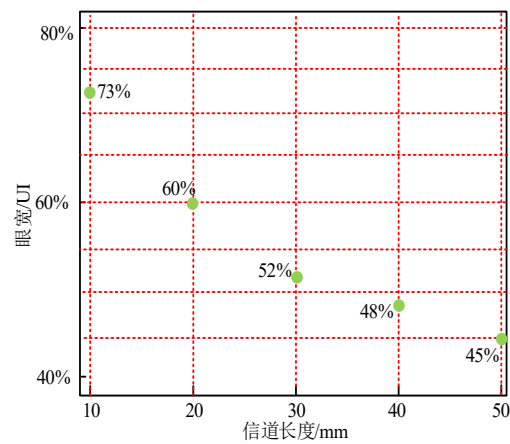
因此, 通过两种方案的眼图分析, 可以表明 7 阶相关编码的传输方式能够在通信距离为 50 mm 条件下, 40 Gbps 信号传输仍然可以保持误码率小于  $10^{-15}$ .

#### 5.4 参数对比

表 7 是本文与其他工作的性能对比. 相关 7 阶 NRZ 编码的传输方式有着较强抗共模噪声和开关噪声等优势, 与具有同样性质的差分信号传输的文献[13]相比, 文献[13]的单通道传输速率虽然高达 56 Gbps, 但是由于引脚效率的限制, 单引脚的传输带宽仅为 28 Gbps, 因此可知, 引脚效率是限制 D2D 互连带宽密度的主要原因. 本工作与单端传输的文献[16]相比, 虽然本文工作损失了一定的引脚效率, 但是 7 阶相关编码可以工作在更高的单线速率, 使得带宽密度提升, 与采用 7 nm 先进工艺的文献[17]相比, 本文工作表现出相近的带宽密度. 本工作与采用 5 阶相关 NRZ 编码的文献[19, 20]相比较, 7 阶相关编码不仅在总的传输带宽



(a) 7 bit 浴盆曲线



(b) 误码为  $10^{-15}$  时不同长度下眼睛打开宽度

图 32 7 bit 的浴盆曲线和眼宽

上超过 1 Tbps, 并且在带宽密度上提升到 448 Gbps/mm. 带宽密度的提升主要由于 7 阶相关编码的本身属性, 其单线传输速率要比 5 阶 NRZ 高, 引脚效率高达 87.5% (单端传输为 100%).

## 6 结论与总结

本文主要对高带宽密度的 Chiplet 互连的 D2D 接口

表 7 文献对比

参考文献	年	传输方式	工艺/nm	单线传输速率/Gbps	传输总带宽/Gbps	插入损耗/dB	能耗效率/(pJ/b)	误码率	焊球间距/ $\mu$ m	片边距/mm	带宽密度/(Gbps/mm)
文献[13]	2018	差分 NRZ	16	28	448	-8	2.25	$10^{-15}$	200	2.40	186.7
文献[16]	2019	单端 NRZ	16	25	200	-4	1.17	$10^{-15}$	150	0.75	266
文献[17]	2021	单端 NRZ	7	40	480	-8	1.70	$10^{-15}$	130	1.04	480
文献[19]	2016	5 阶相关编码	28	20.83	125	-3	0.94	$10^{-15}$	150	1.50	166
文献[20]	2020	5 阶相关编码	16	20.83	500	-6	1.02	$10^{-15}$	150	2.40	208
本文	2023	7 阶相关编码	28	35	1 120	-8	1.20	$10^{-15}$	150	2.50	448

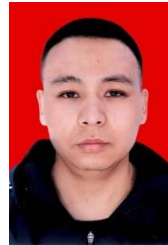
进行了研究,对当前 Chiplet 互连遇到的性能瓶颈进行了分析并提出了解决方案. 通过仿真结果表明,该收发机互连可以工作在 280 Gbps,单线数据速率为 35 Gbps,4 个收发机的总带宽超过了 1 Tbps. 在 125 °C 温度,tt 工艺角下,整体链路的能耗效率为 1.2 pJ/b. 在信道损失为 -8 dB、信道长度为 50 mm 的真实 S 参数下,眼睛打开宽度 11.20 ps (0.45 UI),误码率小于  $10^{-15}$ .

#### 参考文献

- [1] LI T, HOU J, YAN J L, et al. Chiplet heterogeneous integration technology—Status and challenges[J]. *Electronics*, 2020, 9(4): 670.
- [2] 杨晖. 后摩尔时代 Chiplet 技术的演进与挑战[J]. *集成电路应用*, 2020, 37(5): 52-54.  
YANG H. Evolution and challenge of Chiplet in more Moore[J]. *Application of IC*, 2020, 37(5): 52-54. (in Chinese)
- [3] 陈桂林, 王观武, 胡健, 等. Chiplet 封装结构与通信结构综述[J]. *计算机研究与发展*, 2022, 59(1): 22-30.  
CHEN G L, WANG G W, HU J, et al. Survey on Chiplet packaging structure and communication structure[J]. *Journal of Computer Research and Development*, 2022, 59(1): 22-30. (in Chinese)
- [4] HUTNER M, SETHURAM R, VINNAKOTA B, et al. Special session: Test challenges in a Chiplet marketplace [C]//2020 IEEE 38th VLSI Test Symposium (VTS). Piscataway: IEEE, 2020: 1-12.
- [5] DEHLAGHI B, WARY N, CARUSONE T C. Ultra-short-reach interconnects for die-to-die links: Global bandwidth demands in microcosm[J]. *IEEE Solid-State Circuits Magazine*, 2019, 11(2): 42-53.
- [6] 李应选. Chiplet 的现状和需要解决的问题[J]. *微电子学与计算机*, 2022, 39(5): 1-9.  
LI Y X. The state-of-the-art of Chiplet and problems need be solved[J]. *Microelectronics & Computer*, 2022, 39(5): 1-9. (in Chinese)
- [7] 钟伟军, 任翔, 赵鑫. 异构集成芯片关键技术研究[J]. *信息技术与标准化*, 2021(7): 6-10.  
ZHONG W J, REN X, ZHAO X. Research on key technologies of heterogeneous integrated chip[J]. *Information Technology & Standardization*, 2021(7): 6-10. (in Chinese)
- [8] YOUSRY R, CHEN E, YING Y M, et al. 11.1 A 1.7pJ/b 112Gb/s XSR transceiver for intra-package communication in 7nm FinFET technology[C]//2021 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2021: 180-182.
- [9] SHIVNARAIN R, VAN IERSSEL M, FARZAN K, et al. 11.2 A 26.5625-to-106.25Gb/s XSR SerDes with 1.55pJ/b efficiency in 7nm CMOS[C]//2021 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2021: 181-183.
- [10] GANGASANI G, HANSON D, STORASKA D, et al. A 1.6Tb/s Chiplet over XSR-MCM Channels using 113Gb/s PAM-4 Transceiver with Dynamic Receiver-Driven Adaptation of TX-FFE and Programmable Roaming Taps in 5nm CMOS[C]//2022 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2022: 122-124.
- [11] 俞武. 数据中心下一代高速互联技术 PAM4 设计挑战与应对方案[J]. *中国集成电路*, 2021, 30(12): 26-30.  
YU W. Design challenges and solutions of PAM4, the next generation high-speed interconnection technology in data center[J]. *China Integrated Circuit*, 2021, 30(12): 26-30. (in Chinese)
- [12] SHIBASAKI T, DANJO T, OGATA Y, et al. 3.5 A 56Gb/s NRZ-electrical 247mW/lane serial-link transceiver in 28nm CMOS[C]//2016 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2016: 64-65.
- [13] ERETT M, CAREY D, HUDNER J, et al. A 126mW 56Gb/s NRZ wireline transceiver for synchronous short-reach applications in 16nm FinFET[C]//2018 IEEE International Solid-State Circuits Conference - (ISSCC). Piscataway: IEEE, 2018: 274-276.
- [14] 倪芸, 金鑫, 姚晓东. 基于 EPON 的 SerDes 差分信号完整性分析设计[J]. *光通信技术*, 2013, 37(9): 59-62.  
NI Y, JIN X, YAO X D. Signal integrity analysis of SerDes differential based on EPON system[J]. *Optical Communication Technology*, 2013, 37(9): 59-62. (in Chinese)
- [15] 彭嘉豪, 李儒章, 付东兵, 等. 基于差分编码技术的 12.5Gbp/s 高速 SerDes 发射机设计[J]. *微电子学*, 2021, 51(1): 85-90.  
PENG J H, LI R Z, FU D B, et al. Design of 12.5Gbp/s high-speed SerDes transmitter based on differential encoding technology[J]. *Microelectronics*, 2021, 51(1): 85-90. (in Chinese)
- [16] WILSON J M, TURNER W J, POULTON J W, et al. A 1.17pJ/b 25Gb/s/pin ground-referenced single-ended serial link for off- and on-package communication in 16nm CMOS using a process- and temperature-adaptive voltage regulator [C]//2018 IEEE International Solid-State Circuits Conference - (ISSCC). Piscataway: IEEE, 2018: 276-278.
- [17] MCCOLLOUGH K, HUSS S D, VANDERSAND J, et al. 11.3 A 480Gb/s/mm 1.7pJ/b short-reach wireline transceiver using single-ended NRZ for die-to-die applications

- [C]//2021 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2021: 1-3.
- [18] UCIE. Specification revision 1.0[EB/OL]. (2022-02-24) [2023-03-09]. <https://www.uciexpress.org/specification>.
- [19] SHOKROLLAHI A, CARNELLI D, FOX J, et al. 10.1 A pin-efficient 20.83Gb/s/wire 0.94pJ/bit forwarded clock CNRZ-5-coded SerDes up to 12mm for MCM packages in 28nm CMOS[C]//2016 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2016: 182-183.
- [20] TAJALLI A, BASTANI PARIZI M, CARNELLI D A, et al. A 1.02-pJ/b 20.83-Gb/s/wire USB transceiver using CNRZ-5 in 16-nm FinFET[J]. IEEE Journal of Solid-State Circuits, 2020, 55(4): 1108-1123.
- [21] 杨嘉伟, 欧阳长月. 沃尔什码分多路数字通信中的多电平压缩[J]. 电子学报, 1990, 18(3): 122-124.  
YANG J W, OUYANG C Y. The multilevel compression in Walsh code-division multiplexing digital communication[J]. Acta Electronica Sinica, 1990, 18(3): 122-124. (in Chinese)
- [22] 竺南直, 张其善. 广义沃尔什函数的构造与生成[J]. 电子学报, 1992, 20(1): 81-84.  
ZHU N Z, ZHANG Q S. The construction and generation of generalized Walsh functions[J]. Acta Electronica Sinica, 1992, 20(1): 81-84. (in Chinese)
- [23] BERGANO N S, KERFOOT F W, DAVIDSON C R. Margin measurements in optical amplifier system[J]. IEEE Photonics Technology Letters, 1993, 5(3): 304-306.
- [24] CHEN S, LI H, CHIANG P Y. A robust energy/area-efficient forwarded-clock receiver with all-digital clock and data recovery in 28-nm CMOS for high-density interconnects[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2016, 24(2): 578-586.
- [25] CELIK F, AKKAYA A, TAJALLI A, et al. A 32-Gb/s PAM-4 SST transmitter with four-tap FFE using high-impedance driver in 28-nm FDSOI[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2021, 29(6): 1132-1140.
- [26] 刘登宝, 王子谦, 白雪飞, 等. 基于 SST 驱动器的低功耗 10 Gbit/s 发射机[J]. 微电子学, 2018, 48(3): 338-343.  
LIU D B, WANG Z Q, BAI X F, et al. A low power 10 Gbit/s transmitter based on SST driver[J]. Microelectronics, 2018, 48(3): 338-343. (in Chinese)
- [27] 王娟会, 张昌民, 赵永瑞. 有源电感的应用[J]. 电子科技, 2010, 23(1): 56-58, 61.  
WANG J H, ZHANG C M, ZHAO Y R. The application of active inductor[J]. Electronic Science and Technology, 2010, 23(1): 56-58, 61. (in Chinese)
- [28] 张明科, 胡庆生. 一个用于背板通信的 24Gb/s 高速自适应组合均衡器[J]. 电子学报, 2017, 45(7): 1608-1612.  
ZHANG M K, HU Q S. A 24Gb/s high speed adaptive combined equalizer for backplane communication[J]. Acta Electronica Sinica, 2017, 45(7): 1608-1612. (in Chinese)
- [29] RAZAVI B. The active inductor[A circuit for all seasons][J]. IEEE Solid-State Circuits Magazine, 2020, 12(2): 7-11.
- [30] LAI M C, ZHANG G, LV F X, et al. A 33.33 Gb/s/wire pin-efficient 1.06 pJ/bit wireline transceiver based on CNRZ-5 for Chiplet in 28nm CMOS[J]. Microelectronics Journal, 2022, 130: 105628.
- [31] 郭凯乐, 王和明, 刘涛, 等. 基于高速 SerDes 中非等值尾电流源技术的新型高线性度相位插值器设计[J]. 空军工程大学学报(自然科学版), 2020, 21(4): 61-67.  
GUO K L, WANG H M, LIU T, et al. A non-equivalent tail current source based new phase interpolator with high linearity for high-speed SerDes[J]. Journal of Air Force Engineering University (Natural Science Edition), 2020, 21(4): 61-67. (in Chinese)

#### 作者简介



张庚 男, 1994 年 12 月出生于北京平谷. 目前就读于国防科技大学, 在读博士研究生. 主要研究方向为高速 SerDes 串口技术.  
E-mail: zhanggeng23@nudt.edu.cn



赖明澈 男, 1982 年出生于湖北省. 教授, 博士生导师. 主要研究方向为计算机体系结构、高性能互连网络、高速光电集成电路.  
E-mail: mingchelai@nudt.edu.cn



吕方旭 男, 1988 年出生于陕西省. 副研究员. 现就职于中国湖南国防科技大学计算机科学学院. 主要研究方向为高速串口系统设计.  
E-mail: lvfangxu1988@nudt.edu.cn



齐星云 1979 年出生于陕西省. 分别于 2001 年、2003 年和 2009 年获得国防科技大学学士学位、硕士学位和博士学位. 硕士生导师. 主要研究方向为高性能计算机体系结构、高速互连、ASIC 芯片设计.

E-mail: qi\_xingyun@nudt.edu.cn



王 强 男, 山东泗水人. 博士, 助理研究员. 研究方向为计算机系统结构、高速互连网络和人工智能.

E-mail: qiangwang@nudt.edu.cn



许超龙 男, 1988 年出生于湖南省岳阳市. 目前为国防科技大学计算机专业博士研究生. 主要研究方向为高速信号处理、互连技术和微电子技术.

E-mail: xcl@nudt.edu.cn



李 萌 男. 计算机科学与技术专业在读硕士研究生. 研究方向为 ADC.

E-mail: lmengnudt@nudt.edu.cn



任博琳 男, 2020 年出生于河北省邢台市. 硕士研究生. 研究方向为高速串行接口.

E-mail: genius@uestc.edu.cn