

一种新颖的 BUCK 型 DC-DC 芯片的抗振铃电路

王红义, 来新泉, 李玉山, 张乔珍, 陈富吉

(西安电子科技大学电路 CAD 所, 陕西西安 710071)

摘要: 典型的集成 Buck 型 DC-DC 变换器, 其电感只有一端接入芯片, 无法在芯片内部采用 Boost 型 DC-DC 在电感两端直接并联电阻的方法进行振铃的快速衰减. 文中设计了一种新颖的适用于 Buck 型 DC-DC 的抗振铃电路, 在芯片内部采用一个线性时变电阻网络将电感的一端与芯片的电源(或地)之间进行连接. 进行振铃衰减时, 起初电阻较小, 振铃衰减很快, 但直流电流较大; 随着振铃的减弱, 逐渐增大电阻以减小直流电流, 当振铃结束且直流电流很小时完全断开电阻. 这样既达到抗振铃的目的, 又不会引起持续的直流放电. 采用此电路的一款 DC-DC 已在韩国 Hynix 公司的 0.5 μ m CMOS 工艺线投片, 测试结果证明抗振铃效果良好.

关键词: Buck 型变换器; DC-DC 变换器; 抗振铃; 时变电阻

中图分类号: TN432 **文献标识码:** A **文章编号:** 0372-2112 (2006) 02-0361-04

A Novel Anti Ringing Circuit for Buck DC-DC Chip

WANG Hong-yi, LAI Xin-quan, LI Yu-shan, ZHANG Qiao-zhen, CHEN Fu-ji

(Institute of Electronic CAD, Xi'an University, Xi'an, Shaanxi 710071, China)

Abstract For typical topology of buck converter only one terminal of the inductor is connected to the chip. So it is impossible to parallel a resistor with the inductor to damp the ring as it is used in boost converter. A novel anti-ringing circuit is presented to solve this problem. A time varying resistor network is connected between one terminal of the inductor and the power supply or the ground. In the beginning of the ring, a small resistor is used to damp the ring rapidly. But the DC current is large. With the weakening of the ring, the resistance is increased to reduce the DC current gradually. And when the ring disappears and the DC current is small enough, the network is opened. By this way, anti-ringing is achieved and no DC current exists after the ring damping is ended. A DC-DC converter with this anti-ringing circuit has been implemented in Hynix 0.5 μ m CMOS process, the result indicates that it works well and effectively.

Key words buck converter; DC-DC converter; anti-ringing; time varying resistor

1 引言

集成 DC-DC 变换器在很宽的输入输出电压范围内都可以保持很高的效率, 使得它在电池供电的电子产品中成为首选的电源管理器件. 但由于 DC-DC 变换器工作在开关状态, 较大的输出噪声可能对 RF 等敏感电路造成影响, 尤其是 DC-DC 工作在电感电流不连续导通模式 (DCM) 时, 由电感和寄生电容构成的 LC 回路会产生严重的高频振荡, 因此有必要采用专门的抗振铃电路进行振铃衰减. 抗振铃电路虽然也可以通过外围电路来实现, 但从降低成本、减小体积、减小干扰和增强可靠性等方面来说, 进行有效的集成都是非常必要的.

本文简要分析了振铃产生的机理, 论述了在集成 Buck 型 DC-DC 中设计抗振铃电路存在的困难, 进而提出

一种新颖的可用于集成 Buck 型 DC-DC 的抗振铃电路. 应用该电路的一款 DC-DC 已经在韩国 Hynix 公司的 0.5 μ m CMOS 工艺线投片, 测试结果证明抗振铃效果良好.

2 振铃的形成

图 1 为 Buck 型 DC-DC 的原理图, 虚线框内为芯片内部电路部分,

其中 MP 为 PMOS 主开关,

MN 为 NMOS 同步整流开关, D_1 和 D_2 为 MP 和 MN 的衬底寄生二极管, C_p 为 MP 和 MN 的漏极对地的寄生电容, 由于 MP 和 MN 尺寸往往很大, 所以寄生电容 C_p 也比较大. Buck 型 DC-DC 稳定工作时, 电感电流 i_L 的平均值等

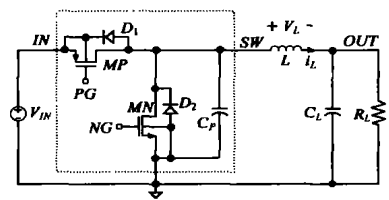


图 1 Buck 型 DC-DC

收稿日期: 2005-04-08 修回日期: 2005-11-07

基金项目: 国家自然科学基金 (No. 60172004); 国家教育部博士点基金 (No. 20010701003)

于负载电流, 以下分两种情况进行讨论^[1].

2.1 CCM 状态

当负载较大 (R_L 较小) 时, 电感电流在整个周期内不会回到零, 处于连续导通模式 (CCM)^[2] (图 2 (a)), 每个周期可以分为两个阶段 t_1 和 t_2 , 在 t_1 阶段, MP 导通, MN 关断, 电感两端的电压 $V_L = V_{IN} - V_{OUT} > 0$ 电感电流持续上升; 在 t_2 阶段,

MP 关断, MN 导通, 电感两端电压为 $V_L = -V_{OUT} < 0$ 电感电流持续下降. 在这两个阶段, 电感电压由控制逻辑给出确定的值, 电感电流的方向不发生变化, 寄生电容 C_p 要么被 MN 短路, 要么被 MP 和电源组成的低阻抗回路短路, 其交流等效电路相同, 且与 t_2 时刻的直流等效电路相同 (图 2(c) - t_2).

在图 2(c) - t_2 中, 对于每一元件, 可以写出 VAR 为:

$$V_0 = -L \frac{di_L}{dt} = -L i_L' \quad (1)$$

$$i_{NL} = \frac{V_0}{R_L} = -\frac{L}{R_L} i_L' \quad (2)$$

$$i_{CL} = C_L \frac{dV_0}{dt} = -LC_L i_L'' \quad (3)$$

根据 KCL:

$$-i_{CL} - i_{NL} + i_L = 0 \quad (4)$$

将式 (1) (2) (3) 代入式 (4) 后化简可得:

$$i_L'' + \frac{1}{R_L C_L} i_L' + \frac{1}{LC_L} i_L = 0 \quad (5)$$

式 (5) 的特征方程为:

$$s^2 + \frac{1}{R_L C_L} s + \frac{1}{LC_L} = 0 \quad (6)$$

特征根为:

$$s_{1,2} = -\frac{1}{2R_L C_L} \pm \sqrt{\left(\frac{1}{2R_L C_L}\right)^2 - \frac{1}{LC_L}} \quad (7)$$

因 R_L 、 C_L 和 L 的不同取值, 电路将可能出现三种不同的阻尼状态:

(1) 当 $(1/R_L C_L)^2 > 1/LC_L$ 时, 为过阻尼状态.

(2) 当 $(1/R_L C_L)^2 = 1/LC_L$ 时, 为临界阻尼状态.

(3) 当 $(1/R_L C_L)^2 < 1/LC_L$ 时, 为欠阻尼状态, 这时电路会出现衰减振荡, 振荡频率为:

$$f_{osc} = \frac{1}{2\pi LC_L} \sqrt{\frac{1}{LC_L} - \left(\frac{1}{2R_L C_L}\right)^2} \quad (8)$$

从以上可以看出, 随着 R_L 减小, 振荡衰减加快, 如果

R_L 足够小, 电路将会进入过阻尼状态, 不会出现振荡. 在一般的 DC-DC 中, 由于 C_L 较大, 欠阻尼状态时的振荡频率一般为几十 KHz 远低于 DC-DC 的开关频率 (数 MHz), 并且负载电阻 R_L 相对较小, 衰减很快, 所以不会在一个周期内构成明显的影响.

2.2 DCM 状态

当负载较小 (R_L 较大) 时, 电感电流在一个周期中会出现回到零的情况 (图 2 (b)), 即不连续导通模式 (DCM)^[3]. 这种情况下每个周期可分为 t_1 、 t_2 和 t_3 三个阶段, t_1 和 t_2 阶段同上述 CCM 相同, 不会出现振荡现象. 在 t_3 阶段 (图 2(c) - t_3), MP 和 MN 均处于关断状态, 没有低阻抗回路将 C_p 短路, 由电感 L 、寄生电容 C_p 、负载电容 C_L 与负载 R_L 的并联共三部分构成了 LC 振荡回路, 考虑到 $C_L \gg C_p$, 可以求得振荡频率为:

$$f_{osc} \approx \sqrt{1/LC_p} \quad (9)$$

这个频率往往很高, 会在 SW 端 (图 1) 形成明显的振荡, 如图 2(b) 所示. 如果在进入 t_3 时刻时, 电感两端电压和电感电流精确为零, 电路刚好处于稳态, 就不会产生振荡现象, 但实际电路中, 很难保证这两个条件的满足, 所以存在一个从初始态进入稳态的过程, 这个过程可能是过阻尼, 也可能是欠阻尼振荡. 如果阻尼系数太小, 将会出现长时间的振荡. 由于寄生二极管 D_1 和 D_2 (图 1) 的限幅作用, SW 的振幅被限制在 $-0.7V \sim V_N + 0.7V$ 之间, 所以有时还会产生高次谐波, 这些振荡的基波和谐波, 都可能通过电感的磁场泄漏或寄生电容耦合到 RF 等敏感电路中, 影响系统的正常工作.

3 Buck型 DC-DC 中抗振铃电路的设计

3.1 Buck型 DC-DC 抗振铃电路实现的困难

为了尽快衰减振荡, 可以减小电感 (或电容) 的等效并联电阻. 在 Boost 型^[4] 和 Buck-Boost 型 DC-DC 中, 电感的两端都接入芯片, 所以当主开关和同步开关都关断时, 可以在芯片内给电感两端并联小电阻的方法^[5] 进入过阻尼状态, 达到很好的抗振铃效果. 但对于 Buck 型 DC-DC, 一般不会将电感与输出 OUT 相连的一端接入芯片, 所以没法采用上述方法进行消振. 如果为此专门将输出端 OUT 引入芯片, 将会使封装成本增加和应用电路复杂化, 因此, 大多数 Buck 型 DC-DC 电路中, 都没有专门的抗振铃电路. 为了减小振铃现象, 只能尽量提高控制精度, 使得在 MN 关断时, 电感中残留的电流尽量接近于零, 但这又增加了设计难度, 并且消振效果难以保证.

3.2 抗振铃电路原理

为了消除振荡, 可以在 t_3

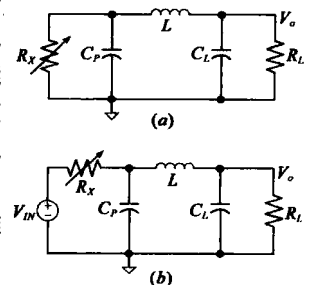


图 3 抗振铃示意图

阶段减小电容的等效并联电阻,一种方法是,在 SW 端和 GND 之间接入电阻 R_x (图 3(a)),以减小电容的等效并联电阻.由于输出端电容 C_L 存储的电荷会通过电感和电阻 R_x 进行直流放电,影响效率,所以振铃结束后,必须将 R_x 断开.这种情况下,如果 R_x 较小,振荡衰减较快,但 R_x 断开时电感中残余的直流电流较大(最大为 $V_o \cdot R_x$),这又会重新引起振荡;如果 R_x 较大,振荡衰减又会太慢.图 3(b)所示为另一种方法,是在 IN 和 SW 端接一个阻尼电阻 R_x ,但存在同样的问题.这两种方法的消振效果是一样的,采用时要考虑到电源效率^[1],在第一种方法中,消振电路直流消耗能量为:

$$E = V_o \times I \times T \quad (10)$$

其中, I 为消振期间阻尼电阻的平均电流, T 为消振的时间.

第二种方法中,消振电路直流消耗能量为:

$$E = (V_N - V_o) \times I \times T \quad (11)$$

所以,当 $V_N - V_o > V_o$ 时,应采用第一种消振电路,反之,则应采用第二种消振电路.

针对以上存在的问题,本文中提出采用时变电阻的方法进行消振,在起始时刻,采用较小的并联阻尼电阻进行快速的振荡衰减,随着振荡幅度的减小,逐渐增大电阻,减小电感中的直流电流,最后在振荡得到有效衰减并且电感直流电流很小时彻底断开 R_x .这样既实现了振荡的快速衰减,又不会在阻尼电阻断开后重新振荡.时变电阻通过计时电路和控制开关电阻网络实现.

3.3 具体电路

图 4 为上述第二种抗振铃的具体电路,其中 PG 为主开关 MP 的栅极驱动信号, NG 为同步整流开关 MN 的栅极驱动信号, EN 为整个芯片的使能信号.电路中包含三个延时电路,分别由 M 2~M 6 与 C 1、M 7~M 11 与 C 2 和 M 12~M 16 与 C 3 组成.

当 EN 为低电平“0”时,电路处于关断状态.当 EN 为高电平“1”时,电路根据信号 PG、NG 进行动作,当 MP 和 MN 有一个导通(即 PG 为“0”或 NG 为“1”)时,C 1~C 3 都被放电,NA 2~NA 3 输出 A、B 和 C 电平均为“1”,M 17~M 22 都处于关断状态,这时阻尼电阻 $R_1 \sim R_3$ 与 SW 端断开,抗振铃电路不起作用,不影响 DC-DC 在周期内 t_1 和 t_2 阶段的正常工作,抗振铃电路消耗电流仅为 I_0 .

当 EN 为高电平“1”且 MP 和 MN 都关断(即 PG 为

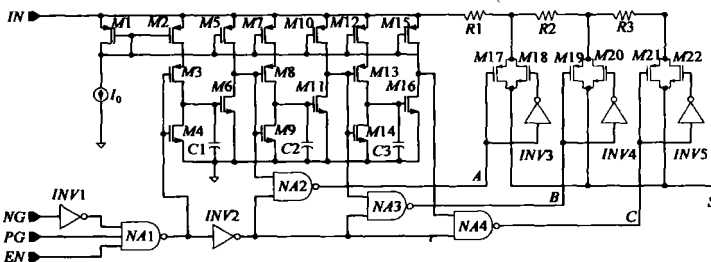


图 4 抗振铃电路图

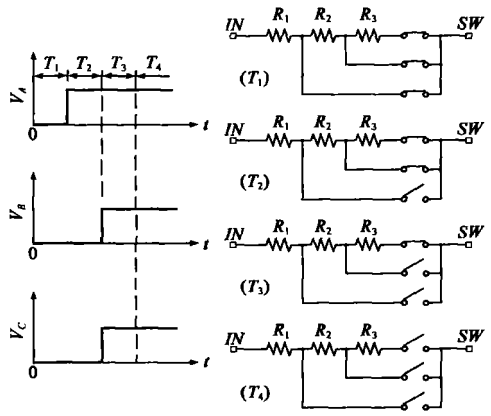


图 5 时变电阻

“1”且 NG 为“0”)时,电路进入记时电阻切换状态,由四个阶段 $T_1 \sim T_4$ 组成(图 5).在 T_1 阶段, M 17~M 22 均导通, IN 和 SW 之间的电阻近似等于 R_1 , R_1 采用较小的阻值,振铃衰减很快,这时,流过 M 2 的电流向 C 1 充电.经过延时 T_1 后, C 1 两端电压超过 M 6 的阈值电压, M 6 导通,进入 T_2 阶段, NA 2 输出高电平, M 17 和 M 18 关断, IN 和 SW 之间的电阻等于 $(R_1 + R_2)$, 振铃衰减变慢,但开关电阻网络的直流电流变小,同时流过 M 7 的电流向 C 2 充电.再经过延时 T_2 后, M 11 导通,进入 T_3 阶段, M 19 和 M 20 也被关断, IN 和 SW 之间的电阻等于 $(R_1 + R_2 + R_3)$, 开关电阻网络的直流电流变得更小, M 12 的电流向 C 3 充电.同样,再经过延时 T_3 后, IN 和 SW 之间的通路被彻底切断,进入稳定的 T_4 阶段.由于切断之前开关电阻网络的直流电流已经很小,所以不会重新引起振荡,整个振铃衰减过程结束.其中各个延迟时间为:

$$T_i = \frac{C_i V_{thi}}{I_0} \quad (i = 1, 2, 3) \quad (12)$$

其中, V_{thi} 为 NMOS 的阈值电压.

不论抗振铃电路处于哪个阶段,如果 MP 或 MN 忽然导通,电路都会通过 INV 2 和 NA 2~NA 4 很快切断阻尼电阻 $R_1 \sim R_3$, 并且对 C 1~C 3 进行快速放电,使电路很快回到初始状态.

4 实验结果与讨论

上述抗振铃电路应用于一款同步 Buck 型 DC-DC 中^[6-8],该电路基于 Hynix 0.5μm CMOS 工艺,通过 Hspice 进行设计和仿真.投片后的测试结果如图 6 所示,可以看出,采用抗振铃电路后, SW 的振副衰减显著加快,震荡周期减少.但是也可以看出,振铃现象还没有完全消除,这是因为抗振铃电路还没有达到最优的效果,实际上,还可以通过优化电路中 $T_1 \sim T_4$ 和 $R_1 \sim R_3$ 的取值,达到更好的衰减效果,这可以通过对芯片进行修正 (Trim) 的方法实现.

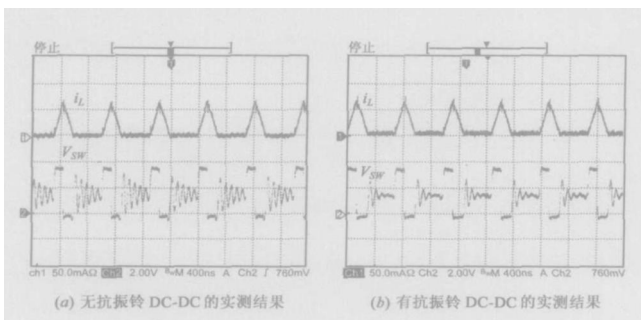
图 6 电感电流 i_L 与 SW 端电压波形

图 7 给出了抗振铃电路对 DC-DC 变换器效率的影响, 在负载较小时, 系统工作于 DCM, 抗振铃电路导通时间较长, 由前面的分析可知, 这会对效率构成一定的影响, 测试结果表明这种情况下效率会下降 1~3%.

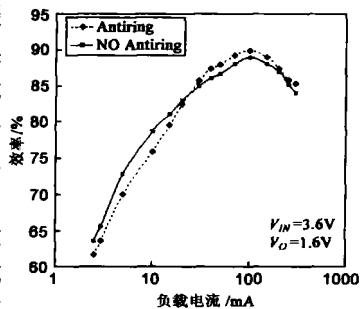


图 7 抗振铃电路对效率的影响

在负载较大时, 抗振铃

电路会使 DC-DC 的效率提升约 1%, 这是因为抗振铃电路在主开关 MP 和同步整流开关 MN 切换的死区时间内 (同时关断) 导通, 缩短或消除了寄生体二极管 D_2 (图 1) 的导通时间, 减小了能量损耗. 应用时可以根据对振铃噪声的要求和常用的负载情况进行折中和优化.

图 8 为该款 DC-DC 的显微照片, 框线内为抗振铃电路, 其面积为 0.008mm^2 , 仅占芯片总面积的 0.9%. 抗振铃电路静态时消耗电流很小, 仅 $0.5\mu\text{A}$, 测试中也没有发现抗振铃电路对其他电路造成不良影响.

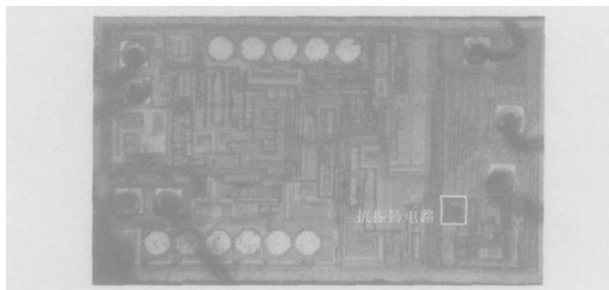


图 8 具有抗振铃电路的 DC-DC 芯片照片

5 结论

本文提出一种新型的可用于同步 Buck 型 DC-DC 芯片的抗振铃电路, 采用开关电阻网络实现时变电阻, 该电阻连接在 SW 与电源 (或地) 之间对振荡进行衰减, 其阻值逐渐增大, 当振荡有效衰减后, 电阻断开, 以防止持续的直流放电. 由于断开之前电感中的电流很小, 断开后也不会重新振荡, 该电路已成功应用于一款 DC-DC 设计中, 并

在 Hynix $0.5\mu\text{m}$ CMOS 工艺线投片验证, 测试结果表明该抗振铃电路具有功耗低, 占用芯片面积小, 抗振铃效果显著等优点.

参考文献:

- [1] Anthony John Statakos High efficiency low voltage DC-DC conversion for portable applications [D]. Doctor's Thesis University of California at Berkeley, 1998
- [2] Vatchevopérian Simplified analysis of PWM converters using model of PWM switch part I: continuous conduction mode [J]. IEEE Transactions on Aerospace and Electronic Systems 1990 25(5): 490-496
- [3] Vatchevopérian Simplified analysis of PWM converters using model of PWM switch part II: discontinuous conduction mode [J]. IEEE Transactions on Aerospace and Electronic Systems 1990 25(5): 497-505
- [4] Lai Xinquan, Jia Ligang, Hu Juncai, Li Xianrui The design of a low voltage and high speed driver circuit for boost DC-DC converter [A]. 5th International Conference On ASICs Proceedings [C]. Beijing: IEEE Press, 2003. 635-638
- [5] Linear Technology. LTC3401 Datasheet [DB/OL]. <http://www.linear.com>.
- [6] 王红义, 王松林, 等. CMOS 电压基准的设计原理 [J]. 微电子学, 2003 33(5): 415-418
- [7] Lai Xinquan, Zhang Yue, Li Yushan. Behavioral modeling of electronic circuit model with verilog-a language [A]. 4th International Conference On ASICs Proceedings Shanghai IEEE Press [C]. Shanghai 2001. 155-158
- [8] Lai Xinquan, Hu Juncai, Jia Ligang, Wang Hongyi. Design of hysteretic comparator with bandgap structure [A]. 5th International Conference On ASICs Proceedings [C]. Beijing: IEEE Press, 2003. 615-618

作者简介:



王红义 男, 1974 年出生于陕西富平, 现为西安电子科技大学电路 CAD 研究所博士研究生, 研究兴趣为集成 DC-DC 变换器、集成 CMOS LDO 稳压器、高精度电压基准等领域. Email: whymaik@sina.com, chhywang@eurtech.com.cn



来新泉 男, 1963 年出生于陕西富平, 西安电子科技大学教授, 1998 年于西北工业大学计算机应用专业获得博士学位, 目前的研究兴趣主要为数模混合集成电路设计理论与技术, VLSI 器件物理, CMOS 图像传感器和集成电路的热场数值建模. 近几年在以上领域发表学术论文 30 多篇.